

产业互联网专题—工业篇10

EDA · 全定制IC设计：研究框架

中信证券研究部 计算机组
杨泽原 丁奇 马庆刘

2022年8月10日

- **核心结论：全定制IC设计覆盖模拟、射频、存储、光电等领域，其EDA工具具备较强拓展性。国内EDA龙头正以模拟电路等领域为起点，加速向射频、存储、光电等全定制领域拓展，夯实EDA全定制半壁江山，并进一步拓展数字IC设计等领域。看好国产EDA长期发展机遇。**
- **全定制设计方法：追求芯片精度、速度与功耗，应用于模拟、射频等多个细分领域**
 - **设计流程：**全定制设计覆盖从原理图设计、电路仿真到版图设计、物理验证等多环节，人工参与程度较高，有利于优化精度、功耗、速度等指标，但设计要求高、周期长，设计成本昂贵。
 - **应用场景：**全定制设计方法被应用于模拟、射频、存储、面板（FPD）、光芯片以及PCB等众多细分领域。各个细分领域的基础设计流程具有较高相似性，但各类芯片自身的特性决定了设计方法在部分环节的设置与能力的要求等方面存在差异。
 - **设计特点：**全定制设计方法包括各环节关联紧密、人机交互频繁等特点，通过将设计师经验标准化并予以复用来提升产品能力。我们认为在全定制设计方法中，全流程的EDA解决方案拥有优势，设计经验的积淀将驱动产品技术力不断提升。
- **下游需求：全定制方法覆盖约四千亿美元下游场景，占半导体市场近七成，我们判断全定制EDA工具占EDA近半壁江山，同时毫米波芯片、3D封装等将持续带来新需求**
 - **市场规模：**根据WSTS数据，2021年全球半导体销售额5559亿美元，其中逻辑电路销售额1548亿美元，其他半导体销售额约4011亿美元，全定制设计方法覆盖场景占比近七成，我们判断全定制EDA工具占EDA近半壁江山。
 - **发展方向：**下游芯片行业新兴技术不断演进，毫米波芯片、3D封装等技术对设计工具提出了新的要求，同时EDA厂商在AI、云计算等技术的赋能下持续进行产品创新；从设计方法学来看，需求的升级有望带来EDA工具的进一步革新，紧密的上下游合作是EDA厂商保持发展的重要保障。

- **产品对比：全定制领域Cadence整体领先，国产龙头厂商差距较小，并实现局部领域超越。**
 - **整体格局：**Cadence、Synopsys以及Mentor Graphics为全球EDA市场龙头厂商，Cadence为全定制设计领域领导者，Synopsys传统优势在数字设计领域，通过并购构建了全流程的全定制设计能力；KeySight、ANSYS等公司在射频等细分领域拥有领先优势，但营收规模与三家龙头厂商仍有差距。
 - **产品格局：**Cadence Virtuoso平台在全定制IC设计前后端拥有领先的技术能力与牢固的市场基础，场景应用广泛，Synopsys的Custom Design Platform发布于2016年，发展时间较短，尽管技术水平基本已处于行业前列，但市场表现整体仍弱于Cadence。仿真器领域，海外主流EDA仿真软件为Cadence的Spectre系列与Synopsys的PrimeSim系列。物理验证领域，Mentor的Calibre为市场主流的产品。
 - **国产机会：**国产工具包括Aether、NanoDesigner等设计平台产品，ALPS、NanoSpice等仿真器产品，部分产品具备全球竞争力。伴随技术逐步提升、生态持续完善，国内头部全定制EDA提供商有望突围。
- **投资建议：EDA国产化势在必行，国产力量以全定制EDA为起点，正加速拓展数字IC设计**
 - **成长逻辑：**1) 我们判断全定制IC设计EDA工具占EDA工具的半壁江山，国产力量正从模拟、存储等领域加速向全定制其它场景拓展，不断夯实全定制IC设计EDA的半壁江山，并有望以自研+并购方式引领行业发展。2) 借鉴海外企业发展经验，国内行业龙头厂商有望以全定制IC设计EDA工具为起点，加速向数模混合、数字电路、晶圆制造等领域的EDA拓展，期待在全球EDA市场中追赶并超越。
 - **投资建议：**重点看好具备全定制领域全流程能力，并具备拓展数字工具能力、关键品类竞争力突出、覆盖多领域的国产EDA龙头厂商；同时建议关注单品类竞争力突出的点工具EDA企业。
- **风险因素：EDA技术研发创新不及预期；EDA产业政策落地不及预期；国际经济政治态势发展的不确定性；下游市场需求增长不及预期；市场竞争加剧。**

- **梳理了全定制设计方法EDA工具对应的流程、场景，认为此类EDA工具在模拟、射频、存储、光电等领域具备较强拓展性。**
 - **市场认知：**市场对EDA工具的认知普遍停留在模拟电路、数字电路等IC芯片分类中，缺乏对设计方法学的系统性认知，并未完全认识到模拟电路EDA的可拓展性。从设计方法学角度，EDA工具可分为全定制设计方法与半定制设计方法两大类。全定制设计方法学EDA工具可覆盖模拟、射频、存储、面板等多种场景，半定制设计方法学主要覆盖数字电路等场景。
 - **我们的价值：**梳理了全定制EDA工具对应的流程、场景、需求，帮助市场理解模拟电路EDA的高可拓展性，全定制设计方法需要设计者人工完成全流程设计的多数工作，有利于优化精度、功耗、速度等指标，由于模拟电路与射频、存储、光电等场景主要采用全定制设计方法，因此在设计流程和工具上具备较高相似性，因此我们认为行业内全定制EDA相关公司的业务可拓展性较强。
- **归纳了全定制EDA的工具框架，重要环节包括原理图及版图设计、电路仿真、物理验证等，认为需在这些重要品类上具备竞争力，方可形成全定制EDA整体竞争力。**
 - **市场认知：**市场并未清晰认识到全定制EDA工具链中主要包含哪些环节以及各环节的价值，对各环节的主要厂商及产品、主要竞争壁垒、国产厂商的布局及差距的认知程度较弱。
 - **我们的价值：**归纳了全定制EDA工具的主要环节，包括原理图及版图设计、电路仿真、物理验证等；梳理了各环节全球龙头优势产品及地位，梳理了各环节工具的评判指标，总结了各环节中国公司的参与情况及与海外龙头的差距，同时推演出各环节产品的成长逻辑。综上认为，需要从以上三个环节为代表的工具来关注EDA公司的产品力，综合来评判全定制EDA的整体竞争力。

CONTENTS

目录

- 一. 全定制设计概述：追求精度、速度与功耗，应用于模拟/射频等多个细分领域
- 二. 下游需求：覆盖市场规模近四千亿，新技术带来新市场
- 三. 产品对比：Cadence产品全面领先，国产厂商局部或可超越
- 四. 投资建议

一、EDA · 全定制IC设计方法概述

- 1.1 流程：覆盖芯片设计前后端，追求精度、效率与功耗
- 1.2 场景：广泛应用于模拟、射频等多个领域
- 1.3 特点：全流程解决方案拥有优势，设计经验的积淀驱动能力提升

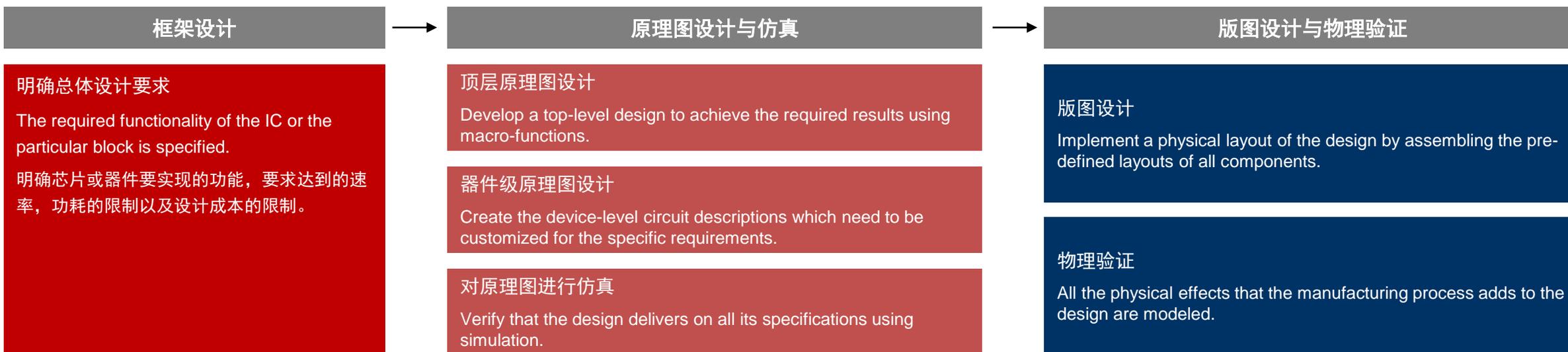
1. 全定制设计概述：追求精度与性能，人工参与程度高

■ 设计方法比较：全定制（Full-Custom）设计与半定制（Semi-Custom）设计

- **全定制设计**：从原理图设计到版图设计、测试设计，需要设计者人工完成全流程设计的多数工作，有利于优化精度、功耗、速度等指标，但设计要求高、周期长，设计成本昂贵。模拟/数模混合、射频、存储、面板等领域一般采用全定制设计方法。
- **半定制设计**：运用预定义的单元库、门阵列、功能模块进行设计，设计成本较低、开发周期缩短，EDA工具辅助设计人员完成了较多工作。数字电路一般采用半定制设计方法。

- **全定制设计流程**：全定制设计可以划分为架构设计、原理图设计与仿真、版图设计与物理验证三个大环节，后两环节会用到较多的EDA工具。

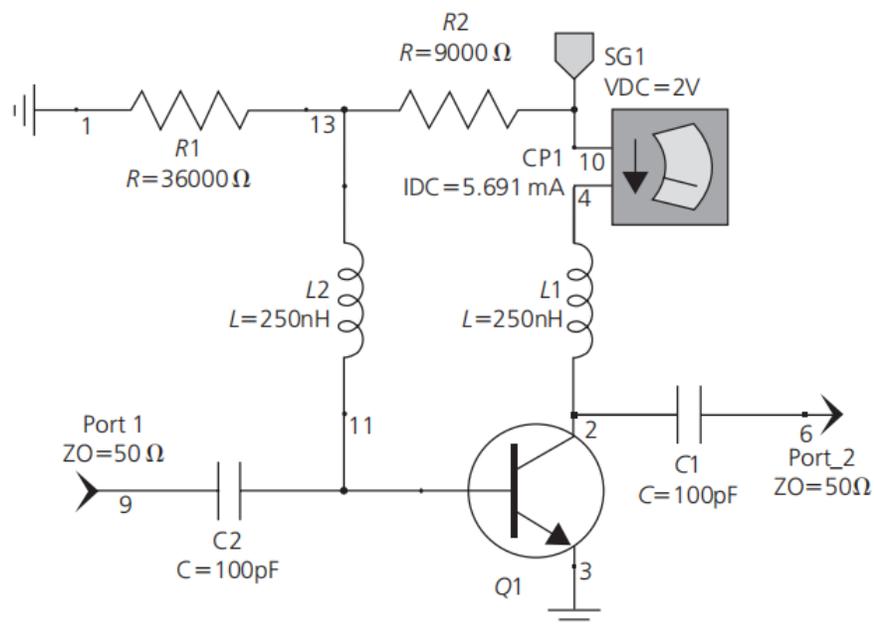
全定制设计流程（以模拟芯片设计为例）



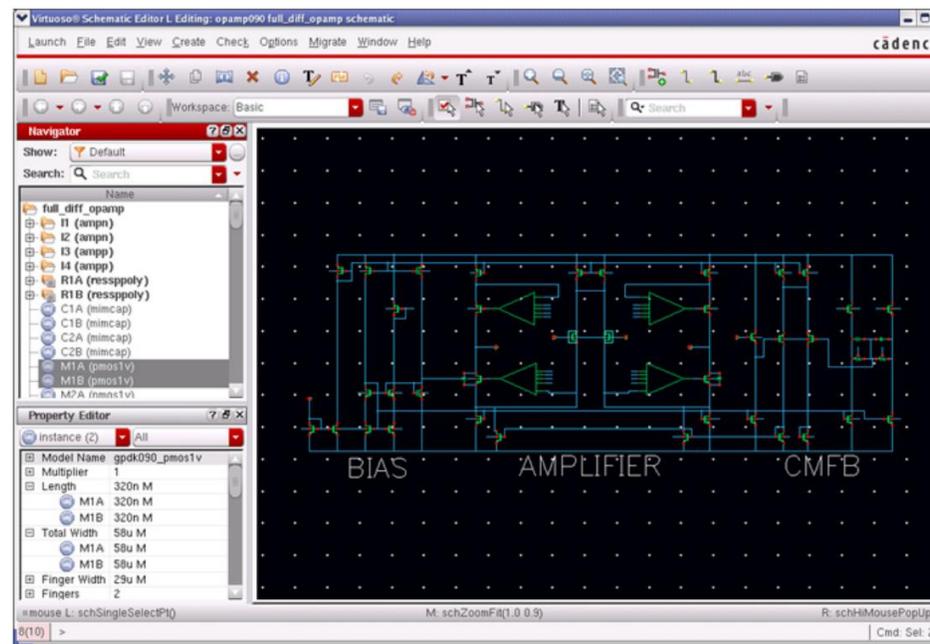
1.1 流程1—原理图设计：初步实现芯片功能设计

- 原理图设计是指暂且不考虑电阻、电容等物理性质，用电路原理图的形式表述芯片功能。原理图设计可以分为顶层（Top-level）设计与器件（Device-level）设计两个环节。
 - 顶层设计：将各模块（如放大器、滤波器等）连接成电路原理图，满足芯片功能要求；
 - 器件设计：对晶体管等元器件进行定制化设计，满足顶层设计中各模块的功能要求。
 - 原理图设计阶段仅涉及模块间的逻辑关系，暂不考虑电阻、电容等物理问题。

低噪声放大器模块原理图



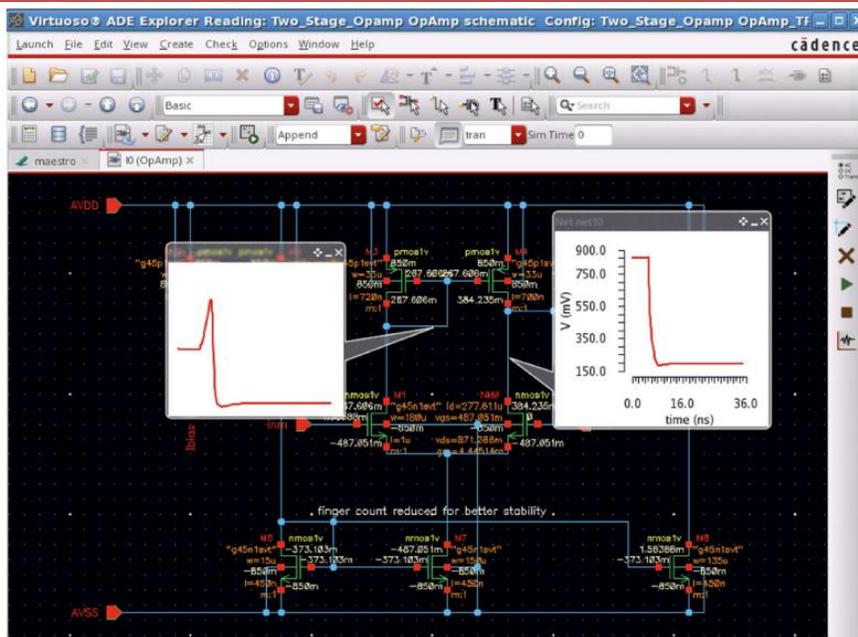
Virtuoso Schematic Editor 绘制原理图示例



1.1 流程2—电路仿真：验证芯片功能能否实现

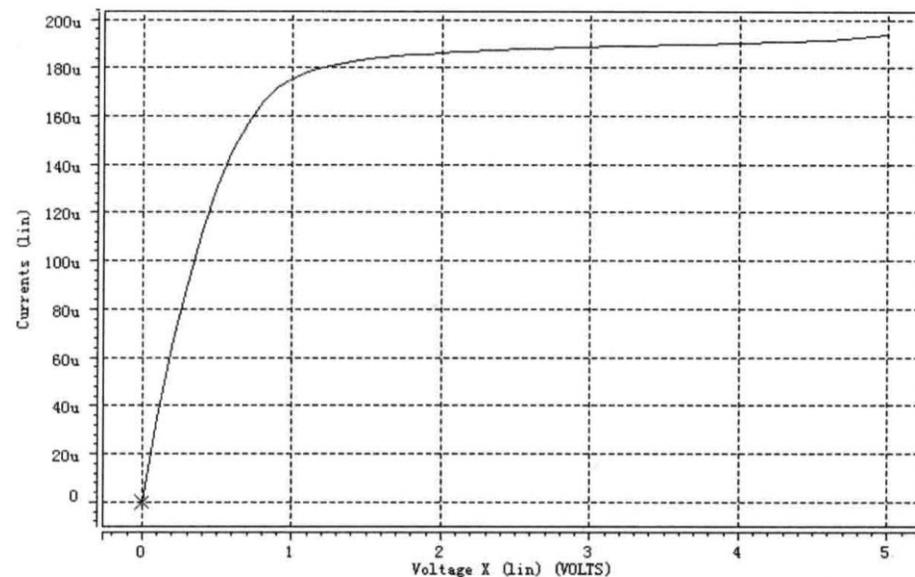
- **电路仿真：**对原理图进行模拟，验证芯片功能是否能顺利实现。
 - 若仿真结果满足要求，则可以进入版图设计环节；若结果不满足要求，则需调整后重新仿真。
- **SPICE算法：**电路仿真的行业标准工具。
 - SPICE于1969-1970年由UC Berkeley的Rohrer等人开发，用于快速验证电路设计以及预测电路性能。SPICE的代码已被开源，并更新有SPICE2、SPICE2G6等多个版本，当前市场上主要商业EDA 仿真软件多为基于SPICE2G6开发的产品。

Virtuoso ADE Explorer 仿真示例



资料来源：Cadence官网

HSPICE的MOS管仿真结果



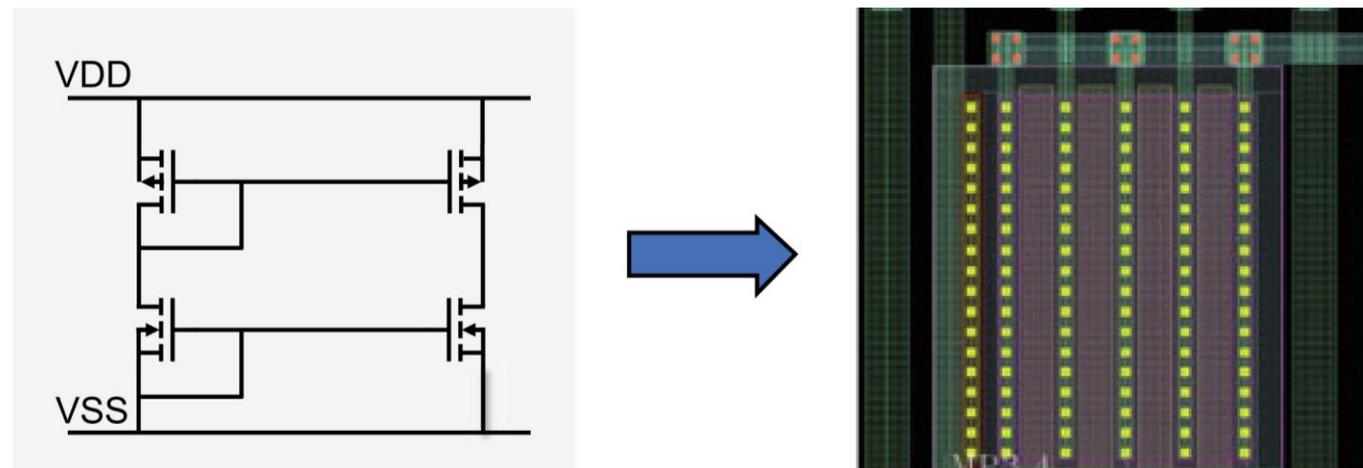
资料来源：模拟集成电路EDA技术与设计——仿真与版图实例（作者：陈莹梅，胡正飞）

1.1 流程3—版图设计：实现符合物理与工艺要求的设计版图

- 版图设计是指设计师借助编辑器确定芯片的几何参数以及不同模块与输入输出端口的具体位置，将芯片从抽象的原理图转化为具体的版图。
 - 版图设计主要包括布局与走线两个环节，确定各个模块的位置并将其用导线进行连接。若版图较大，设计师需要先进行分区与规划，并行完成版图设计。
 - 在版图设计阶段，设计师需要考虑如何以最合适的方法完成芯片的布局与走线。一方面，设计师需要在其他条件允许的情况下控制芯片面积（即布局的密度），控制制造成本，另一方面，设计师需要考虑芯片将会面临的物理问题，以保证芯片的可制造性与信号完整性。



版图设计示意图



1.1 流程4—物理验证：验证版图物理性质并检验设计规则

- 物理验证是指对芯片制造过程中可能出现的物理效应进行仿真，并对设计规则进行检验。
 - 物理验证主要涉及的环节包括DRC、LVS以及PEX等。设计师通过检查版图是否符合Foundry厂商的工艺规则，是否与原理图保持一致以及提取并计算电路的寄生效应，排除芯片设计的纰漏，保证芯片的可制造性。通过物理验证后，芯片便可以交由Foundry厂商进行流片。

物理验证的主要环节

设计规则检查

Design Rule Check (DRC)

- 芯片的版图设计需要符合Foundry厂商提供的工艺规则，以保证其性能的稳健性；
- DRC被用于检查版图设计结果是否符合其对应的工艺规则。设计师用EDA验证工具检查版图文件的几何参数（如间距、宽度等），并标记其不符合工艺规则要求的情况。

版图与原理图一致性检查

Layout versus Schematic (LVS)

- 版图设计过程的纰漏可能会导致版图布局与原理图之间存在差异。为了使版图能够按设计预期运行，必须保证版图设计与原理图设计的一致性；
- LVS通过从版图中获取网表文件，并与原理图网表进行比较，检查器件、参数、电路连接是否存在不匹配，以及是否有短路、开路等情况的发生。

寄生参数提取

Parasitic Extraction (PEX)

- 随着制造工艺不断进步，版图密度持续提高，线路的寄生效应不再是一个可以被忽略的因素，若不对其进行处理，寄生效应可能会产生信号延迟、噪音以及压降等各方面的影响；
- PEX通过提取电路中的寄生参数，对其进行仿真并反馈至版图中，可以检查寄生参数对芯片的影响，并提高版图的准确度。

1.2 全定制应用场景：场景广泛，模拟/射频/FPD/存储等

- 全定制设计方法被广泛应用于模拟、射频、FPD、光芯片、存储以及PCB等细分领域。

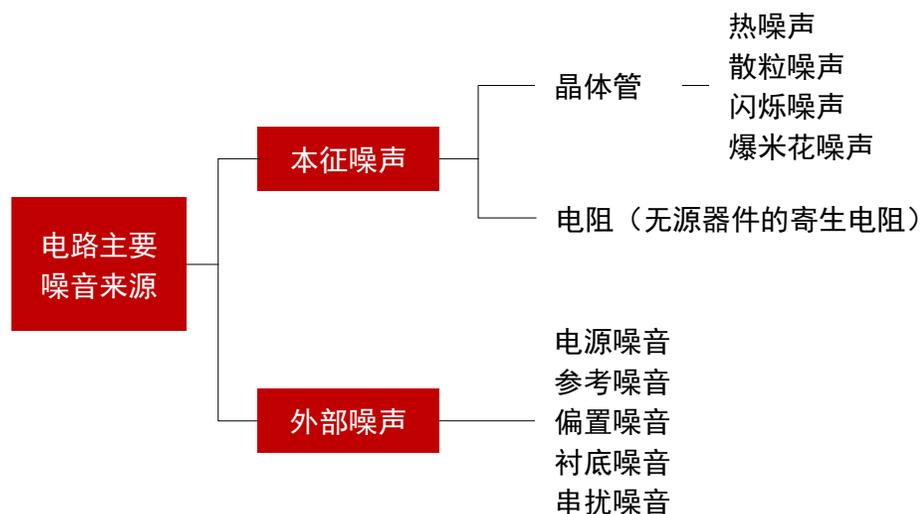
全定制设计方法主要应用场景

应用场景	场景特点
模拟	相对于数字信号，模拟信号在时间上具备连续性。设计师需要通过全定制设计找到最适合的版图设计方法，优化芯片的精度、速度以及功耗等参数。
射频	射频信号本质上是高频的模拟信号，在设计流程上与模拟芯片基本一致。噪声和寄生效应是射频芯片设计时需要考虑的主要问题，设计师需要通过合理的版图设计以及借助仿真软件消除其对芯片的影响。
FPD	FPD是利用电信号改变光线特性以呈现影像的一种光电器件。设计师在设计时需要像素点以及面板分别进行设计与验证，并且需要根据其制造工艺（a-Si、IGZO或LTPS）选取对应的模型提取解决方案。
光芯片	光芯片多用于通信领域，通过将电信号替换为光信号，提高信号传输速度与安全性。当前光芯片产业尚未成熟，芯片设计多处于实验室阶段，需要定制化地对各类元件与芯片进行设计。
存储	存储器是数字芯片与模拟芯片的结合体。其中读出放大器需要通过位线（Bit Line）实现对模拟信息的读取，因而存储器的设计是全定制设计与半定制设计的结合。
PCB	PCB应用场景广泛，既包括数字芯片，也包括模拟芯片、模数混合芯片等场景，设计师需要通过定制化设计解决（尤其是在高频环境下）电路信号对板上元件的噪音干扰。

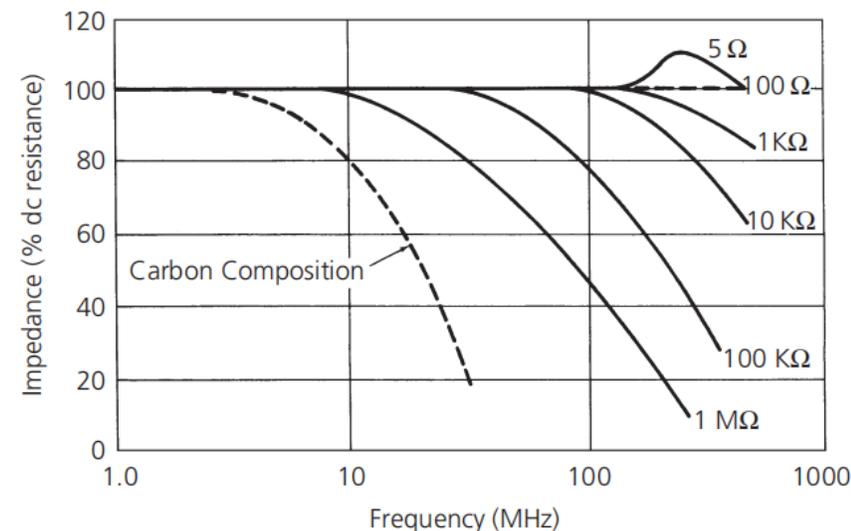
1.2 场景1—射频：定制化设计解决高频环境对芯片的影响

- 射频信号属于模拟信号的一个子类，与普通模拟芯片设计的区别在于，射频器件所处的高频环境会影响芯片的信号完整性，加大了芯片设计的难度。
 - 射频芯片与模拟芯片：射频芯片的设计与模拟芯片的设计方法基本一致。射频信号本质上是更高频的电磁信号，频率一般位于30KHz~300GHz之间，而普通芯片处理的交流电频率在50Hz~60Hz之间。
 - 射频芯片设计关注的重点：射频芯片主要应用在通信场景，更关注噪音、失真等干扰因素对芯片的影响。一方面，芯片的信号会受到各类噪音的干扰，其中包括晶体管和电阻带来的本征噪声，也包括电源、PCB等带来的外部噪声；另一方面，随着信号频率提高，射频芯片电路的物理性质将可能发生变化，产生一系列寄生效应。

电路主要噪音来源

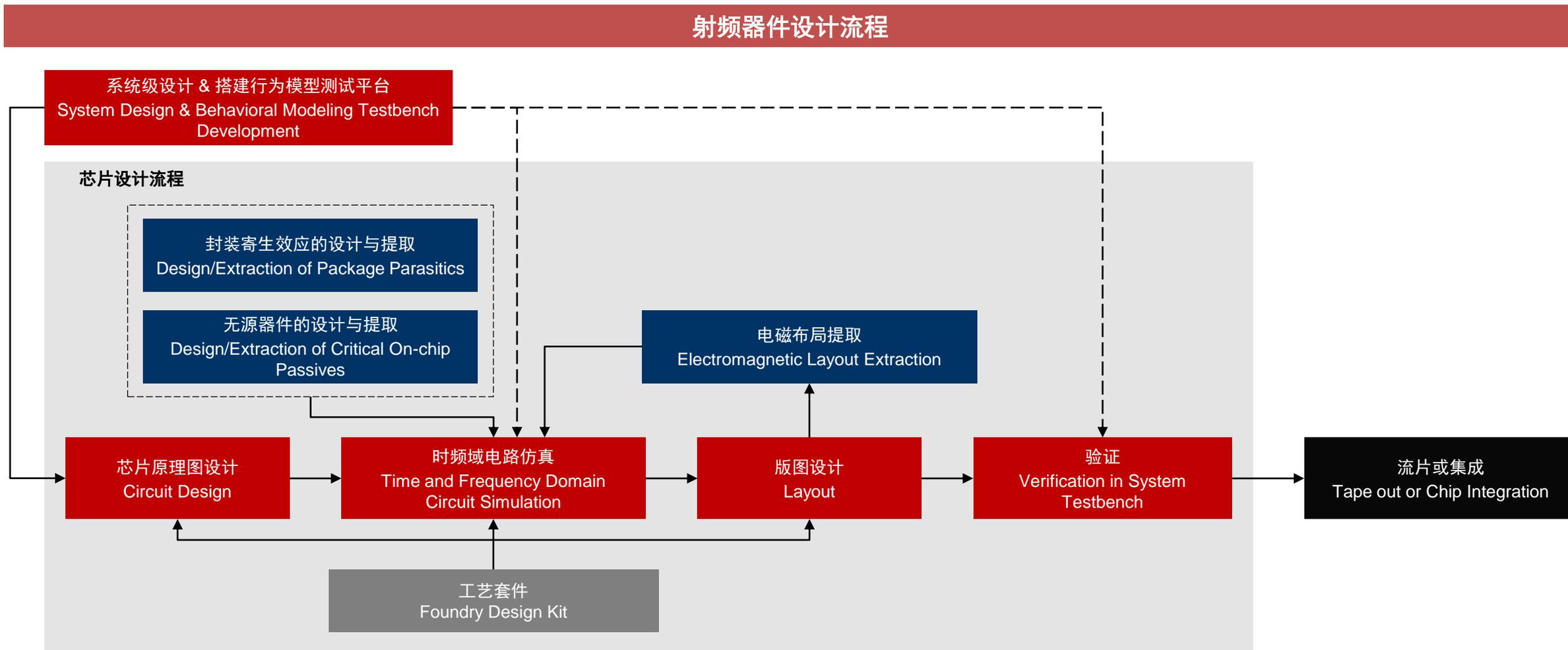


电阻器阻抗与频率的关系



1.2 场景1—射频：定制化设计解决高频环境对芯片的影响

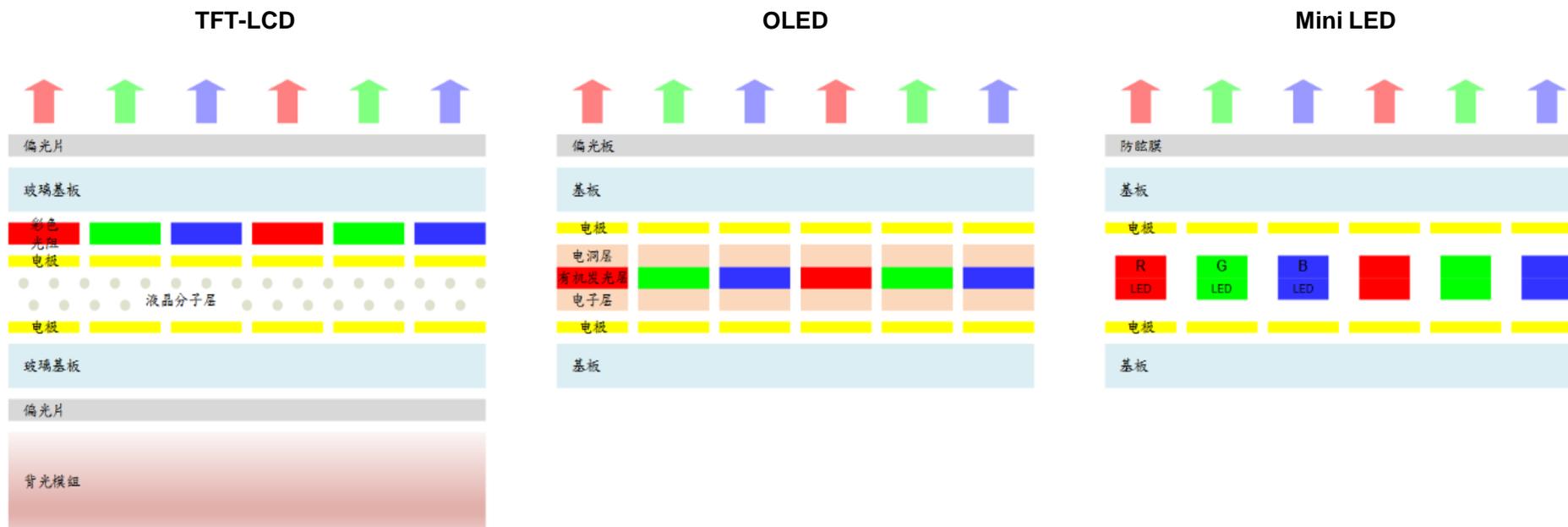
- 设计师通过定制化设计优化高频环境下内外部噪音对芯片信号产生的干扰作用，射频芯片主体设计流程与全定制设计方法相符。



1.2 场景2—FPD：两层设计流程，设计方法选择受工艺影响

- **FPD（Flat Panel Display）**是利用电信号改变光线特性以呈现影像的一种光电器件。
 - **工作原理：**TFT-LCD（Liquid Crystal Display，液晶显示器）是FPD较为常见的一种技术架构。背光模组发出自然光，自然光经由偏光片转换成偏振光，液晶层在电场作用下发生偏转，控制偏振光的穿行，偏振光最后再经过偏光片，形成单个像素的颜色，从而实现成像的效果；
 - **OLED、Mini LED**等技术采取了自发光的技术架构。有机半导体材料和发光材料在电场作用下会自动发光，而无需通过偏转背光模组发出的自然光成像。

TFT-LCD，OLED以及Mini LED技术对比



1.2 场景2—FPD：两层设计流程，设计方法选择受工艺影响

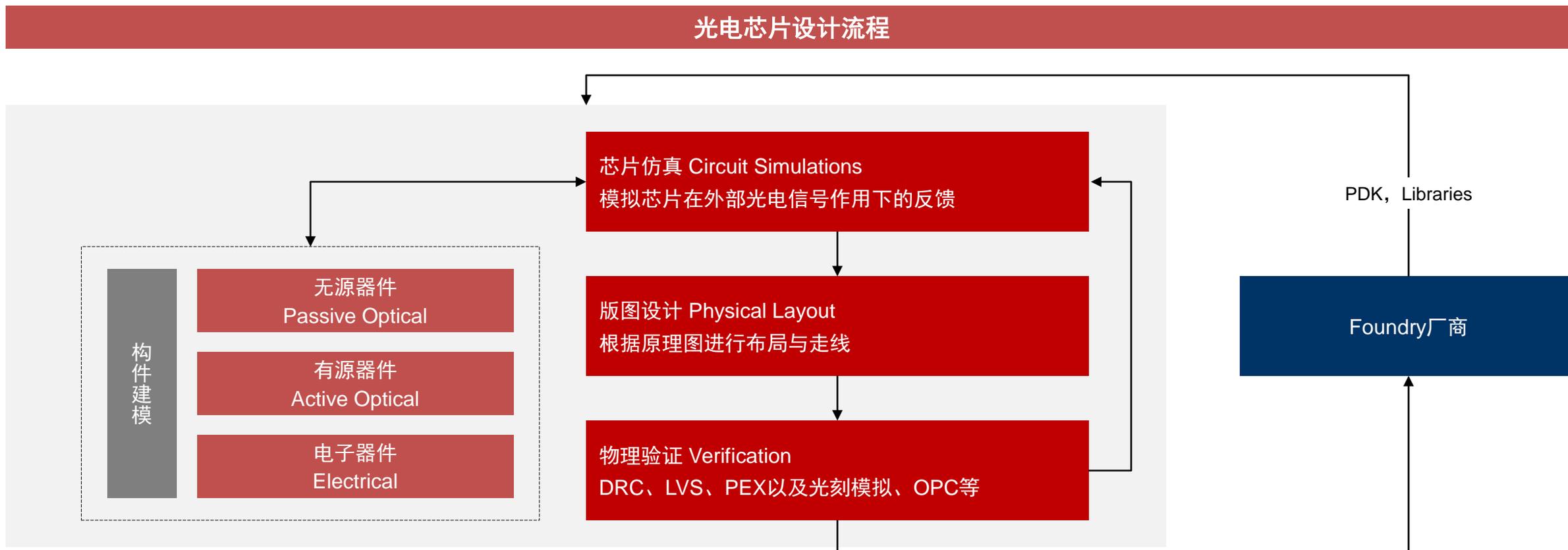
- FPD设计流程的主要环节与全定制设计方法基本一致，即通过原理图与版图设计、电路仿真以及物理验证等环节形成可用于生产的版图文件。
- FPD的设计流程与一般的全定制设计区别在于需要对像素点与面板分别进行设计。
 - FPD的设计可以分为四个环节，首先提取FPD模型并进行原理图设计，其次分别在像素点与面板两个层级进行仿真、版图设计以及物理验证，最后对整个面板进行仿真和分析；
- FPD与标准的全定制设计流程的区别还在于，设计师需要根据工艺类型，选用专门支持a-Si、IGZO或LTPS的显示器件模型提取解决方案。



工艺类型对比	a-Si	IGZO	LTPS
电子迁移率	低	a-Si的20~30倍	a-Si的200-300倍
PPI	低	中	高
是否可用于柔性显示	否	是	是
成本	低	中	高
良率	高	中	低
面板尺寸	大、中、小	大、中、小	中、小

1.2 场景3—光电：产业尚未成熟，一般采用定制化设计

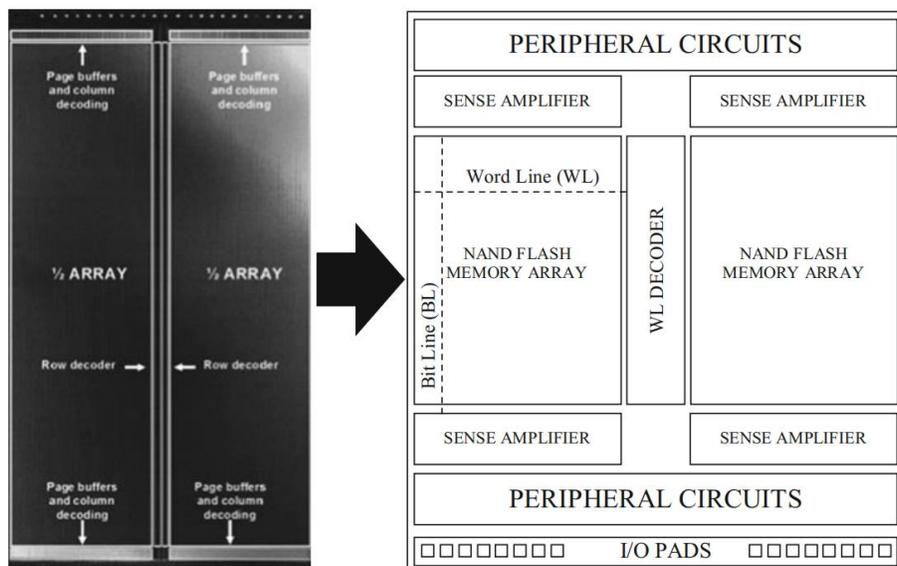
- 光电芯片，或光子集成电路（Photonic Integrated Circuits），即用光子代替一般芯片中的电子，以提高信息传输的速度与安全性。
 - 由于当前硅光技术与产业链均尚未成熟，光电芯片基本均需要定制化设计，且一般使用90nm左右的成熟进程。流程上光电芯片的设计流程基本与模拟芯片设计一致，但需要首先进行无源/有源组件以及电子元器件建模，再进行原理图的设计仿真以及后续的设计环节。



1.2 场景4—存储：数字电路与模拟电路的结合体

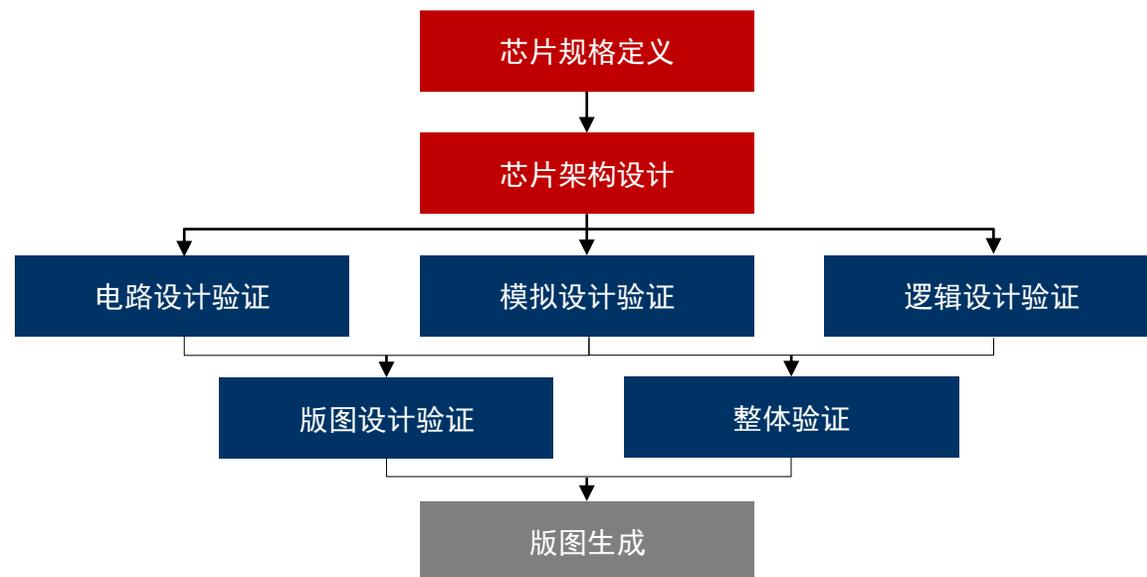
- 存储器（Memory）即实现存储与调用信息的设备，其特点为构件既包括数字芯片又包括模拟芯片。
 - 分类：存储主要可以分为DRAM（Dynamic Random Access Memory，动态随机存取内存）与Flash（闪存）两类，其中Flash又可以分为NAND Flash与NOR Flash两类；
 - 结构：以NAND Flash为例，其中嵌入式微处理器（Embedded microcontroller）通过逻辑电路管理存储器内部算法，读出放大器（Sense Amplifier）通过位线（Bit Line）实现对模拟信息的读取。
- 设计方法：存储器的设计是全定制设计与半定制设计的结合。信息的存储与调用均会涉及模拟信号的处理，核心模块需要全定制设计完成，数字信号部分则半定制设计完成。

DAND Flash内部结构



资料来源：Inside Solid State Drives（作者：Rino Micheloni、Alessia Marelli、Kam Eshghi）

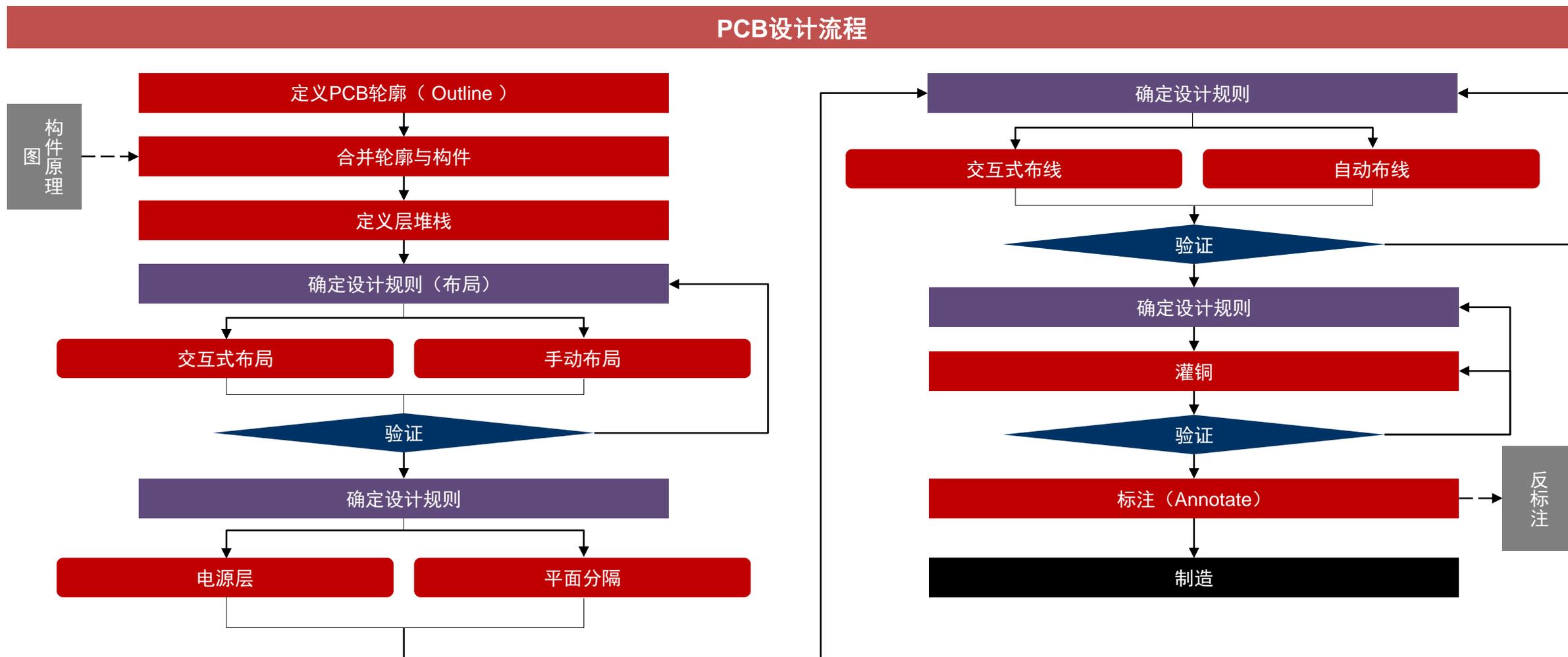
DAND Flash研发流程（部分）



资料来源：兆易创新招股书，中信证券研究部

1.2 场景5—PCB：基础互连件，定制化设计解决干扰问题

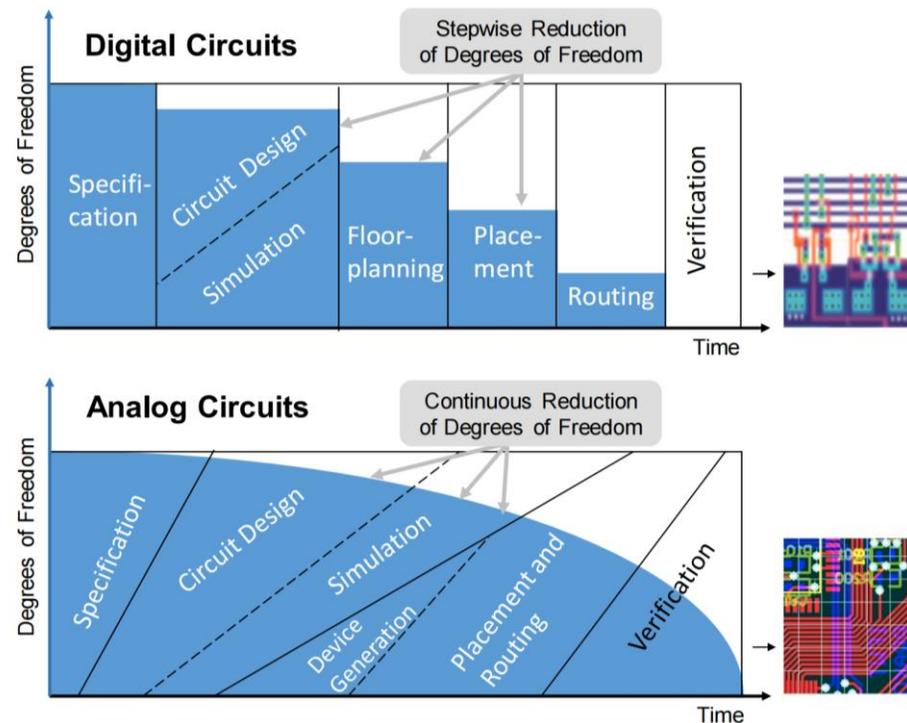
- PCB（Printed Circuit Board）应用场景广泛，既包括数字芯片，也包括模拟芯片、模数混合芯片等场景，需要通过定制化设计解决（尤其是在高频环境下）电路信号对板上元件的噪音干扰。



1.3 特点1：前后环节关联紧密，全流程解决方案占优

- 从设计流程角度看，全定制设计各环节之间关联紧密，具备全流程工具者更具优势。
 - 数字芯片vs模拟芯片：数字芯片设计是一个离散的过程，各个环节之间相对独立；模拟芯片设计是一个连续的过程，设计、仿真等环节之间存在重叠，可能出现模块的生成、布局与走线在同一阶段完成的情况；
 - 从EDA工具的角度看，全定制设计EDA产品间的交互关系也更为紧密。全流程解决方案能够充分发挥产品间的协同作用，是致力于全定制设计的EDA厂商的重点发力方向。

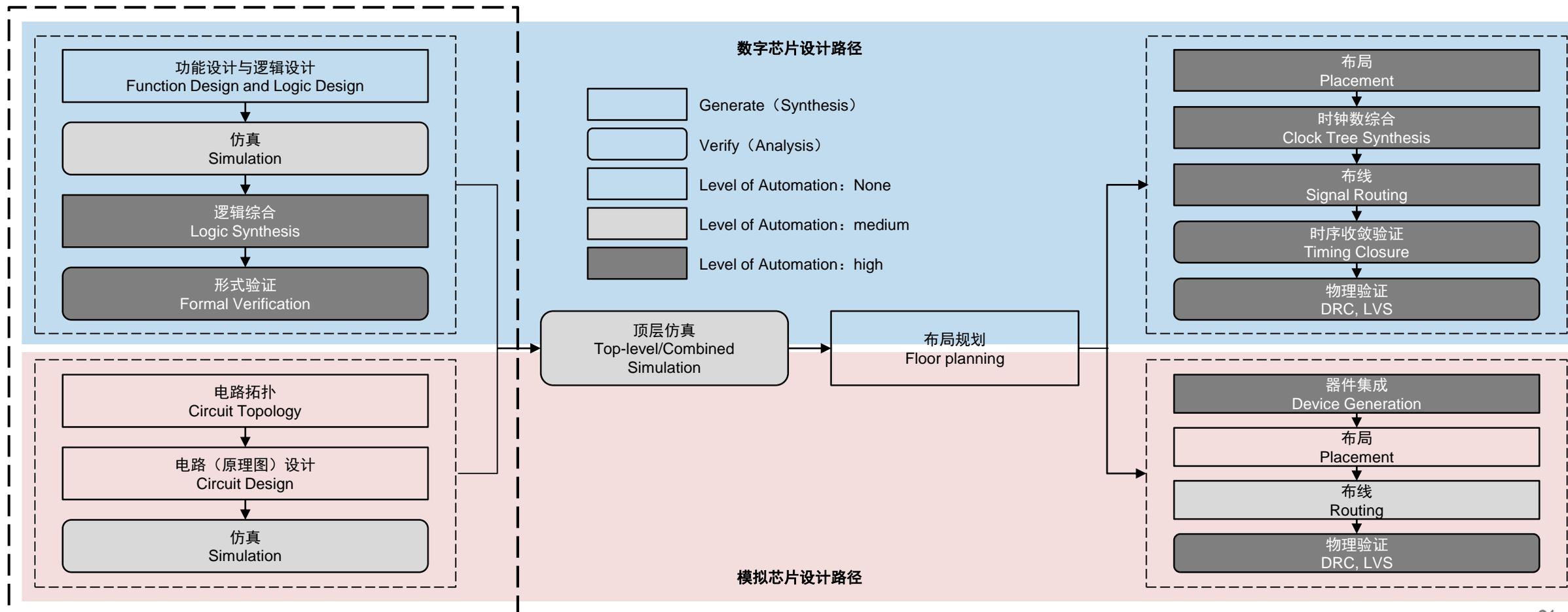
数字芯片设计流程与模拟芯片设计流程连续性的对比



1.3 特点2: 人机交互频繁, 存在相对较强的客户粘性

- 在前端环节, 全定制设计从MOS管开始, 搭建整个模拟电路; 数字设计用硬件语言定义芯片的功能逻辑, 产出RTL; 均需要一定的人机交互去完成逻辑设计或原理图设计。

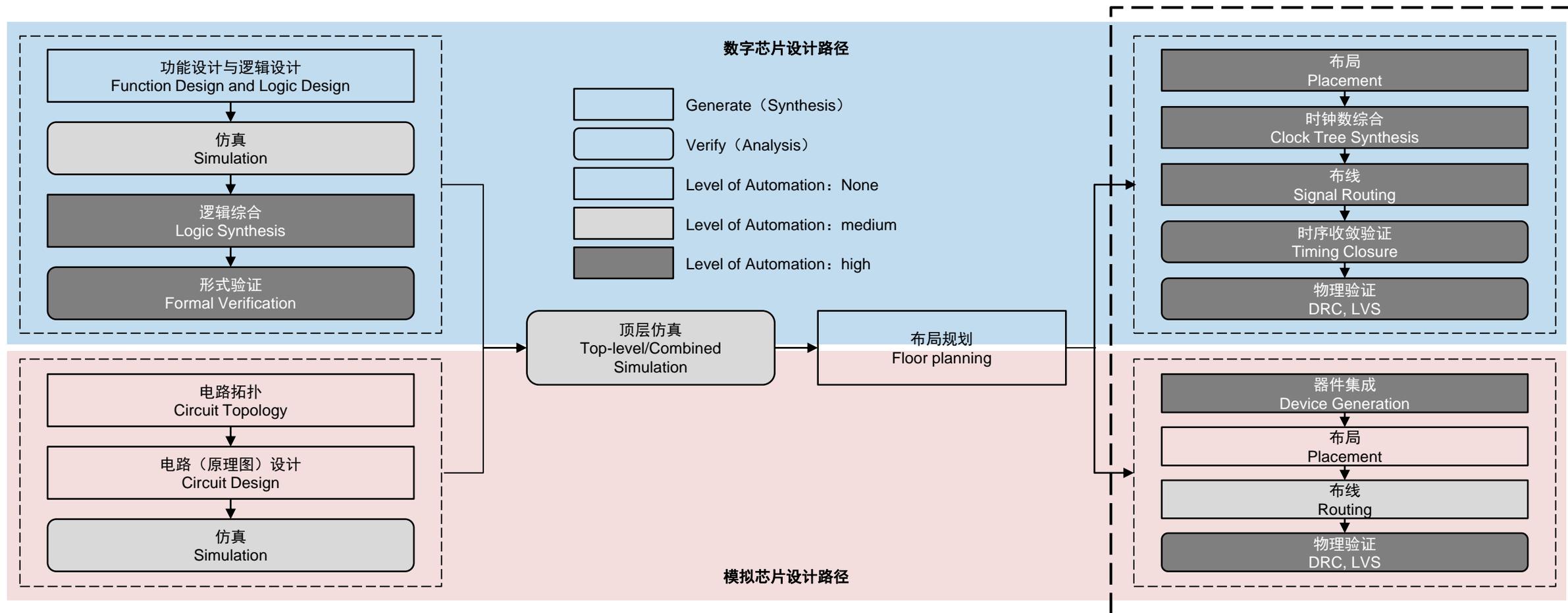
数模混合电路中数字与模拟设计自动化程度对比 (原理图设计与电路仿真)



1.3 特点2: 人机交互频繁, 存在相对较强的客户粘性

- 在后端环节, 数字部分基本实现了全自动化操作, 模拟部分需要更多的人机交互去完成版图设计 (Placement & Routing) 等操作。

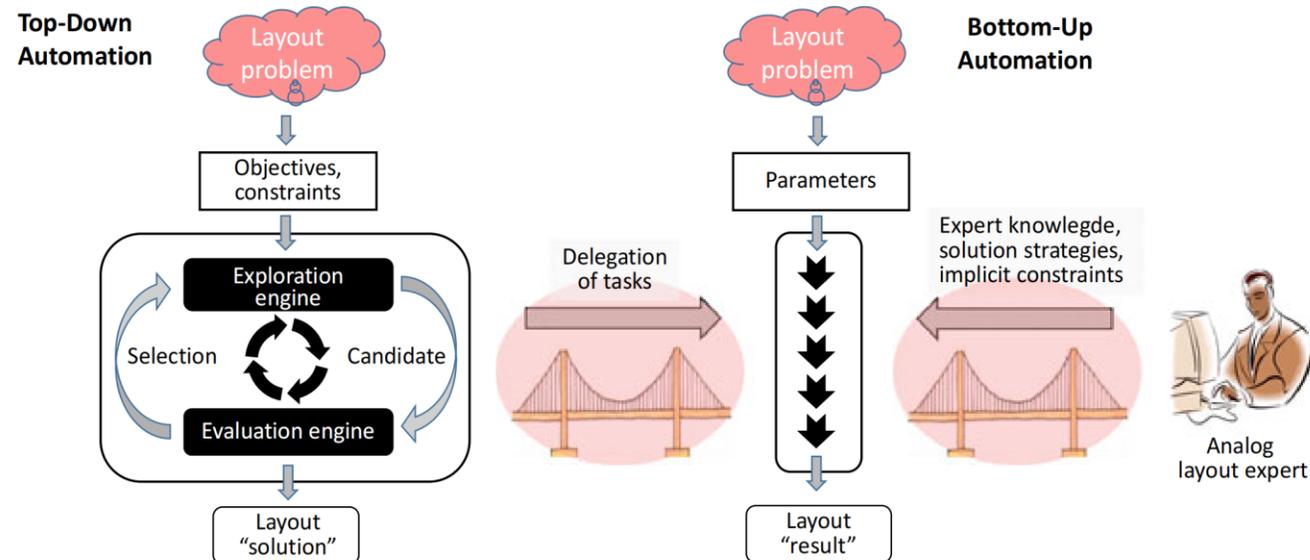
数模混合电路中数字与模拟设计自动化程度对比 (版图设计与物理验证)



1.3 特点3：设计经验的标准化与复用驱动技术能力提升

- 全定制设计是“自上而下”与“自下而上”两种设计方法的结合。
 - 从设计流程来看，全定制设计按照“自上而下”的顺序，从原理图设计开始，直到完成物理验证，最终给出可供流片的版图文件；
 - 从设计思路来看，全定制设计符合“自下而上”的顺序，即设计师首先明确最终获得的版图文件需要达到的设计要求，反推在设计过程中需要考虑的问题以及解决问题的方法。
- 全定制设计EDA的技术演进本质上是设计师经验标准化并复用的过程，行业Know-how的沉淀是其技术能力提升的核心驱动力。

“自上而下”与“自下而上”的设计方法



二、下游需求：覆盖下游近七成市场，EDA工具或占半壁江山

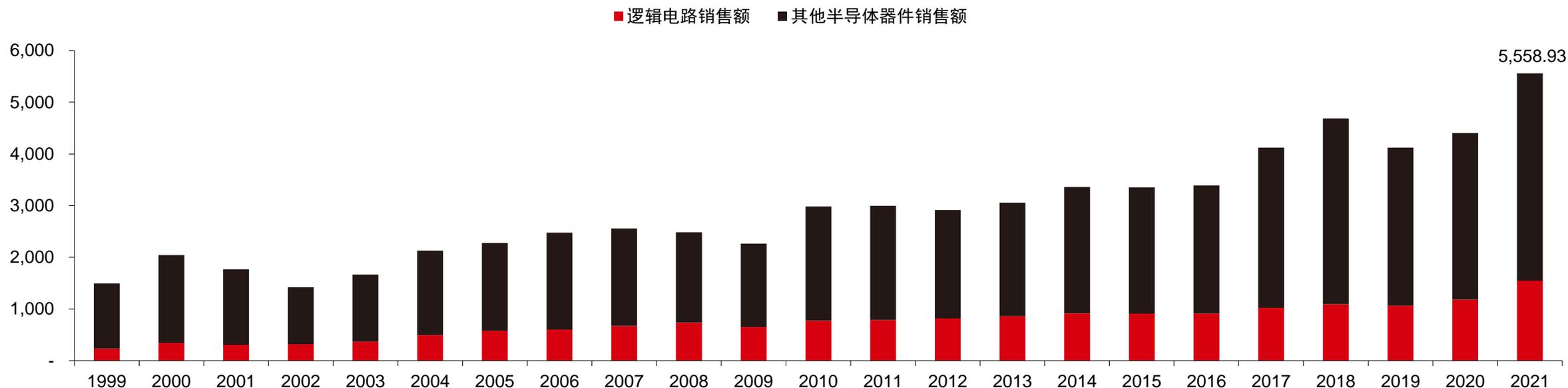
2.1 市场规模：下游市场占比近七成，EDA工具或占半壁江山

2.2 发展方向：毫米波芯片、3D封装等新技术为全定制设计持续打开新市场

2.1 整体规模：下游市场占比近七成，EDA工具或占半壁江山

- 全定制设计方法覆盖的半导体市场规模近4000亿美元，占比近七成。
 - 市场规模：据WSTS数据显示，2021年，全球半导体器件销售额5,559亿美元，其中逻辑电路销售额1,548亿美元，其他半导体销售额合计约4,011亿美元，占比约72.15%；
 - 市场格局：行业集中度高。据IC Insights数据显示，2021年Top 10占比达57.1%，三星与英特尔占比分别达13.3%与12.5%。
- 全定制设计EDA工具存在广阔下游市场空间。我们判断全定制类EDA工具占比EDA工具比例近半壁江山，其重要性不言而喻。

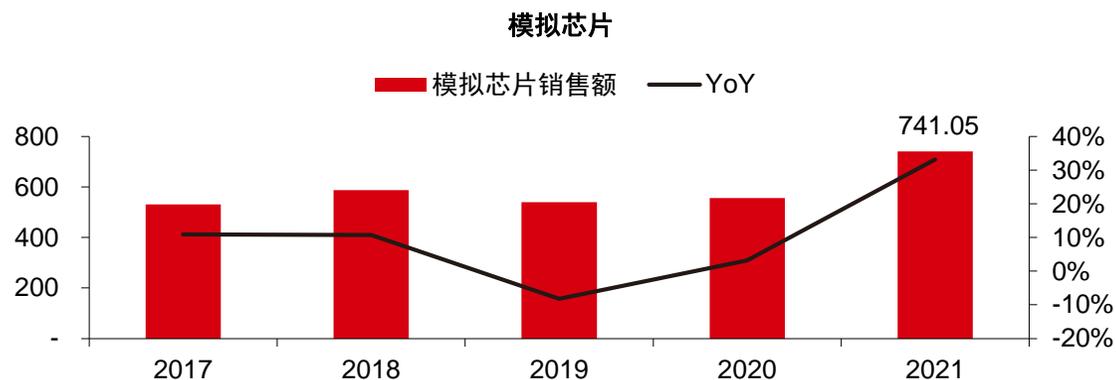
1999-2021年全球半导体销售额（亿美元）



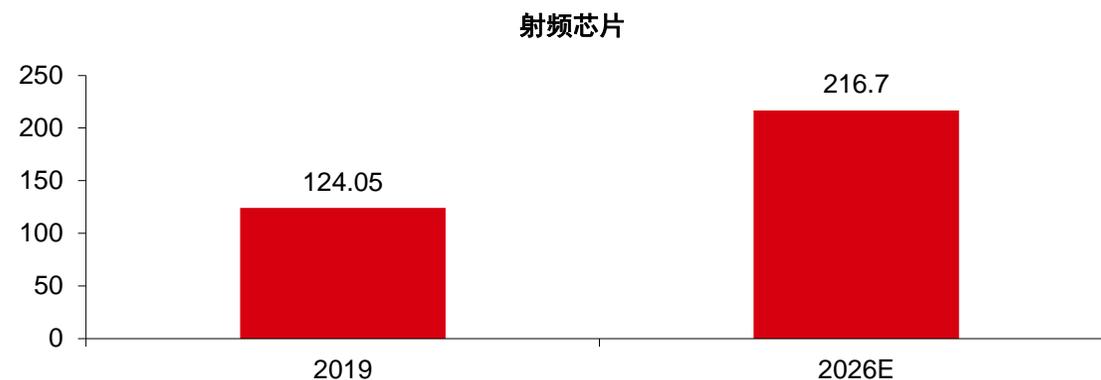
2.1 模拟与射频：合计近千亿美元市场规模，占比近两成

- 射频芯片本质上是高频的模拟芯片，两者市场规模合计近千亿美元，市场格局均较为集中，主要被海外半导体厂商占据。
 - 模拟：2021年全球销售额741.05亿美元，其中Top 5占比57%，德州仪器占比19%；
 - 射频：2019年全球产值124.05亿美元，其中Top 5占比84%，Skyworks占比21%。

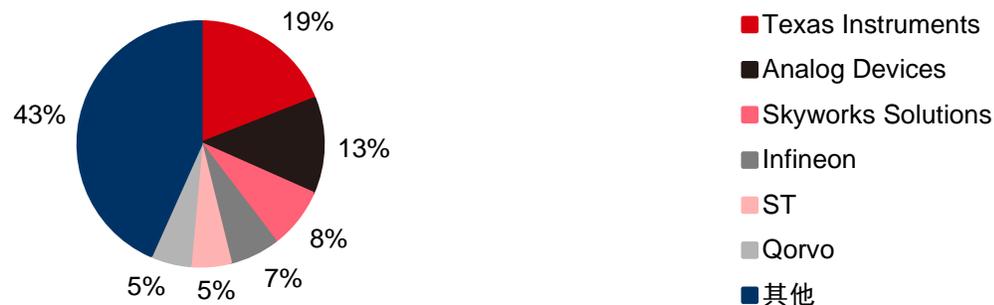
模拟与射频芯片市场规模与格局



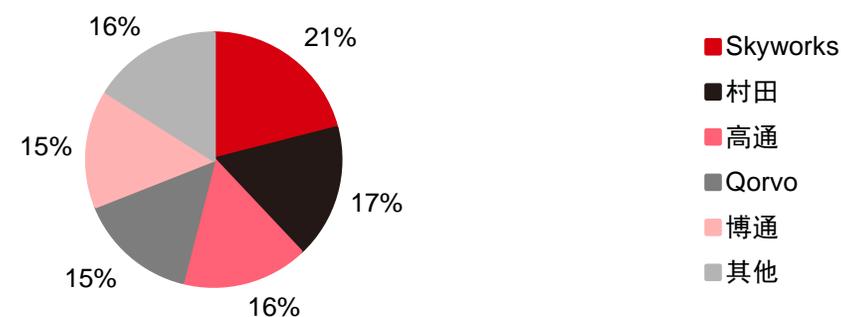
资料来源：WSTS，中信证券研究部



资料来源：Yole（含预测），中信证券研究部



资料来源：IC Insights，中信证券研究部

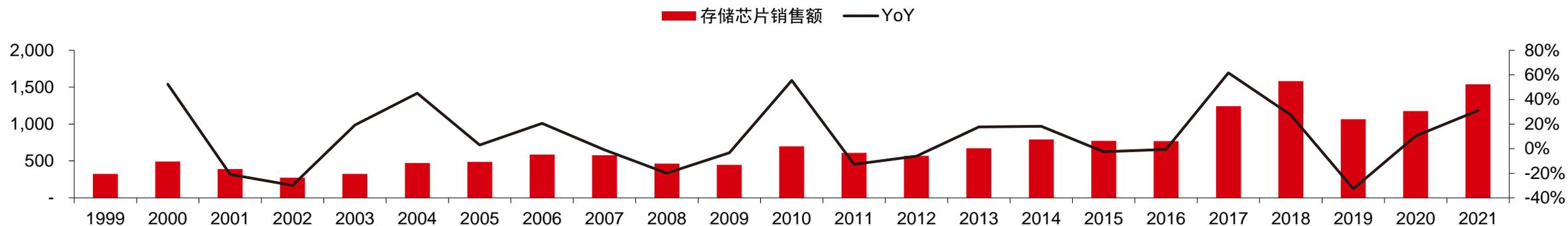


资料来源：Yole，中信证券研究部

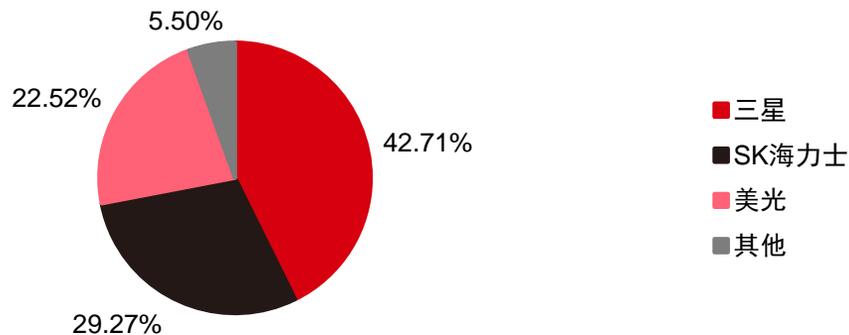
2.1 存储：超1500亿美元市场，占比近三成

- 2021年存储芯片全球销售额1538.38亿美元，其中DRAM、NAND Flash以及NOR Flash市占率分别为57%、40%与2%。
 - DRAM：三星、SK海力士以及美光占据了DRAM 94.5%的市场份额；
 - NAND Flash：三星、铠侠、西部数据等6家厂商占据了NAND Flash 98.6%的市场份额。

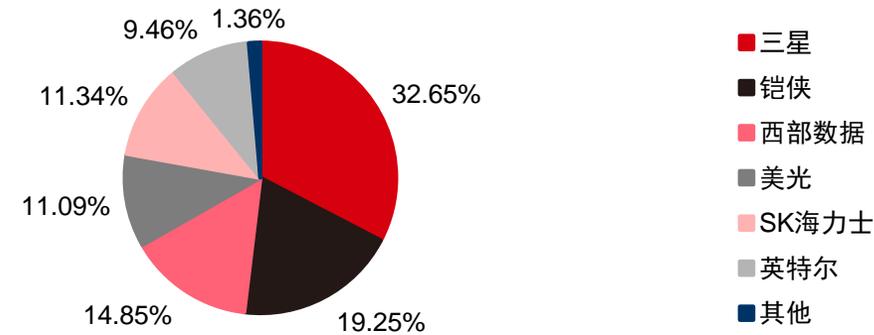
存储芯片市场规模与格局（亿美元）



资料来源：WSTS，中信证券研究部



资料来源：IC Insights，中信证券研究部

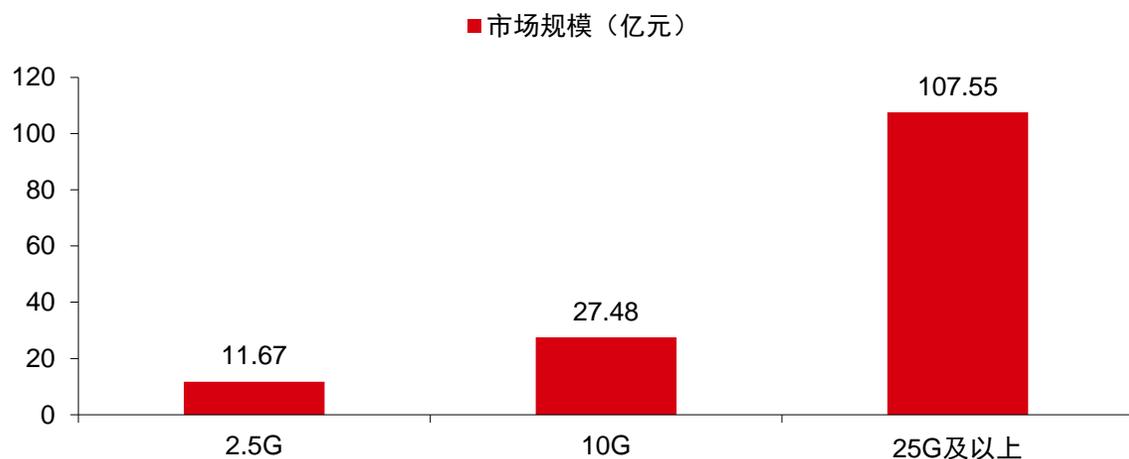


资料来源：IC Insights，中信证券研究部

2.1 光芯片：起步阶段，2.5G/10G相对成熟，但规模仍较小

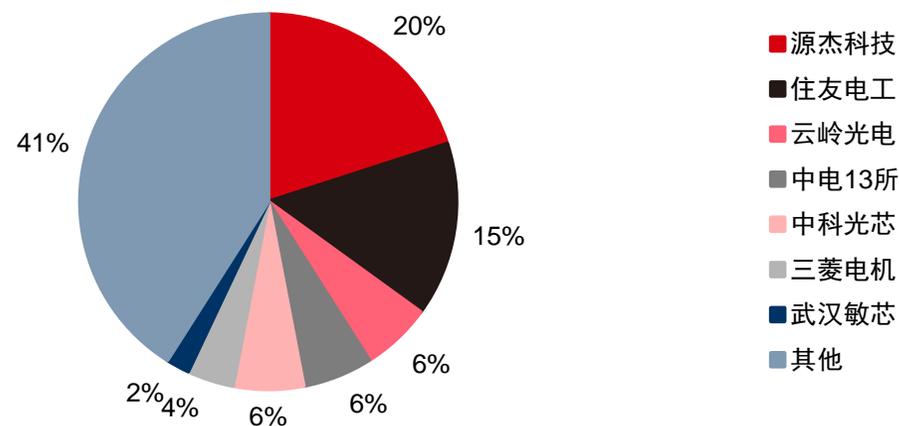
- 国产厂商占据低速光芯片大部分份额，25G及以上市场份额被海外厂商占据。
 - 市场规模：据源杰科技招股书，2021年，全球2.5G/10G/25G以上光芯片市场规模分别为11.67亿元、27.48亿元以及107.55亿元。
 - 低速芯片：2.5G与10G光芯片技术相对成熟，市场基本被国产厂商占据，2021年10G DFB激光器芯片市场中，源杰科技市占率已达20%；
 - 高速芯片：25G及以上光芯片主要应用于移动通信网络以及数据中心，前者主要供应商为三菱电机、住友电工以及Lumentum，后者也以海外供应商为主。

2021年全球2.5G/10G/25G及以上光芯片市场规模



资料来源：源杰科技招股书（上会稿），中信证券研究部

2021年全球10G DFB激光器芯片市场份额

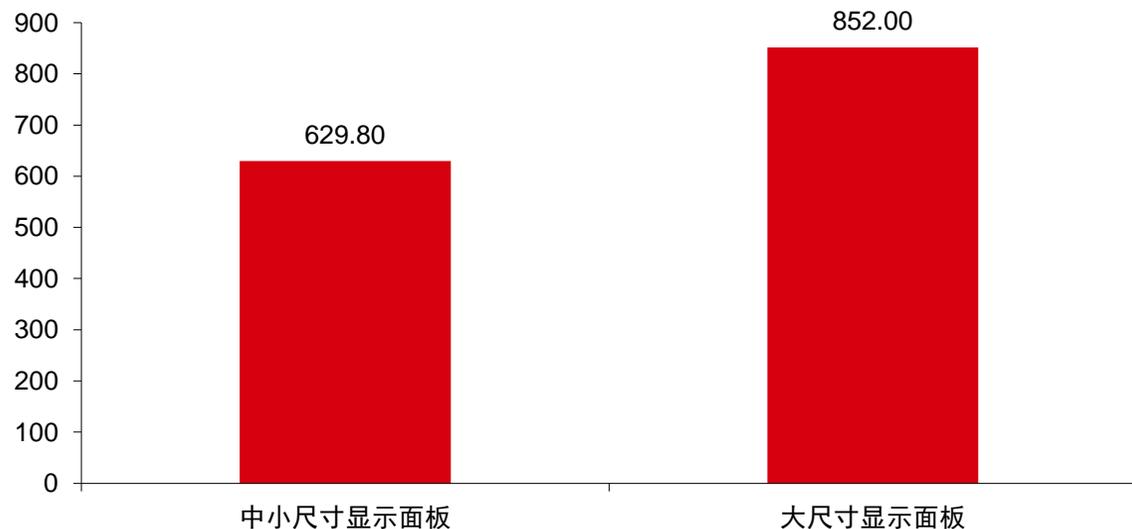


资料来源：源杰科技招股书（上会稿），中信证券研究部

2.1 FPD: 近1500亿美元市场，京东方市占率达25.8%

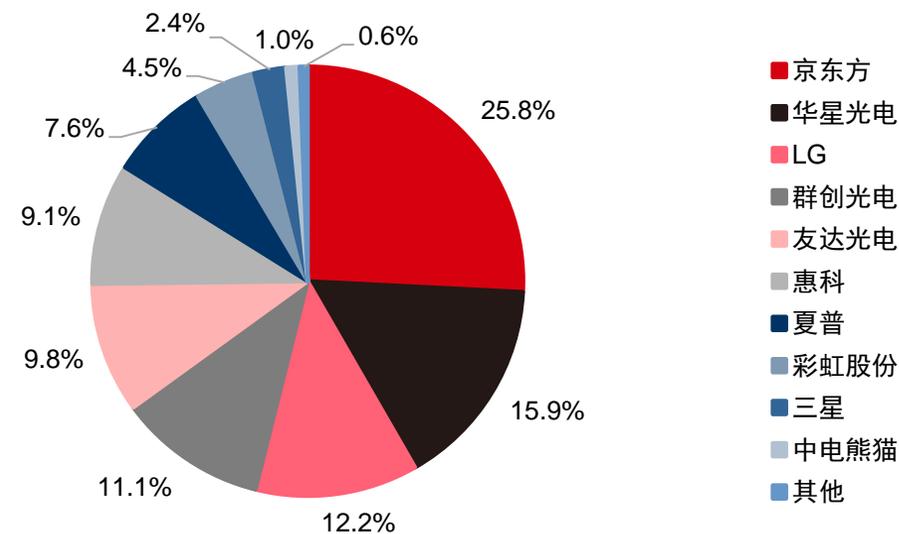
- FPD设计为面板设计与像素点设计的结合，生产制造技术壁垒相对较小，全球近1500亿美元市场，中国产厂商占据了较大的份额。据Omdia统计，
 - 市场规模：2021年全球中小尺寸与大尺寸显示面板市场规模分别为629.8亿美元与852亿美元，合计近1,500亿美元；
 - 市场格局：以京东方为代表的国产厂商占据了大部分市场份额。2021年，京东方、华星光电、LG以及群创光电市占率分别为25.8%、15.9%、12.2%以及11.1%。

2021年全球显示面板市场规模（亿美元）



资料来源：Omdia，中信证券研究部

2021年全球大尺寸显示面板市场格局

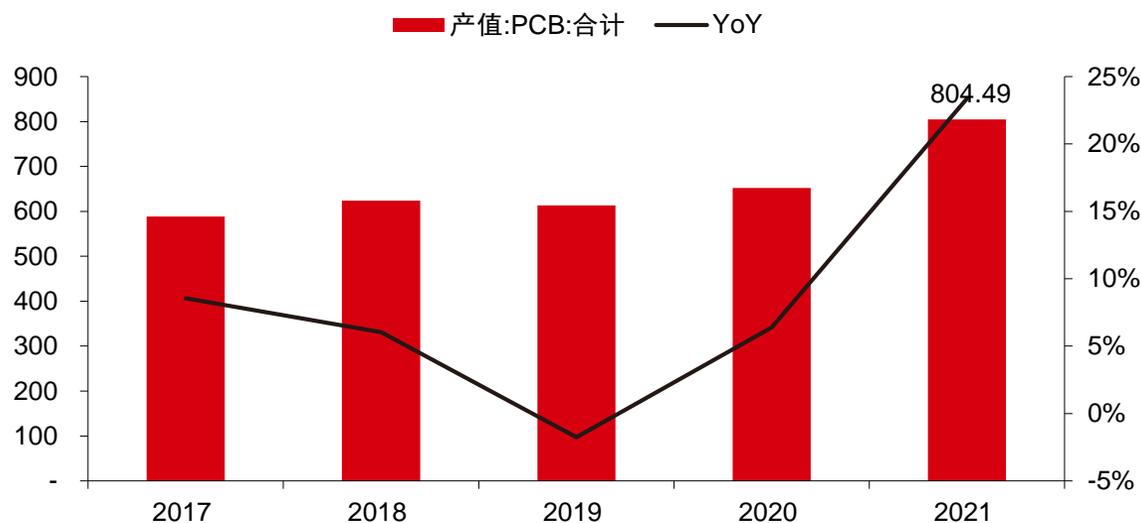


资料来源：Omdia，中信证券研究部

2.1 PCB：设计方法较为成熟，市场规模超800亿美元

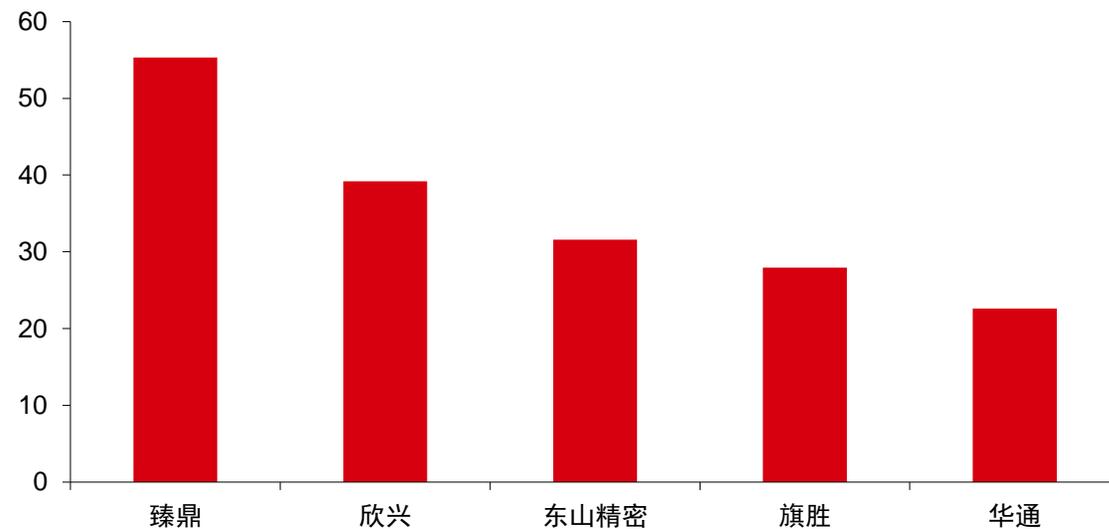
- PCB设计最早可以追溯至上世纪30年代，已形成了较为成熟的设计方法。我国自1956年开始研制PCB，目前国产厂商占据了较大的市场份额。
 - 市场规模：据Prismark，2021年，全球PCB市场总产值为804.49亿美元；
 - 市场格局：全球产能基本集中在东亚地区，我国大陆以及台湾地区贡献了主要产能，2021年全球营收规模排名前十的PCB厂商中，共有7家为中国大陆以及台湾地区的厂商。

2017-2021年全球PCB产值及其增速（亿美元，%）



资料来源：Prismark，中信证券研究部

2021年全球营收规模Top 5的PCB厂商（亿美元）



资料来源：Prismark，中信证券研究部

2.2 技术方向1：高频信号对物理验证提出挑战

- 毫米波作为一种传输率高，带宽大，待用空间广的信号，适用于AR/VR、自动驾驶等多个领域，毫米波芯片成为当前半导体行业的重点研究对象之一。
 - **市场情况：**毫米波频率在30GHz~300GHz之间，过去主要应用在相控阵等军用领域，随着5G通讯的发展，毫米波的民用市场被逐渐打开。2022年3月，华为发布首款毫米波AI超感传感器，4月，联发科与中华电信宣布合作打造5G毫米波芯片测试环境；
 - **设计挑战：**随着信号频率的进一步提升，信号的寄生效应与串扰等问题将要求相应的仿真与验证技术进一步发展。在此背景下，当前全定制设计EDA的技术能力仍有较大的提升空间，对EDA工具也提出了新要求，带来更加广阔的市场空间。

华为首款毫米波AI超感传感器



首款毫米波 AI超感传感器

华为智能驾驶核心传感技术应用于全屋智能

	感知范围 精度 功能 远超红外 ²					
	移动	微动	静止	位置	姿态	环境干扰
AI超感传感器	42m ²	99%	99%	± 0.5m	站立躺卧	不受影响
红外传感器	30m ²	56%	不支持	不支持	不支持	受热源光源等影响

2.2 技术方向2：3D封装使芯片结构更为复杂

- 随着芯片对性能、尺寸以及功耗的要求逐渐提高，先进封装技术不断发展，3D封装技术成为主要趋势之一。
 - **概念：**3D封装即在硅片层面进行封装，将“小芯片”Chiplet组装成“大芯片”，从而实现大芯片的性能。相比普通封装工艺，在有限尺寸与功耗下实现了更好的性能表现。
 - **设计挑战：**3D封装当前痛点主要包括，1) 聚合管理，缺乏代表多种技术的统一数据库，SoC与封装团队工作难以对接；2) 额外的系统级验证，3D封装芯片要有跨芯片/Chiplet的分析验证。3D封装这一新场景或将对全定制EDA工具提出新的能力要求，在工艺适配、设计方法学创新等方面或将会有进一步的优化。

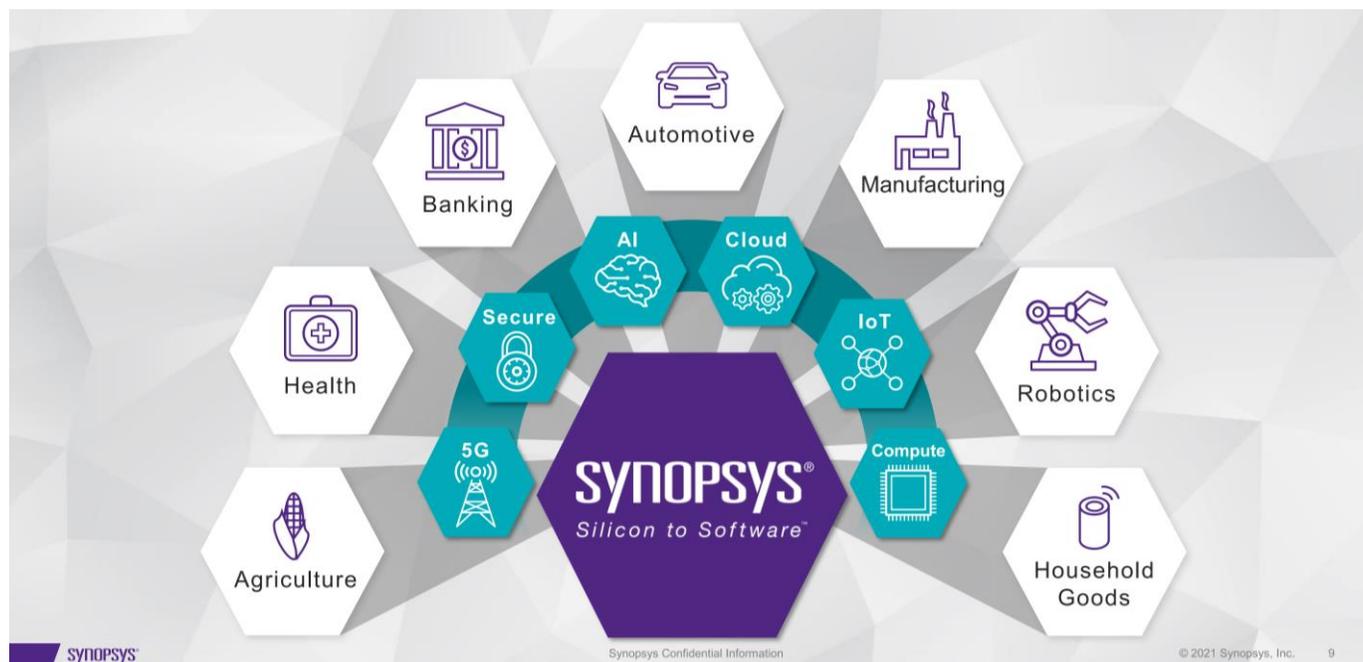
3D 封装与2D 封装节点密度与数据传输功耗对比

封装方式 (2D/3D)	No of IOs/mm ²	Data Transfer Power (pJ/bit)
Wire Bond (2D)	<10	10
Flip Chip Bump (2D)	<100	1.5
Micro Bump (2D)	<1,000	0.5
TSVs (Through-silicon vias, 3D)	<10,000	0.1
Hybrid bond (3D)	Up to 1,000,000	0.05

2.2 技术方向3：AI与云计算等技术赋能EDA革新

- 上述技术趋势为EDA行业创造了更高的产品要求，在AI、云计算等技术的赋能下，全定制设计EDA工具的性能或将有进一步突破。
 - **AI技术：**将在EDA领域扮演更重要的角色。芯片复杂度的提升以及设计效率需求的提高要求人工智能技术赋能 EDA 工具的升级，辅助提升芯片设计效率。
 - **云计算：**在EDA领域的应用日趋深入。随着EDA厂商产品体系与组织架构日益复杂，企业规模逐渐扩大，业务上云能够有效避免芯片设计企业因流程管理、计算资源不足带来的内耗成本，保障研发生产效率。

EDA软件主要技术发展方向



三、产品对比：Cadence整体领先，国内龙头厂商能力接近

- 3.1 全定制设计整体格局：三大家引领，Cadence总体领先
- 3.2 产品对比：以设计平台、电路仿真、物理验证为核心
- 3.3 原理图与版图设计：Virtuoso优势明显，国产龙头加速构建模块丰富度和生态建设
- 3.4 电路仿真：Spectre为主流产品，先进算法与技术架构或可助力国产厂商弯道超车
- 3.5 物理验证：Calibre为行业标准，国产工具或可向数字设计拓展

3.1 整体格局：三大厂商产品能力位于第一梯队

- **Cadence、Synopsys与Mentor**占据行业龙头地位，射频等细分领域存在局部领先厂商。
 - **Cadence**：定制设计EDA领域的领导者，一体化的定制/模拟/混合信号前后端设计平台Virtuoso和仿真器Spectre系列市占率稳居第一；
 - **Synopsys**：传统优势在数字芯片设计领域，自收购Avanti等公司后，不断补全模拟领域前后端产品能力，并推出Hspice仿真器等颇具竞争力的点工具；
 - **Mentor Graphics**：物理验证能力领先，但整体市占率相对较小，已被西门子收购。
- 部分厂商在细分领域拥有相对较高的技术壁垒，包括射频领域的KeySight、ANSYS以及SILVACO等，PCB领域的Altium等。

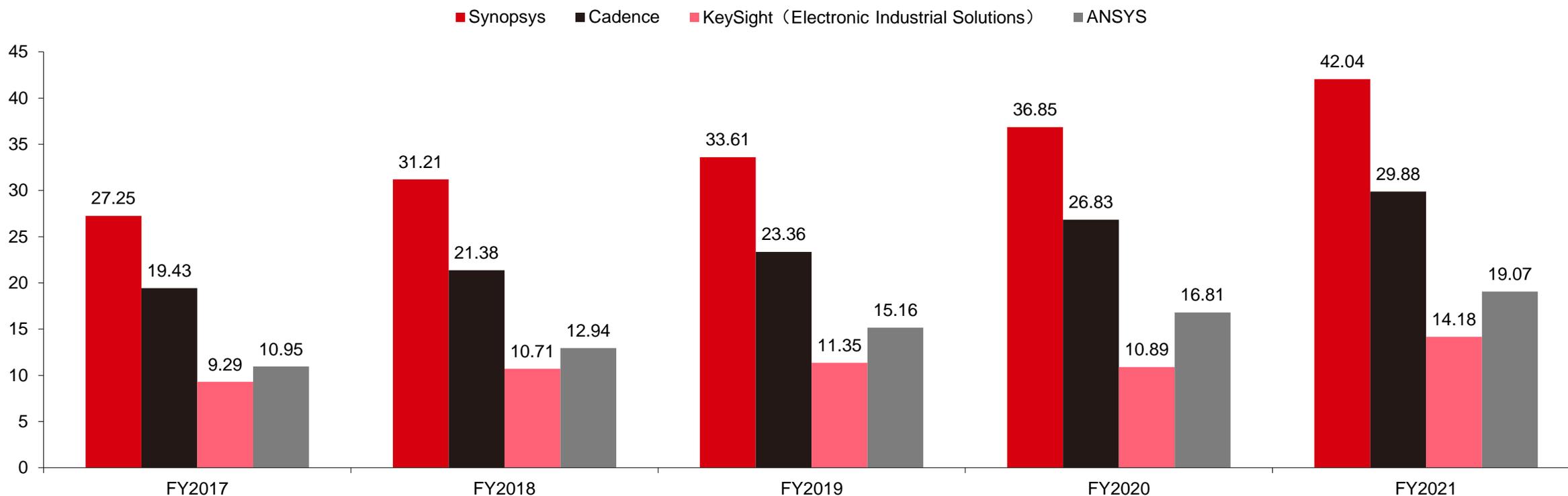
定制设计EDA主流厂商



3.1 营收对比：细分领域龙头与Top 3存在显著营收差距

- **Cadence与Synopsys营收规模相当。**2021财年，Synopsys与Cadence营收分别为42.04亿美元与29.88亿美元，若剔除IP核等业务，两者营收分别为23.53亿美元/26.00亿美元；
- **KeySight与ANSYS为射频领域龙头厂商，但营收规模与Cadence/Synopsys仍有显著差距。**2021年，KeySight Electronic Industrial Solutions部分营收为10.89亿美元，ANSYS营收为19.07亿元。

FY2017-FY2021 Synopsys、Cadence、KeySight、ANSYS相关业务营收规模（亿美元）



3.2 主要环节：设计平台、电路仿真、物理验证三大方向

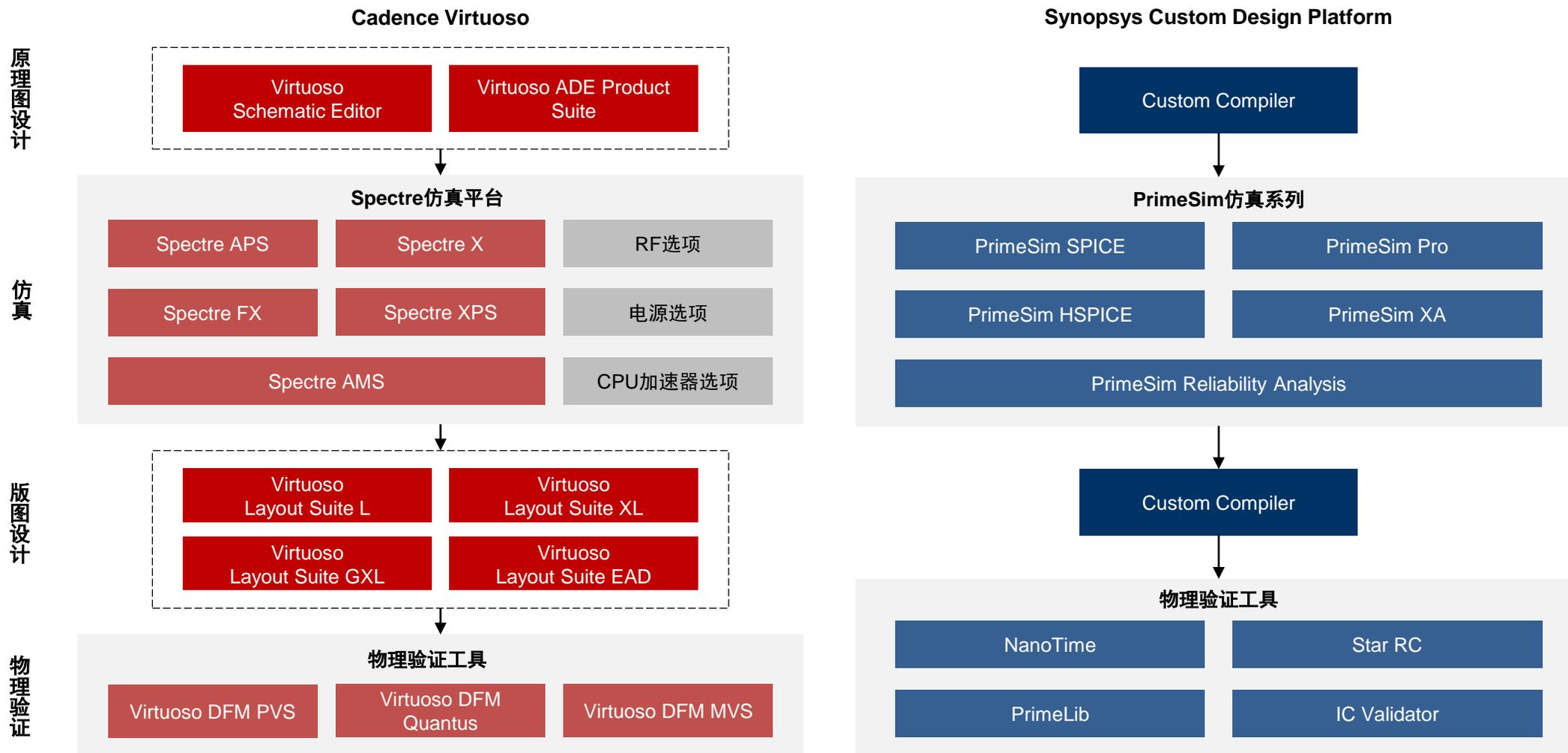
- 全定制EDA工具覆盖原理图及版图设计、电路仿真、物理验证等主要环节，是验证EDA公司核心竞争力的三大重要方向。电路仿真工具用于验证电路能否正确实现其功能，物理验证工具用于验证版图的物理属性与几何参数，原理图与版图设计工具则同时也是集成仿真与验证功能的平台。

Cadence、Synopsys以及Mentor主要产品分布

	Cadence	Synopsys	Mentor Graphics
设计平台	对原理图与版图进行设计，既是一个设计工具，又是集成仿真与验证功能的平台。		
	Virtuoso Schematic Editor Virtuoso ADE Suite Virtuoso Layout Suite	Custom Compiler	
电路仿真	对原理图进行仿真，验证电路是否能正确实现其功能。		
	Virtuoso Spectre	PrimeSim Continuum	
物理验证	对版图的物理属性和几何参数进行验证，包括DRC、LVS、PEX等，保证版图能够交由晶圆厂顺利流片。		
	Virtuoso PVS Virtuoso Quantus Legato Reliability Virtuoso DFM	IC Validator StarRC PrimeLib PrimeTime Reliability Analysis	Calibre nmDRC Calibre nmLVS Calibre xRC Calibre PERC Calibre DFM

3.2 产品布局：Cadence与Synopsys拥有全流程定制化设计能力

Cadence与Synopsys定制设计解决方案对比



3.3 设计平台：市场集中度高，Cadence占据先发优势

- 设计平台环节市场集中度相对较高，其中Cadence Virtuoso平台为全定制设计领域主流设计平台，拥有牢固的市场基础。
 - 当前全球主流的设计平台主要包括Cadence的Virtuoso以及Synopsys的Custom Compiler。在细分领域，Altium Designer（PCB）、KeySight Pathwave ADS（射频）等也有一定的市场基础。

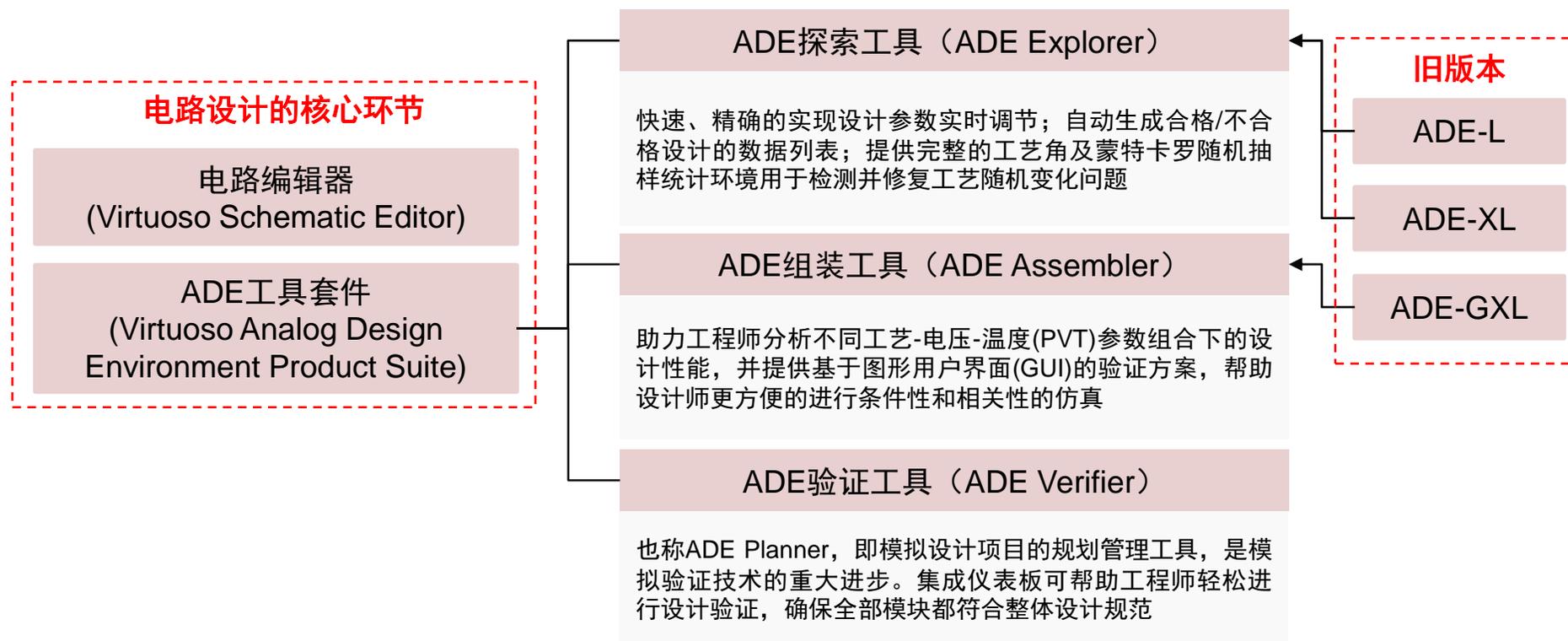
Virtuoso前端设计工具套件

设计平台	发布时间	产品介绍
Virtuoso	1991年	Virtuoso平台包含Schematic Editor前端设计工具与Layout Suite后端版图工具，2016年在前端引入了新一代ADE模拟设计环境，后端能够与前端无缝集成，支持最广泛的PDK。
Custom Compiler	2016年	为Synopsys收购Avanti等公司后形成的原理图与版图工具。于2022年6月获得了台积电的N3E和N4P定制流程认证，在技术水平上均保持在行业前列。
Altium Designer	1985年	Altium Designer前身为Protel，在中低端PCB设计有较强的市场基础，能够集成从原理图设计、电路仿真、版图设计到制造输出等全流程的PCB设计功能。
Pathwave ADS	2018年	Pathwave ADS为KeySight于2018年推出的面向射频电路的设计平台，集成了Pathwave系列的各类电磁仿真工具，是射频领域应用最为流行的设计工具之一。

3.3 设计平台—Virtuoso：主导定制IC前端设计市场

- Virtuoso在全定制芯片和AMS混合信号芯片/版图工具市场上占据接近80%的市场份额，行业影响力大，主流Foundries大多专门为其开发PDK供芯片设计客户使用。
 - 全面升级：Virtuoso自1991年就在定制化IC设计前端中被广泛采用，2016年Virtuoso平台全面升级，引入新一代ADE模拟设计环境，整合创新原有工具，极大提升了数据处理速度和版本管理与设置文件的加载性能。

Virtuoso前端设计工具套件



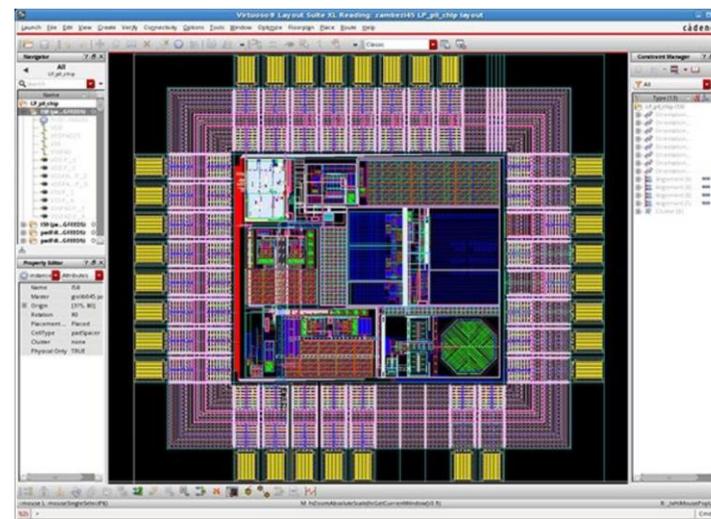
3.3 设计平台—Virtuoso：版图设计支持各类晶圆厂商的PDK

- **Virtuoso Layout Suite**是Virtuoso平台上的全定制IC版图套件，支持器件、单元、模块和芯片级的定制模拟、数字和混合信号设计。
 - **适用工艺范围广**：Virtuoso平台支持最广泛的工艺设计套件（PDK），适用于从成熟0.6 μ m到先进7nm的所有工艺节点。
 - **性能不断提升**：Virtuoso版图设计套件升级后，图形渲染性能提升10-100倍；模块生成器可实时定制，且支持复用；结构化的器件级布线功能调率提升50%。
 - **与前端工具紧密集成**：与电路图编辑器和Virtuoso ADE无缝集成，能够创建兼具速度和准确度的差异化定制芯片，是业界领先的通过硅验证的综合定制IC设计平台。

Virtuoso后端版图套件及各版本特性

Virtuoso Layout Suite	Virtuoso Layout Suite L	基础版 ，支持高级全定制多边形编辑
	Virtuoso Layout Suite XL	标准版 ，原理图驱动和约束驱动式辅助全定制版图
	Virtuoso Layout Suite GXL	高级版 ，支持自动化全定制版图，实现自动平面规划、布局布线和优化
	Virtuoso Layout Suite EAD	EDA版 ，具有独特的设计阶段电气验证功能，可提高定制IC的电路性能

Virtuoso后端版图套件XL



3.3 设计平台—重要评判因素：丰富性与易用性

- 丰富性与易用性是全定制设计工具的核心竞争力。丰富的功能集成决定了设计工具的获客广度，良好的学习与使用体验能够使设计工具获得更高的渗透率。
 - **丰富性：**设计平台不仅是一个用于原理图和版图设计的工具，还是一个集成自有与第三方仿真、验证等工具的平台，一个丰富集成的设计平台决定了更为广阔的获客空间。如Cadence与Mentor、KeySight等80余家EDA厂商均展开了合作，将其功能模块整合进Virtuoso平台中。
 - **易用性：**相较于半定制设计，全定制设计使设计师与设计软件之间发生了更多的交互，更为轻便、友好，学习成本更低的设计软件将获得更多设计师的使用。

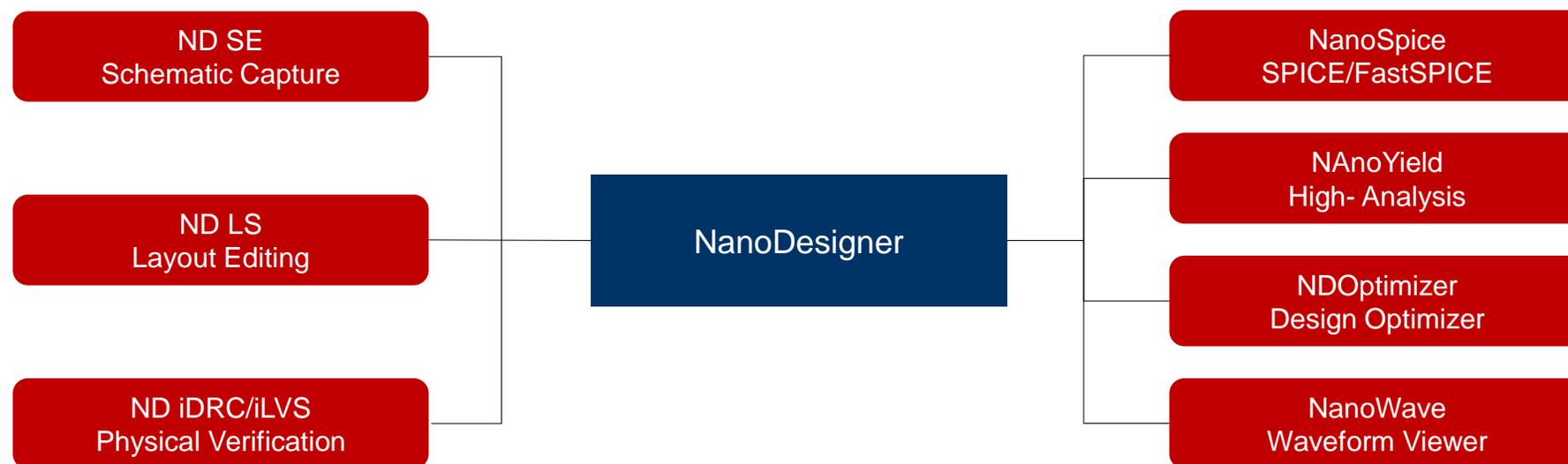
Cadence Connections EDA Program覆盖的第三方品牌（部分）



3.3 设计平台—国产机会：提升易用性，加速生态构建

- 国产厂商产品生态相对较为薄弱，设计平台正处于初步发展状态，本土化产品设计与服务以及逐渐丰富的产品生态或是国产平台的主要竞争力。
 - **市场格局：**国产设计平台主要包括Aether，NanoDesigner等。其中NanoDesigner于2022年8月1日首次发布，为概伦电子首款EDA全流程设计平台。
 - **发展前景：**我们认为，本土化的产品设计与服务，以及逐渐丰富的仿真与验证产品体系是国产设计平台的主要竞争力。国产EDA市场仍处于发展初期，预计率先布局全流程解决方案、形成行业领导力的设计平台将拥有较强的先发优势，随着产品生态的丰富，逐渐向Virtuoso等产品靠近。

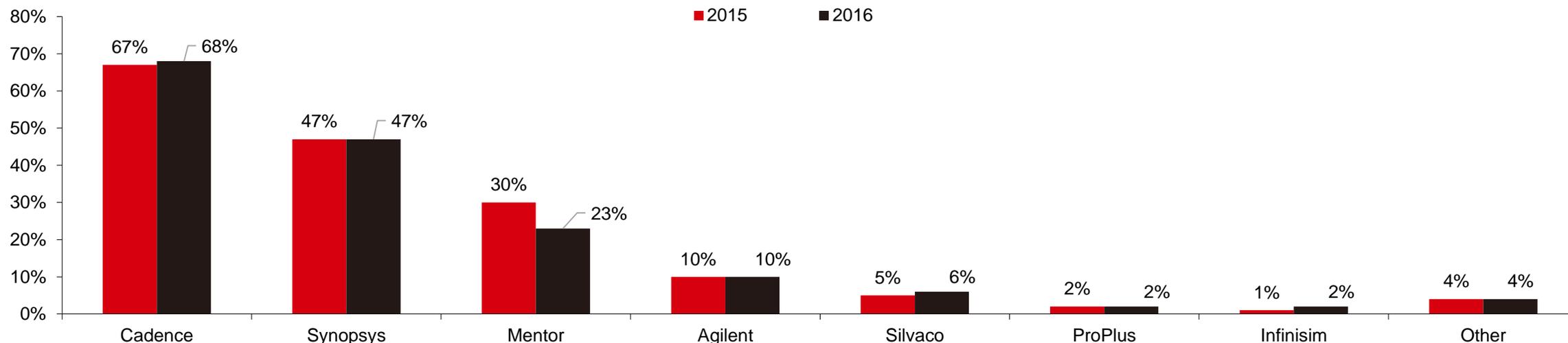
概伦电子 NanoDesigner 产品架构



3.4 电路仿真：不同领域市场格局存在差异

- **Cadence Spectre系列在模拟/混合信号仿真中处于行业领导者的地位，在SPICE仿真工具中拥有最高的市场渗透率，但射频、光电等场景各有千秋。**
 - **主流产品：**海外主流仿真软件为Cadence的Spectre系列与Synopsys的PrimeSim系列。
 - **Cadence的Spectre仍为主流模拟/混合信号仿真工具中的领导者。**根据Sodido Design Automation（加拿大EDA公司）对北美芯片设计工程师（2015年317人，2016年246人）的问卷调查，Cadence Spectre是SPICE仿真工具中市场渗透率最高的品牌。
 - **在细分领域中，部分第二梯队厂商占据了相对优势。**例如，射频领域主要使用的包括KeySight Pathwave、ANSYS HFSS，光学领域应用较多的为ANSYS Lumerical。

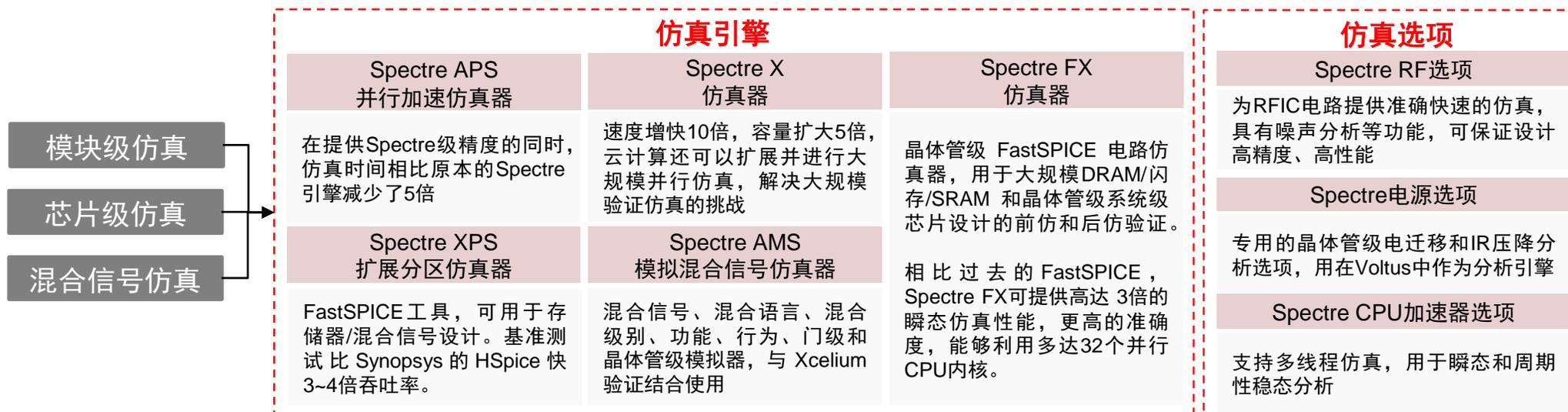
SPICE仿真工具的市场渗透率



3.4 电路仿真—Spectre： 五类仿真引擎实现多层次仿真

- **Cadence的多模式仿真工具（Spectre/Spectre APS/Spectre XPS/Spectre RF等）用于定制芯片的前端设计和后端设计中的仿真，与Virtuoso集成使用。**
 - **多模式协同：** Spectre仿真平台包含多个解算器，可应对电路级、模块级和系统级仿真，所有仿真引擎均基于统一的解析器、器件模型、Verilog-A行为建模、输入数据格式、输出数据格式等，从而保证任一仿真器，求值方法都一致且准确。
 - **保持技术领先优势：** 2021年公司推出Spectre FX，用于高效验证存储器 and 大规模SoC 设计，性能较传统FastSPICE提高3倍，且具有同等或更好的精确度。Spectre平台目前可提供业界唯一的完整仿真解决方案，覆盖从单元特征化到芯片级验证的所有应用。

Spectre仿真平台产品



3.4 电路仿真—KeySight: 积累大量射频仿真工具模块

- KeySight于2018年将其大量仿真工具整合进ADS平台，是当前最为主流的射频仿真工具。

KeySight Pathwave ADS射频设计仿真套件

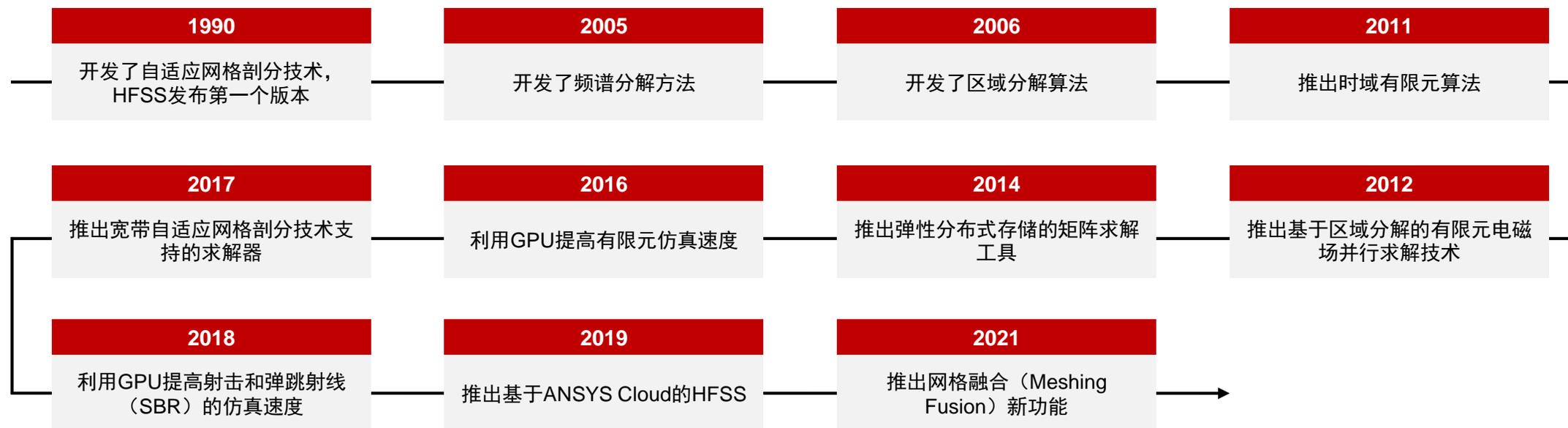
RF Ckt Sim	线性、谐波平衡、电路封测和瞬态/卷积电路模拟器	RFPro	3D EM仿真工具
Sys-Ckt Ver	验证测试平台仿真工具	Comp VTBs	验证测试资料库
Electro-Thermal	电热仿真工具	HSD Ckt Sim	通道仿真
Mem Designer	存储设计工具，DDR仿真	PIPro	电源完整性分析工具
SIPro	高速PCB信号完整性分析工具	PEPro	用于SMPS设计的EM电路协同仿真工具
PE Ckt Sim	瞬态卷积仿真工具		

ADS Core	ADS平台，用于原理图设计与数据呈现 ADS Platform, schematic capture, data display and much more
EM Design Core	电磁仿真平台 A 3D solid modeling environment, formerly called EMPro
Layout	版图设计平台，与DRC、LVS等物理验证工具集成 Comprehensive physical design environment including native and links to 3 rd party DRC, LVS and more

3.4 电路仿真—ANSYS HFSS：射频设计领域深耕多年

- 各细分领域仿真产品技术壁垒相对较高，KeySight、ANSYS等公司在射频、光电等领域内均占据了一定的市场份额。
 - **主流产品：**射频领域主要使用的仿真工具包括KeySight Pathwave、ANSYS HFSS，光学领域应用较多的仿真工具为ANSYS旗下的Lumerical品牌。
 - **KeySight、ANSYS等公司与Cadence、Synopsys之间并非完全的竞争关系。**此类公司在其专业领域深耕多年，业务布局包括硬件、软件，仿真工具覆盖元器件、芯片、系统（如射频中的天线等）等多个场景，拥有差异化的竞争力。KeySight、ANSYS均与头部EDA厂商展开了合作，向其解决方案提供功能模块，实现合作共赢。

ANSYS HFSS发展历程



3.4 电路仿真—ANSYS Lumerical: 光电领域占据先发优势

- 光电设计尚未成熟，ANSYS Lumerical占据先发优势，产品丰富度和性能领先。

ANSYS Lumerical提供的系统级与器件级光学仿真套件

系统级仿真套件

System Suite for Photonic Integrated Circuit Simulation

Interconnect
Photonic Integrated Circuit Simulator

CML Compiler
Photonic Model Development Kit

Laser Library
Advanced Laser Modeling Extension

System Library
Advanced System Modeling Extension

Photonic Verilog-A Platform
Runtime Library & Utilities for PIC Simulation

器件级仿真套件

Device Suite for Photonic Multiphysics Simulation

FDTD
3D Electromagnetic Simulator

MODE
Waveguide Simulator

CHARGE
3D Charge Transport Simulator

HEAT
3D Heat Transport Simulator

DGTD
3D Electromagnetic Simulator

FEEM
Waveguide Simulator

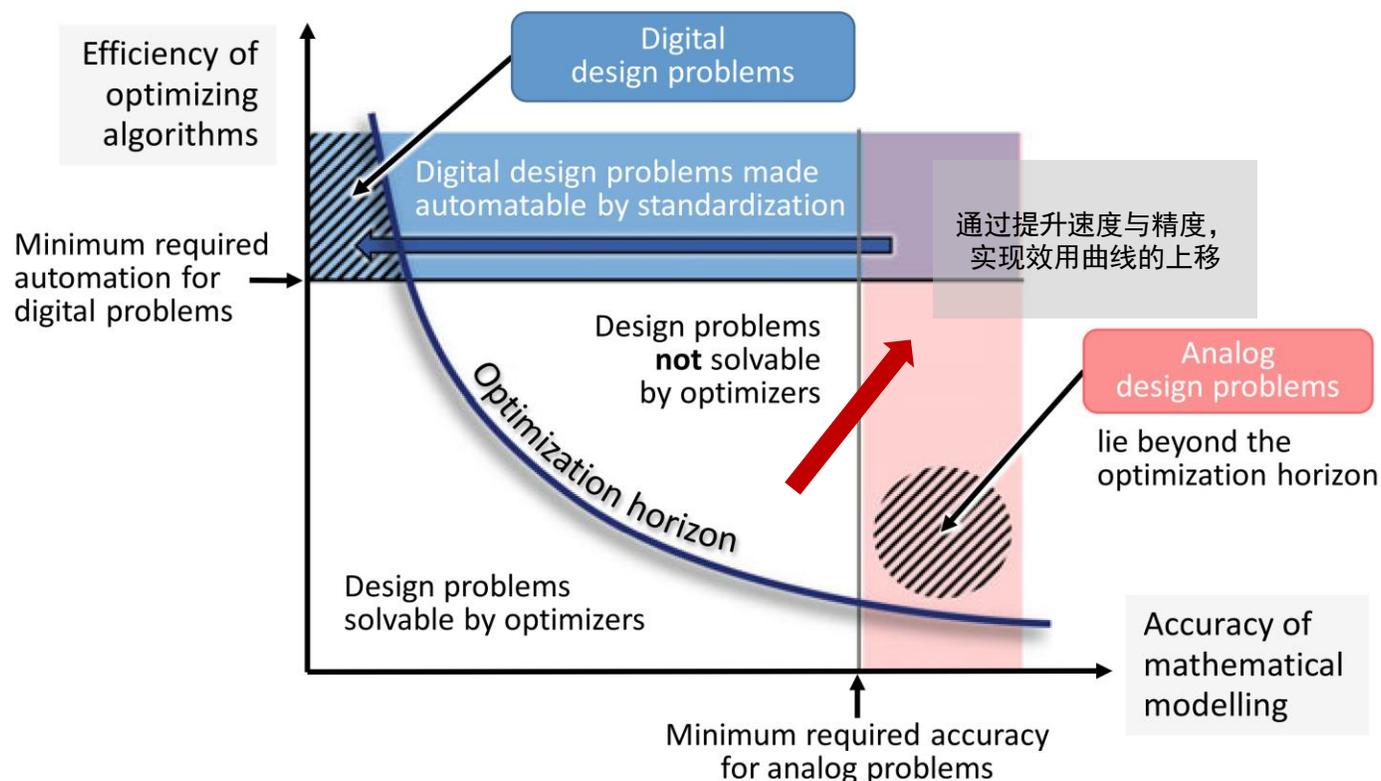
MQW
Quantum Well Gain Simulator

STACK
Optical Multilayer Simulator

3.4 电路仿真—重要评判因素：速度与精度

- 速度与精度是电路仿真工具最重要的技术指标，Cadence、Synopsys的仿真工具均在其基础版本上进行了升级，对仿真速度与精度进行优化。
 - 仿真软件的速度与精度直接影响到产品的设计周期以及设计成本，若速度过慢会影响整个芯片的发布安排，精度的缺失则会导致Fabless厂商多次流片，浪费大量财力物力。

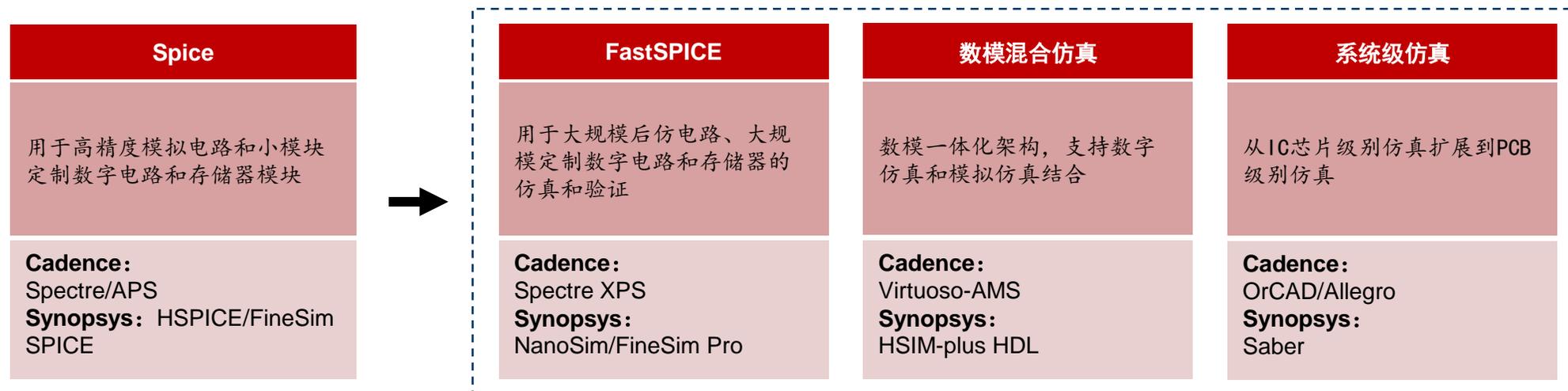
全定制设计仿真工具的优化方向



3.4 电路仿真—国产机会：核心是算法架构，有望弯道超车

- 海外龙头厂商在仿真工具的先发优势相对较弱，国产厂商或能够基于先进算法与技术架构以及SPICE技术的横向拓展实现弯道超车。
 - 国产EDA行业在仿真点工具方面突破较多。主要产品包括NanoSpice、ALPS、Xpeedic IRIS、Ultra EM等，在模拟、存储、射频、FPD等场景均已有不同程度的渗透。
 - 我们认为国产仿真工具未来的发展方向包括技术演进与场景拓展两方面。其一，先进算法与技术架构带来的速度与精度的提升，国产产品已采用GPU加速、并行加速等方式实现了仿真工具速度层面的突破；其二，基于SPICE技术的应用场景的横向拓展，适用于大规模电路的FastSPICE、融合数字仿真的数模混合仿真、延伸至PCB的系统级仿真等均可以成为国产厂商发展的着力点。

SPICE技术发展趋势



3.5 物理验证：Calibre为市场主流物理验证套件

- 物理验证为对设计结果的最后复核，头部厂商均形成了成熟的物理验证套件，其中Mentor Graphics的Calibre为市场主流产品。
 - 细分环节：物理验证环节本质上是对芯片设计约束的复核，检查芯片版图在技术、功能实现以及几何参数等方面是否符合设计要求。因而物理验证一般包括DRC、LVS、PEX以及可靠性、可制造性分析等多个子环节；
 - 市场格局：三家EDA龙头厂商已形成了较为全面的物理验证套件，其中Mentor的Calibre、Cadence的PVS以及Synopsys的StarRC等是物理验证环节主流的产品，Calibre拥有较高的市场占有率。

EDA龙头厂商主要物理验证工具

	DRC	LVS	PEX	Reliability Checking	DFM
Mentor Graphics	Calibre nmDRC	Calibre nmLVS	Calibre xRC	Calibre PERC	Calibre DFM
Cadence	Virtuoso PVS DRC	Virtuoso PVS LVS	Virtuoso Quantus	Legato Reliability	Virtuoso DFM
Synopsys	IC Validator		StarRC	Primitime Reliability Analysis	IC Validator

3.5.1 物理验证—DRC&LVS: Calibre率先占据市场

- **Calibre nmDRC与nmLVS是全定制设计DRC&LVS环节的行业标准工具。**
 - **优势:** Calibre在物理验证环节率先引入了Hierarchy方式, 通过提取重复区域, 形成无重叠的Hierarchy结构, 大幅减少错误定位时间, 在物理验证环节一直保持着较高的市占率。并研发了包括Calibre nmDRC Recon、3DSTACK等适用于各类场景的检查工具。
 - **劣势:** 相较于Cadence与Synopsys, Mentor缺乏Virtuoso、Custom Compiler等平台型设计工具, 随着设计一致性要求的不断提高, Calibre的协同性相对弱于其他产品。

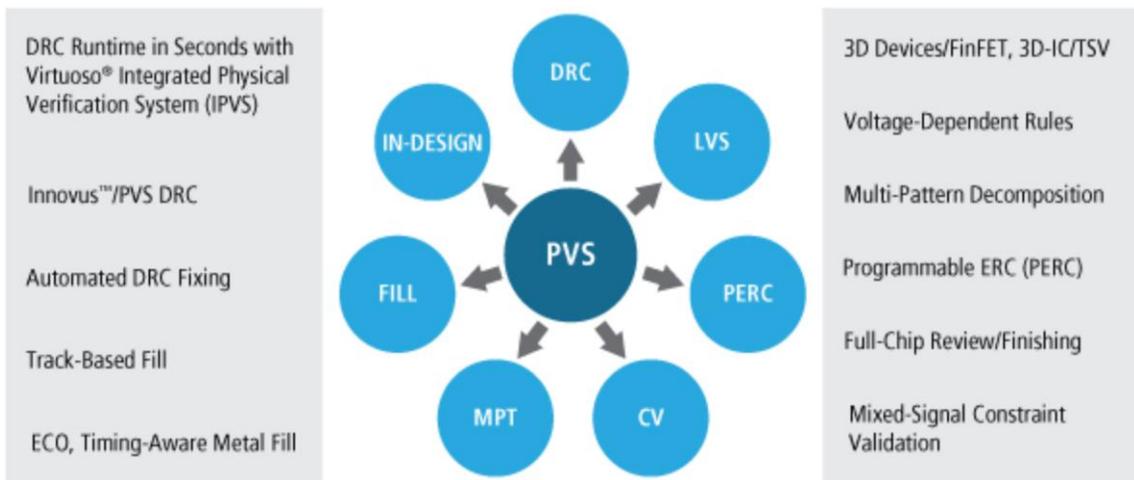
Calibre nmDRC与nmLVS及其相关工具

<p>Calibre nmDRC</p> <p>行业领先的DRC检查工具, 成为市场主流工具已超过25年</p>	<p>Calibre nmDRC Recon</p> <p>支持在设计阶段便对版图进行DRC检查, 缩短验证周期</p>	<p>Calibre Patterning Matching</p> <p>简化多层堆叠器件的验证流程</p>	<p>Calibre nmLVS</p> <p>行业领先的LVS检查工具</p>
<p>Calibre Multi-Patterning</p> <p>提供多模式的验证工具, 支持各类主要代工方法和流程</p>	<p>Calibre 3DSTACK</p> <p>提供封装场景的验证工具, 提高芯片封装的可制造性</p>	<p>Calibre Auto-Waivers</p> <p>自动识别、跟踪并删改违规行为的自动化修正工具, 提高物理验证效率</p>	<p>Calibre nmLVS Recon</p> <p>支持在设计阶段便对版图进行LVS检查, 缩短验证周期</p>

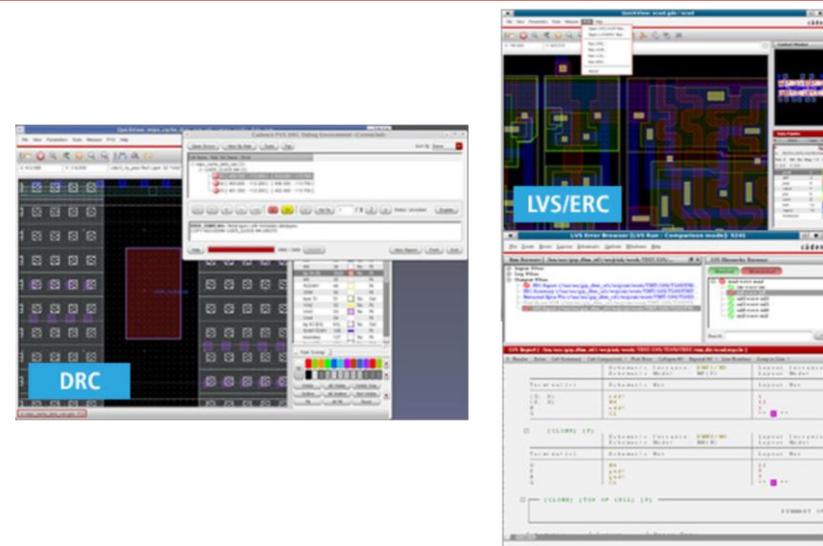
3.5.1 物理验证—DRC&LVS: Virtuoso PVS是业界出色的验证工具

- Virtuoso PVS提供与Cadence其他工具紧密集成的端到端设计和签核的物理验证解决方案，是Cadence新一代与Calibre相竞争的验证工具。
 - 技术能力：PVS支持先进节点技术（双图形、三图形、四图形、3D-IC、Fin-FET 规则、高级器件提取等），并将物理验证技术扩展到设计可靠性检查和约束验证。PVS 还提供分布式处理能力，无需专门的硬件即可大大增加吞吐量。
 - 发展历程：PVS的原型是公司前身SDA的验证工具Dracula，曾垄断物理验证领域。后由于Mentor的Calibre引入Hierarchy方式，大幅减少差错时间，Dracula受到很大冲击。Cadence推出了Vampire、Assura等演进版本，PVS则是与Calibre竞争的最新工具。

PVS支持多种验证



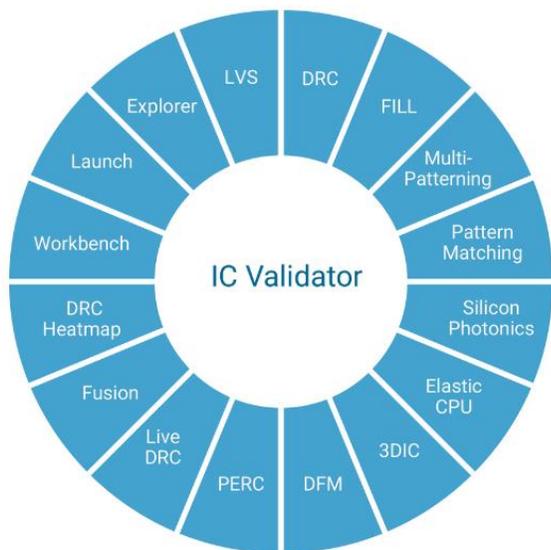
PVS使用界面



3.5.1 物理验证—DRC&LVS: IC Validator拥有全面的物理验证能力

- IC Validator是一套全面的高性能物理验证解决方案，是Synopsys在Hercules基础上推出的升级产品，拥有各类物理验证功能，覆盖了从成熟到先进的各类工艺节点。
 - 技术优势：IC Validator采用了先进的分布式处理算法，可以扩展超4,000个CPU内核，拥有高性能与高扩展性，可以一天内完成数十亿晶体管的DRC、LVS的一次迭代。
 - 生态优势：IC Validator能够与Synopsys的Custom Design、Fusion Design等解决方案无缝集成，通过实现独立的签核质量分析和自动修复，加速芯片设计收敛。

IC Validator具有全面的物理验证能力



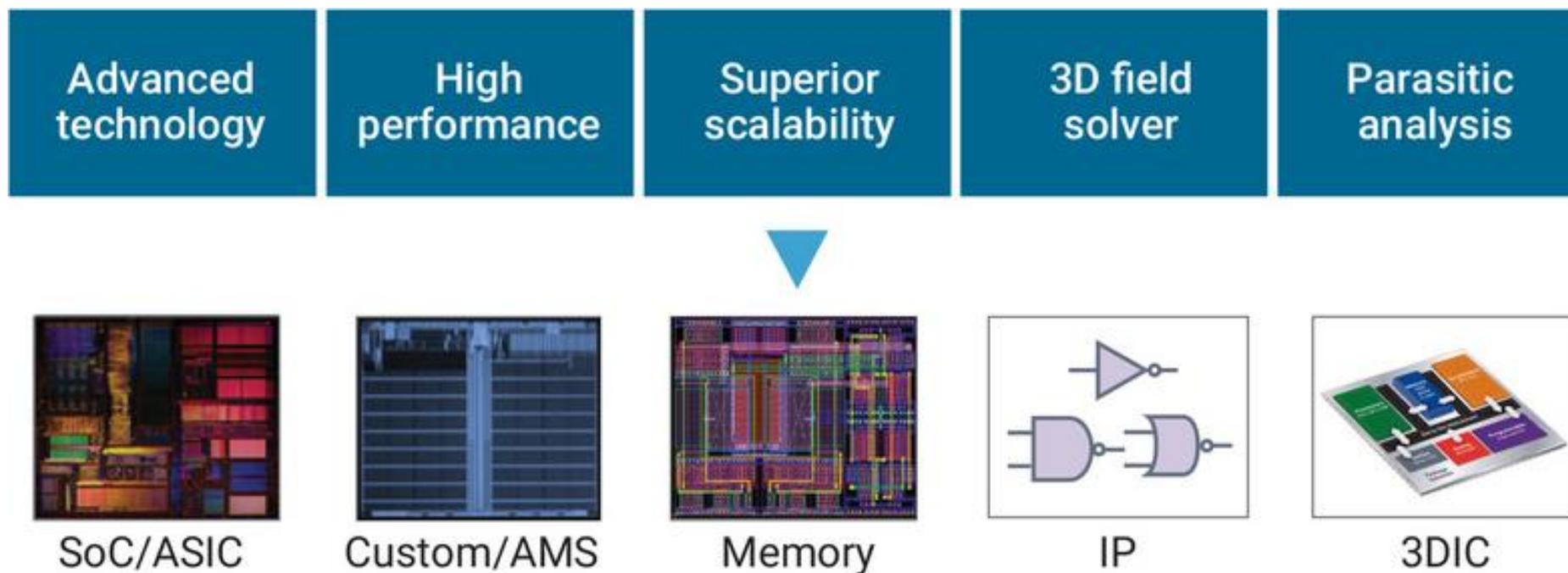
IC Validator技术特点

技术	特点
弹性CPU管理	可实现对2,000多个CPU内核的扩展，其弹性CPU管理动态添加和删除CPU。智能文件管理平衡磁盘、内存并加速多主机环境。
Explorer DRC	实现了从早期SoC集成到全芯片DRC签核的范式转变。对于SoC集成期间的设计验证，可以提供5倍的运行速度和5倍的CPU数量。
物理验证融合技术	自动DRC修复 与Fusion Compiler等无缝集成，实现了创新的布局自动校正界面，可以识别DRC违规并自动修复，进一步减少迭代。
	定时感知填充 高级节点必须强制插入填充以保证可制造性和高产量，IC Validator能够将时序感知与基于轨道的填充结合，实现更高的填充密度。

3.5.1 物理验证—PEX：StarRC是业内寄生参数提取的黄金标准

- StarRC覆盖多场景的寄生参数提取工具，是业内寄生参数提取的“黄金标准”。
 - 覆盖场景：StarRC为 SoC、定制数字、模拟/混合信号、存储器 IC 和3D IC设计提供门级与晶体管级精度的高性能寄生参数提取解决方案。
 - 规格升级：通过对纳米级别的器件极其互连寄生关系的精细化建模，StarRC能够支持5-16nm以及更先进制程的FinFET。

StarRC覆盖场景



3.5.2 物理验证—重要评判因素：对下游工艺的紧密跟踪体现核心能力

- 物理验证本质上是根据晶圆厂提供的设计要求，对芯片设计结果进行检查。因而与晶圆厂的紧密合作，对下游工艺的紧密跟踪保证了物理验证工具的核心竞争力。
 - **Cadence、Synopsys以及Mentor均与晶圆厂紧密合作。**如Calibre连续多年均获得台积电先进制程的工艺认证。通过对下游工艺的及时更新，龙头EDA厂商能保证其技术水平始终能够跟进市场最新需求。
 - **随着芯片进程不断压缩，芯片设计与验证的一致性要求也越来越高。**拥有全流程解决方案的Cadence与Synopsys相对Mentor有相对优势。Cadence的Virtuoso作为设计平台能够集成各类自有与第三方的物理验证工具，包括Mentor的Calibre。

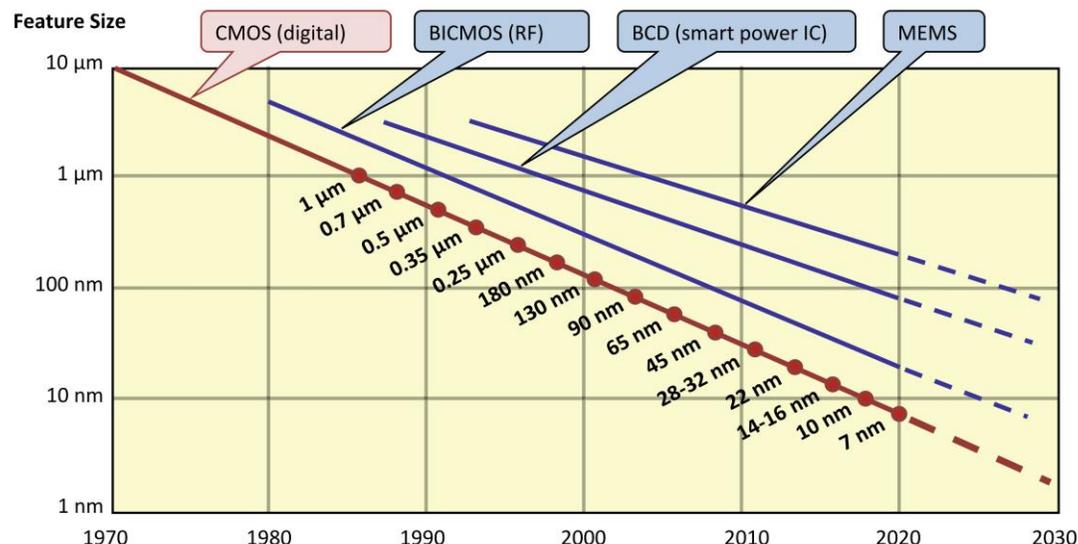
Calibre 与台积电的合作



3.5.3 物理验证—国产机会：加强合作紧跟工艺，向数字等方向延展

- 国产头部厂商具备优势，有望加速实现向数字设计领域的业务外延及市场整合。
 - 国产格局：国产厂商中，物理验证环节市场参与者较多，主要产品包括Argus、概伦电子全定制设计平台NanoDesigner中的ND iDRC/iLVS等。
 - 边界拓展：在物理验证环节，全定制设计与数字设计之间底层技术复用程度较高，国产全定制设计EDA中的物理验证工具或可拓展业务边界，打开更大市场空间。
 - 市场整合：当前国产市场中，一方面与全球顶级晶圆厂合作深度仍有待提升，另一方面，也少有EDA厂商拥有全流程的解决方案能力。因而，短期内，下游工艺要求或尚未对市场形成压力，但在长期内，随着制程工艺进一步升级以及国产市场逐渐走向饱和，技术与竞争压力将会导致国产市场出现新一轮的整合动作。

芯片工艺制程不断收缩



四、投资建议

■ 投资建议：夯实全定制EDA基本盘，拓展数字/数模混合等领域，国产EDA龙头正加速崛起

➢ 成长逻辑1：夯实全定制领域半壁江山

➢ - 我们判断全定制IC设计EDA工具占EDA工具的半壁江山，国产力量正从模拟、存储等领域，加速向全定制其它场景拓展，不断夯实全定制IC设计EDA的半壁江山，并有望以自研+并购方式引领行业发展。

➢ 成长逻辑2：从仿真、验证等关键领域外延，拓展数字/数模混合等领域市场

➢ - 借鉴海外企业发展经验，国内行业龙头厂商有望以全定制IC设计EDA工具为起点，加速向数模混合、数字电路、晶圆制造等领域的EDA拓展，在全球EDA市场中追赶并超越。

➢ **投资建议：**全定制IC设计覆盖模拟、射频、存储、光电等领域，其EDA工具具备较强拓展性。国内EDA龙头有望以模拟电路等领域为起点，加速向射频、存储、光电等全定制领域拓展，夯实全定制半壁江山，进一步拓展数字电路、晶圆制造等领域。重点看好具备全定制领域全流程能力并具备拓展数字工具能力、关键品类竞争力突出、覆盖多领域的国产EDA龙头厂商；同时建议关注单品类竞争力突出的点工具EDA企业。

- EDA技术研发创新不及预期；
- EDA产业政策落地不及预期；
- 国际经济政治态势发展的不确定性；
- 下游市场需求增长不及预期；
- 市场竞争加剧。

- 产业互联网专题（工业篇1）——工业软件：制造强国必修课
- 产业互联网专题（工业篇2）——Aspen：工业优化控制软件龙头启示
- 产业互联网专题（工业篇3）——EDA：研究框架
- 产业互联网专题（工业篇4）——CAD·达索系统：复盘与启示
- 产业互联网专题（工业篇5）——推工业互联网，助制造业升级
- 产业互联网专题（工业篇6）——EDA·概伦电子：引领存储EDA
- 产业互联网专题（工业篇7）——EDA·Cadence：研究框架
- 产业互联网专题（工业篇8）——EDA·Synopsys：研究框架
- 产业互联网专题（工业篇9）——CAD：研究框架



感谢您的信任与支持！

THANK YOU

杨泽原（计算机行业首席分析师）

丁奇（计算机联席首席分析师）

联系人：马庆刘

执业证书编号：S1010517080002

执业证书编号：S1010519120003

分析师声明

主要负责撰写本研究报告全部或部分内容的分析师在此声明：(i) 本研究报告所表述的任何观点均精准地反映了上述每位分析师个人对标的证券和发行人的看法；(ii) 该分析师所得报酬的任何组成部分无论是在过去、现在及将来均不会直接或间接地与研究报告所表述的具体建议或观点相联系。

一般性声明

本研究报告由中信证券股份有限公司或其附属机构制作。中信证券股份有限公司及其全球的附属机构、分支机构及联营机构（仅就本研究报告免责条款而言，不含CLSA group of companies），统称为“中信证券”。

本研究报告对于收件人而言属高度机密，只有收件人才能使用。本研究报告并非意图发送、发布给在当地法律或监管规则下不允许向其发送、发布该研究报告的人员。本研究报告仅为参考之用，在任何地区均不应被视为买卖任何证券、金融工具的要约或要约邀请。中信证券并不因收件人收到本报告而视其为中信证券的客户。本报告所包含的观点及建议并未考虑个别客户的特殊状况、目标或需要，不应被视为对特定客户关于特定证券或金融工具的建议或策略。对于本报告中提及的任何证券或金融工具，本报告的收件人须保持自身的独立判断并自行承担投资风险。

本报告所载资料的来源被认为是可靠的，但中信证券不保证其准确性或完整性。中信证券并不对使用本报告或其所包含的内容产生的任何直接或间接损失或与此有关的其他损失承担任何责任。本报告提及的任何证券或金融工具均可能含有重大的风险，可能不易变卖以及不适合所有投资者。本报告所提及的证券或金融工具的价格、价值及收益可跌可升。过往的业绩并不能代表未来的表现。

本报告所载的资料、观点及预测均反映了中信证券在最初发布该报告日期当日分析师的判断，可以在不发出通知的情况下做出更改，亦可因使用不同假设和标准、采用不同观点和分析方法而与中信证券其它业务部门、单位或附属机构在制作类似的其他材料时所给出的意见不同或者相反。中信证券并不承担提示本报告的收件人注意该等材料的责任。中信证券通过信息隔离墙控制中信证券内部一个或多个领域的信息向中信证券其他领域、单位、集团及其他附属机构的流动。负责撰写本报告的分析师的薪酬由研究部门管理层和中信证券高级管理层全权决定。分析师的薪酬不是基于中信证券投资银行收入而定，但是，分析师的薪酬可能与投行整体收入有关，其中包括投资银行、销售与交易业务。

若中信证券以外的金融机构发送本报告，则由该金融机构为此发送行为承担全部责任。该机构的客户应联系该机构以交易本报告中提及的证券或要求获悉更详细信息。本报告不构成中信证券向发送本报告金融机构之客户提供的投资建议，中信证券以及中信证券的各个高级职员、董事和员工亦不为（前述金融机构之客户）因使用本报告或报告载明的内容产生的直接或间接损失承担任何责任。

评级说明

投资建议的评级标准		评级	说明
报告中投资建议所涉及的评级分为股票评级和行业评级（另有说明的除外）。评级标准为报告发布日后6到12个月内的相对市场表现，也即：以报告发布日后的6到12个月内的公司股价（或行业指数）相对同期相关证券市场代表性指数的涨跌幅作为基准。其中：A股市场以沪深300指数为基准，新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准；香港市场以摩根士丹利中国指数为基准；美国市场以纳斯达克综合指数或标普500指数为基准；韩国市场以科斯塔克指数或韩国综合股价指数为基准。	股票评级	买入	相对同期相关证券市场代表性指数涨幅20%以上
		增持	相对同期相关证券市场代表性指数涨幅介于5%~20%之间
		持有	相对同期相关证券市场代表性指数涨幅介于-10%~5%之间
		卖出	相对同期相关证券市场代表性指数跌幅10%以上
	行业评级	强于大市	相对同期相关证券市场代表性指数涨幅10%以上
		中性	相对同期相关证券市场代表性指数涨幅介于-10%~10%之间
弱于大市		相对同期相关证券市场代表性指数跌幅10%以上	

特别声明

在法律许可的情况下，中信证券可能（1）与本研究报告所提到的公司建立或保持顾问、投资银行或证券服务关系，（2）参与或投资本报告所提到的公司的金融交易，及/或持有其证券或其衍生品或进行证券或其衍生品交易。本研究报告涉及具体公司的披露信息，请访问<https://research.citicsinfo.com/disclosure>。

法律主体声明

本研究报告在中华人民共和国（香港、澳门、台湾除外）由中信证券股份有限公司（受中国证券监督管理委员会监管，经营证券业务许可证编号：Z20374000）分发。本研究报告由下列机构代表中信证券在相应地区分发：在中国香港由CLSA Limited（于中国香港注册成立的有限公司）分发；在中国台湾由CL Securities Taiwan Co., Ltd.分发；在澳大利亚由CLSA Australia Pty Ltd.（商业编号：53 139 992 331/金融服务牌照编号：350159）分发；在美国由CLSA（CLSA Americas, LLC除外）分发；在新加坡由CLSA Singapore Pte Ltd.（公司注册编号：198703750W）分发；在欧洲经济区由CLSA Europe BV分发；在英国由CLSA（UK）分发；在印度由CLSA India Private Limited分发（地址：8/F, Dalamal House, Nariman Point, Mumbai 400021；电话：+91-22-66505050；传真：+91-22-22840271；公司识别号：U67120MH1994PLC083118）；在印度尼西亚由PT CLSA Sekuritas Indonesia分发；在日本由CLSA Securities Japan Co., Ltd.分发；在韩国由CLSA Securities Korea Ltd.分发；在马来西亚由CLSA Securities Malaysia Sdn Bhd分发；在菲律宾由CLSA Philippines Inc.（菲律宾证券交易所及证券投资者保护基金会）分发；在泰国由CLSA Securities (Thailand) Limited分发。

针对不同司法管辖区的声明

中国大陆：根据中国证券监督管理委员会核发的经营证券业务许可，中信证券股份有限公司的经营经营范围包括证券投资咨询业务。

中国香港：本研究报告由CLSA Limited分发。本研究报告在香港仅分发给专业投资者（《证券及期货条例》（香港法例第571章）及其下颁布的任何规则界定的），不得分发给零售投资者。就分析或报告引起的或与分析或报告有关的任何事宜，CLSA客户应联系CLSA Limited的罗鼎，电话：+852 2600 7233。

美国：本研究报告由中信证券制作。本研究报告在美国由CLSA（CLSA Americas, LLC除外）仅向符合美国《1934年证券交易法》下15a-6规则界定且CLSA Americas, LLC提供服务的“主要美国机构投资者”分发。对身在美国的任何人士发送本研究报告将不被视为对本报告中所评论的证券进行交易的建议或对本报告中所持任何观点的背书。任何从中信证券与CLSA获得本研究报告的接收者如果希望在美国交易本报告中提及的任何证券应当联系CLSA Americas, LLC（在美国证券交易委员会注册的经纪交易商），以及CLSA的附属公司。

新加坡：本研究报告在新加坡由CLSA Singapore Pte Ltd.，仅向（新加坡《财务顾问规例》界定的）“机构投资者、认可投资者及专业投资者”分发。就分析或报告引起的或与分析或报告有关的任何事宜，新加坡的报告收件人应联系CLSA Singapore Pte Ltd.，地址：80 Raffles Place, #18-01, UOB Plaza 1, Singapore 048624, 电话：+65 6416 7888。因您作为机构投资者、认可投资者或专业投资者的身份，就CLSA Singapore Pte Ltd.可能向您提供的任何财务顾问服务，CLSA Singapore Pte Ltd.豁免遵守《财务顾问法》（第110章）、《财务顾问规例》以及其下的相关通知和指引（CLSA业务条款的新加坡附件中证券交易服务C部分所披露）的某些要求。MCI（P）085/11/2021。

加拿大：本研究报告由中信证券制作。对身在加拿大的任何人士发送本研究报告将不被视为对本报告中所评论的证券进行交易的建议或对本报告中所持任何观点的背书。

英国：本研究报告归属于营销文件，其不是按照旨在提升研究报告独立性的法律要件而撰写，亦不受任何禁止在投资研究报告发布前进行交易的限制。本研究报告在英国由CLSA（UK）分发，且针对由相应本地监管规定所界定的在投资方面具有专业经验的人士。涉及到的任何投资活动仅针对此类人士。若您不具备投资的专业经验，请勿依赖本研究报告。

欧洲经济区：本研究报告由荷兰金融市场管理局授权并管理的CLSA Europe BV分发。

澳大利亚：CLSA Australia Pty Ltd（“CAPL”）（商业编号：53 139 992 331/金融服务牌照编号：350159）受澳大利亚证券与投资委员会监管，且为澳大利亚证券交易所及CHI-X的市场参与主体。本研究报告在澳大利亚由CAPL仅向“批发客户”发布及分发。本研究报告未考虑收件人的具体投资目标、财务状况或特定需求。未经CAPL事先书面同意，本研究报告的收件人不得将其分发给任何第三方。本段所称的“批发客户”适用于《公司法（2001）》第761G条的规定。CAPL研究覆盖范围包括研究部门管理层不时认为与投资者相关的ASX All Ordinaries 指数成分股、离岸市场上市证券、未上市发行人及投资产品。CAPL寻求覆盖各个行业中与其国内及国际投资者相关的公司。

印度：CLSA India Private Limited，成立于1994年11月，为全球机构投资者、养老基金和企业提供股票经纪服务（印度证券交易委员会注册编号：INZ000001735）、研究服务（印度证券交易委员会注册编号：INH000001113）和商人银行服务（印度证券交易委员会注册编号：INM000010619）。CLSA及其关联方可能持有标的公司的债务。此外，CLSA及其关联方在过去12个月内可能已从标的公司收取了非投资银行服务和/或非证券相关服务的报酬。如需了解CLSA India“关联方”的更多详情，请联系 Compliance-India@cls.com。

未经中信证券事先书面授权，任何人不得以任何目的复制、发送或销售本报告。

中信证券2022版权所有。保留一切权利。