

## 计算机行业“构筑中国科技基石”系列报告21

---

# CPU · Intel：研究框架

中信证券研究部 计算机&电子  
杨泽原 徐涛 丁奇 马庆刘 王子源

2022年9月9日

- **核心结论：CPU的关键在于性能和生态，其二者是Intel不断壮大的基石。一方面，CPU整个生命周期围绕生态进行建设，Intel长期保持生态的兼容和开放，进而构建起庞大稳固的生态体系。另一方面，性能决定是否“好用”，“架构+制程+先进封装+总线结构”为四大技术基石，Intel长期围绕其进行技术迭代，构筑性能优势。借鉴Intel发展经验，拥抱开放生态、缩小性能差距是国产厂商崛起的必经之路，自主可控为国产厂商提供发展良机。建议关注国产CPU龙头。**
- **Intel：成立五十余年的CPU龙头，x86架构的开创者**
  - **公司概况：**成立于1968年，是全球最大的PC零件与CPU制造商，x86架构开创者，产品包括处理器、FPGA、系统与设备、内存与存储等。创始人Robert Noyce是硅基集成电路发明人，Gordon Moore是摩尔定律提出者，技术背景强大。
  - **财务情况：**公司2021年营收达到790亿美元，创下历史峰值，其中PC端业务占比51.26%，数据中心业务占比32.67%，数据中心业务增速高于PC。当年公司整体毛利率55.45%，净利率25.14%，截至2021年拥有员工人数超过12万，盈利能力较强。
- **发展历程：从存储器转向CPU，从桌面端向数据中心/智能驾驶等领域拓展**
  - **早期：放弃存储器，发明第一个CPU。**公司早期团队是集成电路技术的开创者，发明4位/8位处理器使得公司在CPU行业建立领先优势。在面临日本对手的竞争时，公司果断放弃存储器业务，在早期确立专注微处理器的发展战略。
  - **中期：奔腾、Core在桌面端持续胜利，Xscale换Atom未能站稳移动端。**奔腾系列是PC领域经典产品，Core系列延续至今，但在移动浪潮出现时先是出售了Xscale，随后拒绝了苹果的订单，未抓住移动端机遇，推出Atom也未能补救。
  - **后期：从移动端转向自动驾驶/FPGA/数据中心，IDM2.0重建工艺优势。**2016年两款Atom的暂停发布标志着公司逐渐放弃移动市场，接连收购Mobileye、Altera，进行自动驾驶、FPGA领域的布局，建立第二成长曲线。以IDM 2.0与收购高塔半导体为标志，Intel调整自身代工策略，尝试重建工艺领先。

## ■ 微架构/ISA：单核架构基本成熟，异构、集成加速发展

- 初期：格局未定，先发者占据优势。在行业发展初期，生态尚未形成，微架构尚未固化，先发者具备一定优势，如Intel从4004到8080，产品节奏持续领先于Motorola和MOS等对手，更早争取到用户，为生态规模优势打下基础。
- 中期：生态初成，兼容性强者为王。生态初步形成后，兼容性成核心关键，良好的兼容性持续推动生态发展。如Motorola的MC68010芯片性能不弱于80286，只是与前代的兼容性略差；RISC流派的MIPS R10000曾经在浮点效能方面达到Pentium Pro的3倍以上，但明显的性能优势也无法抵消用户的切换成本，Intel对Motorola、RISC流派的竞争胜利已经证明商业市场中生态优势的强大逻辑。
- 后期：架构成熟，性能引领前进。在同一生态内部主要比拼性能，奔腾和酷睿时代，Intel与AMD的竞争中，性能强者赢得主要市场，K7/K8、Core、Zen等几大关键架构极大改变了性能，对市场格局带来了巨大改变。另一方面，处理器架构已经相对成熟，核心架构理念已经接近十余年没有变化，性能增长放缓，异构集成或将成为未来发展方向。

## ■ 基石技术：工艺升级推进性能提升，封装+片内总线发力后摩尔时代

- 制程工艺：制程是架构的基础，10nm受阻拖慢研发节奏。工艺制程壁垒高，目前先进制程玩家仅剩三家。由于过高的目标与保守的DUV技术路线，英特尔在10nm遭遇困难，失去制程领先地位，产品性能与量产节奏也大受影响。
- 先进封装：Foveros、EMIB性能优良，IDM模式下发展领先。先进封装是后摩尔时代必经之路，Intel在此领域推出的Foveros、EMIB等技术性能良好。相对Foundry与封测厂，公司的IDM模式能更好协同前后段工艺。
- 片内总线：总线发达有利堆核，Meshbus与AMD MCM方案各有优势。片内总线结构对于堆核十分重要，公司从环形总线转为网状总线，走出了一条与AMD多芯片堆叠不同的道路，延迟更低，单片性能更好，但AMD的路线更有利于堆核。

- **产品体系：至强、酷睿、奔腾、赛扬、凌动五大类，覆盖广泛使用场景**
  - 11类产品与服务，核心是5类CPU（至强、酷睿、奔腾、赛扬、凌动）。1）至强（服务器）：多核心低主频无核显，崛起于互联网带来的“PC服务器”浪潮，因低成本与扩展性胜过小型机。2）酷睿（中高端PC）：重视能效，取代奔腾成PC高端产品线，12代酷睿异构趋势初现。3）奔腾（中低端PC）：早期唯一产品，曾衍生出赛扬和至强，现用于教育/办公。4）赛扬（低端PC）：性能较奔腾低一级，用于入门级电脑和嵌入式，帮助实现市场下沉。5）凌动（低功耗、物联网）：瞄准移动市场，低功耗高能效，现用于异构芯片小核心。■
- **行业演变：从Intel引领行业到两家激烈竞争，奔腾、K7/K8、Core、Zen是行业重要转折点**
  - 1）奔腾及以前：Intel与AMD同根同源，早期为满足IBM第二供应商要求而共存，直到奔腾系列诞生之前一直处于Intel引领，AMD仿制的局面；2）K7/K8时期：后期两家由合作转向竞争，AMD自主研发能力逐渐增强，曾经在K7/K8架构时代对Intel奔腾4构成严峻挑战，并凭借AMD64指令集与Intel平起平坐；3）Core时期：Intel凭借Core架构进行反击，重新扩大领先优势；4）Zen时期：如今AMD凭借Zen系列展现赶超之势，多核性能有优势。目前两公司整体差距较小。
- **行业启示：下游需求引领行业变革，商业模式需适配产业趋势**
  - 架构先行：架构领先是Intel和AMD竞争获胜的核心法宝，目前CPU核心架构理念相对成熟，国产厂商正加速追赶。
  - 生态为王：x86依靠早期的生态合作与兼容适配取得绝对优势，吸引合作伙伴、培养用户生态是CPU企业壮大的关键。
  - 需求引擎：PC、移动市场等不同需求造就行业巨头，重塑行业格局。PC浪潮带动Intel（x86），移动市场带动ARM。
  - 产业开放：英特尔推出IDM2.0战略，提升自身开放程度，向Fabless+Foundry模式靠拢，对扩大市场有重要成本优势。

## ■ 投资建议：

### ➤ 从Intel历史可见的第一核心要素：生态

➤ - 从Intel的发展历程中可以看到，生态扮演着核心的角色，生态的兼容性保障了x86阵营在与摩托罗拉等CISC对手以及诸多RISC流派对手的竞争中胜出。Intel凭借大生态优势，低成本拓展市场，进而增加研发资源，形成正循环。

### ➤ 从Intel历史可见的第二核心要素：性能

➤ - 在生态大局已定后，性能接棒成为核心，架构与工艺制程都是影响性能的关键。Intel凭借领先的集成电路工艺，积极引入大型机、小型机以及RISC流派的先进技术，在相当长的时间内一直是x86派别的性能领先者，而AMD也数次依靠新技术在产品端取得优势，在市场上对Intel构成严峻挑战。

➤ **建议关注生态、性能端具备竞争力的国产龙头企业。借鉴Intel发展经验，拥抱开放生态、缩小性能差距预计是国产厂商崛起的必经之路，自主可控为国产厂商提供发展良机。建议关注国产x86架构CPU龙头和自研架构领军者。**

## ■ 风险提示：需求减弱风险、市场竞争加剧、技术研发失败风险、全球供应链波动风险、宏观经济增速下行风险。

- 本报告对Intel发展历程中的成败得失与启示进行了全面梳理，从产品、技术方面进行深入分析，对于认知国产CPU厂商有所帮助。
- 一、技术层面，架构、工艺制程、先进封装、片内总线架构为CPU的四大基石技术，决定CPU产品力，影响市场竞争力。架构方面，我们认为，初期讲速度，中期讲兼容，后期讲性能，当前架构已经基本成熟，有利于国产厂商追赶。工艺方面，我们认为工艺是CPU企业的核心竞争力，是引领架构发展的动力。此外英特尔的先进封装与片内总线架构保持领先，两者的重要程度在“后摩尔时代”显著提升。
- 二、产品层面，Intel走向细分化、广覆盖，PC市场摊成本，服务器市场获利润。市场需求导致Intel产品线不断分化，AMD性价比战略促使Intel推出赛扬，追求利润促使Intel、AMD先后进军服务器。服务器场景“至强”凭借性能与成本从早期竞争中脱颖而出；制程研发放缓影响“酷睿”系列竞争力提升；“赛扬”成功帮助公司实现市场下沉；“凌动”系列对标移动端，各代产品设计均体现面积与性能的权衡。
- 三、竞对分析，初始禀赋、体量决定英特尔与AMD不同的发展战略。英特尔科技出身的创始人团队使得公司早期引领技术变革，AMD销售出身的团队与较小的公司体量更适合“模仿跟进”策略。而两家公司的同根同源创始人团队也为日后合作埋下伏笔。同时公司规模、资本充足性差异也使两家公司在IDM、Fabless的选择上出现分化。
- 四、行业启示。1) 架构：架构领先是Intel和AMD竞争获胜的核心法宝，目前CPU核心架构理念相对成熟，国产厂商正加速追赶。2) 生态：具有很强的正反馈效应，强者恒强，尽量拥抱大生态。3) 需求：新进者的“发展窗口期”，催生增量市场，重塑产业格局。4) 开放：Fabless模式更符合CPU与先进制程的产业特点，更符合当今的分工格局，更符合方兴未艾的国产CPU厂商。

# CONTENTS

## 目录

- 一. 公司概况：全球CPU龙头，开创X86架构
- 二. 发展历程：早期专注CPU，中期错失移动端机遇，现全方位发力
- 三. 处理器架构：单核架构基本成熟，异构、集成继续进步
- 四. 基石技术：工艺推进核心性能，封装+片内总线发力后摩尔时代
- 五. 产品体系：11项产品线多维布局，处理器为基本盘
- 六. 行业演变：多年积累，竞合不断，成就行业两大龙头
- 七. 行业启示：下游需求引领行业变革，商业模式需适配产业趋势
- 八. 投资建议
- 九. 风险因素

## 一、公司概况：全球CPU龙头，开创X86架构

- 1、公司概况：持续创新，领航全球CPU市场
- 2、行业地位：实力强大，CPU行业龙头地位稳固
- 3、财务情况：业务广泛布局，营收增长稳健

## 二、发展历程：早期专注CPU，中期未把握移动端机遇，现全方位发力

- 1、早期：持续迭代产品，产品与理念领先时代
- 2、中期：锤炼技术禀赋，未把握移动端机遇
- 3、后期：舍弃已去的过去，把握即来的未来

## 三、微架构/ISA：单核架构基本成熟，异构、集成继续进步

- 1、架构发展概况：基础架构十余年来无大改，已接近数学物理极限
- 2、早期时代：每一代性能提升10倍，跑马圈地占据先发优势
- 3、x86时代：持续兼容保持战略定力，兼容前提下自我革命提升性能
- 4、奔腾时代：持续创新吸收技术，性能与生态综合领先
- 5、多核时代：性能转向能效，市场持续正反馈
- 6、减速时代：架构改进取决于工艺，集成与异构成为新趋势
- 7、异构时代：架核心微架构基本成熟，场景优化成为关键

## 四、基石技术：工艺推进核心性能，封装+片内总线发力后摩尔时代

- 1、制程工艺：10nm受阻拖慢研发节奏，5年4节点公司望王者归来
- 2、先进封装：后摩尔时代下的纵向延伸，IDM模式下发展领先
- 3、片内总线结构：信息传输的通道，多核堆叠的掣肘

## 五、产品体系：产品分化，同步实现广覆盖与高适应性

- 1、产品总览：CPU为业务基本盘，产品分化为适应细分市场关键
- 2、至强（服务器）：商业化应用场景，性能与成本为首要考量
- 3、酷睿（中高端PC）：取代奔腾成PC高端产品线，异构趋势初现
- 4、奔腾（中低端PC）：引领CPU历史变革，现用于教育/办公场景
- 5、赛扬（低价低端PC）：性能较奔腾低一级，帮助实现市场下沉
- 6、凌动（低功耗、物联网）：瞄准移动市场，集成化为迭代主线
- 7、Movidius视觉处理器：前瞻布局，针对边缘与AI设备

## 六、行业演变：多年积累，竞合不断，成就行业两大龙头

- 1、发展演变：相互竞合，初始禀赋与体量决定不同发展战略
- 2、竞争格局：差距逐渐缩小，笔记本服务器市场公司优势显著

## 七：行业启示：下游需求引领行业变革，商业模式需适配产业趋势

- 1、架构先行：CPU竞争的法宝，技术相对成熟，国产厂商加速追赶
- 2、生态为王：生态是第一竞争力，强者愈强难以颠覆
- 3、需求引领：需求迭代催生后浪巨头，把握下游铸就稳固地位
- 4、商业模式：Fabless展现优势，分工合作利用生态规模

## 八、投资建议

## 九、风险因素



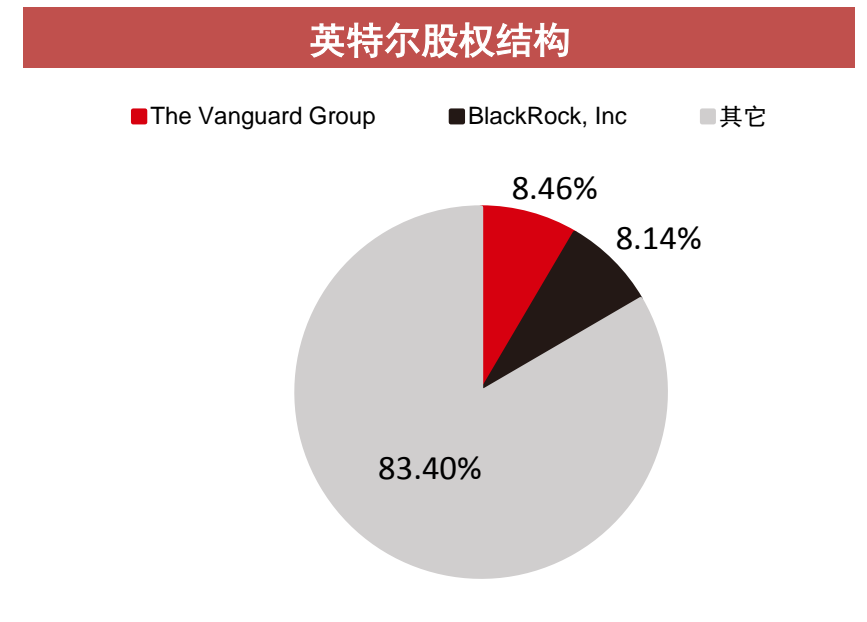
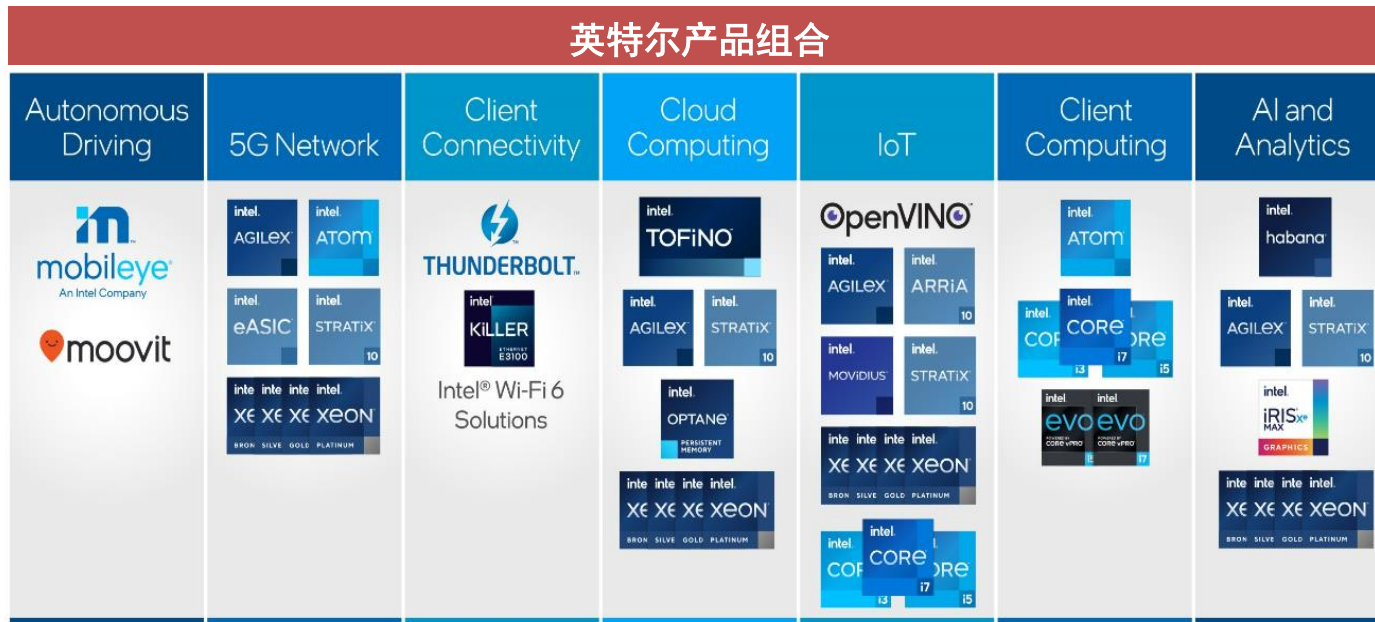
## 一、公司概况：全球CPU龙头，开创X86架构

---

- 1.1 公司概况：持续创新，领航全球CPU市场
- 1.2 行业地位：实力强大，CPU行业龙头地位稳固
- 1.3 财务情况：业务广泛布局，营收增长稳健

# 1.1 公司概况：持续创新，领航全球CPU市场

- 英特尔是全球最大的PC零件与CPU制造商。自创立以来，公司开创X86结构，并通过多个具有时代意义的产品引领计算机行业与CPU行业的创新变革
  - 公司成立：公司成立于1968年，总部位于美国加利福尼亚州圣克拉拉，由罗伯特·诺伊斯（CEO）与戈登·摩尔（COO）共同创立，后安迪·格鲁夫加入，创始人实力强大，其中罗伯特·诺伊斯为仙童半导体创始人，被称为“硅谷之父”，“集成电路之父”；戈登·摩尔为“摩尔定律”的提出者；安迪·格鲁夫被誉为“硅谷最伟大的管理者”
  - 公司规模：目前公司拥有12.1万名员工，产品包括处理器、服务器、FPGA、系统与设备、内存与存储等。2021年公司营收790亿美元，同比+1.5%，创下历史峰值
  - 股权结构：公司股权结构分散，截至2021年年底公司持股5%以上的股东只有The Vanguard Group（先锋领航集团）与BlackRock, Inc.（贝莱德集团），分别持股8.46%、8.14%



## 1.2行业地位：实力强大，CPU行业龙头地位稳固

- 根据IC Insights麦克林报告，英特尔在全球半导体供应商（不包括纯代工厂）销售额榜单中位居榜首多年
  - 1993年，英特尔以9.2%的全球半导体市场份额成为排名第一的供应商，一直到2016年，公司始终为全球半导体市场份额排名第一的厂商
  - 2017年，公司市场份额为13.9%，略低于三星的14.8%，而后在2019年再次回归榜首
  - 同时，英特尔的主要竞争对手AMD也在快速增长，于2021年成功晋升成为第十名

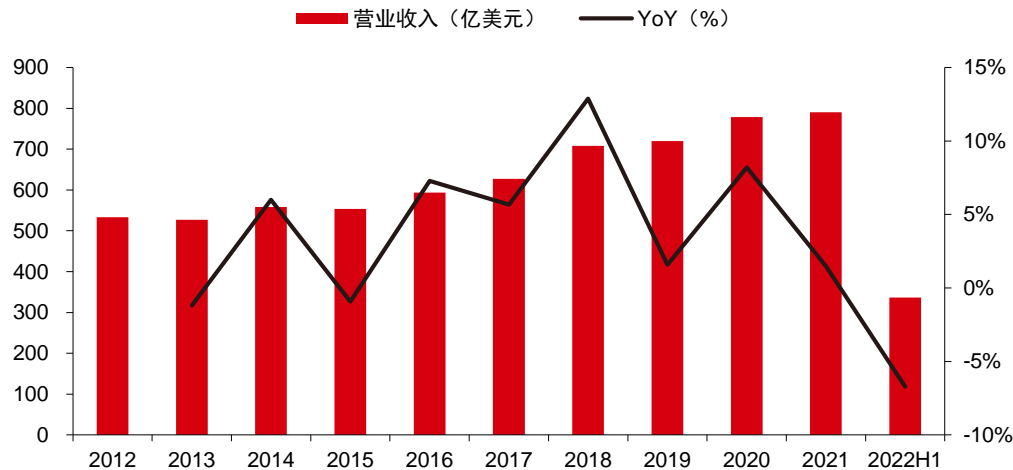
历年半导体行业销售额及其排名（亿美元）

	1993			2000			2008			2019			2021		
	公司	营收	份额	公司	营收	份额	公司	营收	份额	公司	营收	份额	公司	营收	份额
1	英特尔	76	9.2%	英特尔	297	13.6%	英特尔	345	13.0%	英特尔	708	15.9%	三星	820	13.3%
2	NEC	71	8.6%	东芝	119	5.4%	三星	203	7.7%	三星	557	12.5%	英特尔	767	12.5%
3	东芝	63	7.6%	NEC	109	5.0%	德州仪器	116	4.4%	SK海力士	232	5.2%	SK海力士	374	6.1%
4	摩托罗拉	58	7.0%	三星	106	4.8%	东芝	104	3.9%	微芯	202	4.5%	微芯	300	4.9%
5	日立	52	6.3%	TI	96	4.4%	意法半导体	103	3.9%	博通	172	3.9%	高通	293	4.8%
6	德州仪器	40	4.8%	摩托罗拉	79	3.6%	瑞萨电子	70	2.6%	高通	144	3.2%	英伟达	232	3.8%
7	三星	31	3.8%	意法半导体	79	3.6%	高通	65	2.5%	德州仪器	137	3.1%	博通	210	3.4%
8	三菱	30	3.6%	日立	74	3.4%	索尼	64	2.4%	英飞利	113	2.5%	联发科	177	2.9%
9	富士通	29	3.5%	英飞凌	68	3.1%	海力士	62	2.3%	英伟达	108	2.4%	德州仪器	173	2.8%
10	松下	23	2.8%	飞利浦	63	2.9%	英飞凌	59	2.2%	意法半导体	95	2.1%	AMD	164	2.7%
	前十大合计	471	57.0%	前十大合计	1081	49.4%	前十大合计	1191	44.9%	前十大合计	2469	55.5%	前十大合计	3512	57.1%
	行业合计	826	100.0%	行业合计	2190	100.0%	行业合计	2652	100.0%	行业合计	4445	100.0%	行业合计	6146	100.0%

# 1.3 财务分析：营收稳健增长，中国地区需求强劲，Q2同比下滑

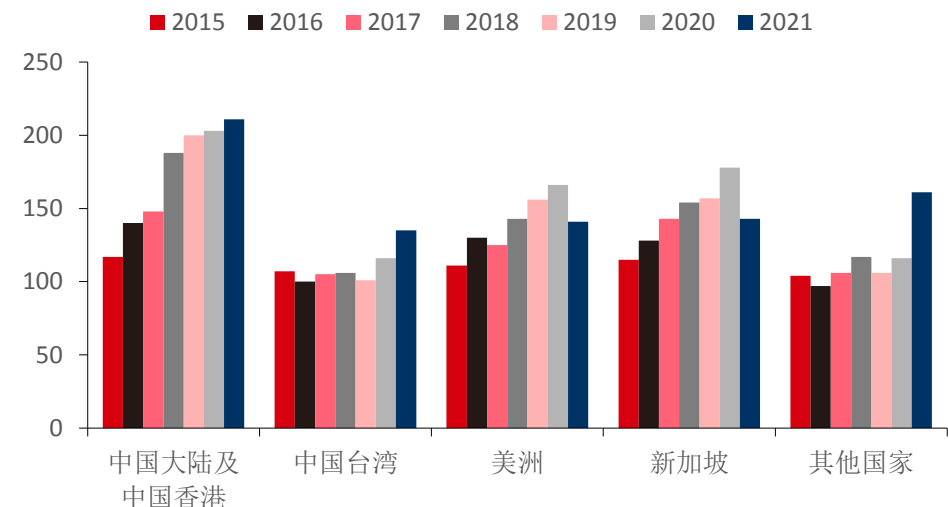
- **营业收入：2012-2021年，公司营收由533.4亿美元增长至790.2亿美元，CAGR为4.5%，增长趋势明显，22Q2同比下滑**
  - 2018年，受数据中心和客户端SSD的强劲需求以及Optane技术产品增长的推动
  - 2020年，新冠疫情导致居家办公、在线学习需求提升，PC与服务器市场增长明显
  - 2021年，笔记本需求持续强劲、台式需求复苏，抵消数据中心由于竞争加剧带来的ASP下降
  - 22年Q2，根据英特尔法说会，由于经济活动快速放缓，DCAI 和 AXG 产品系列存在执行问题，公司营收增长疲软。二季度营收153亿美元，同比下降22%，创1999年以来最大降幅
- **分地区营收：中国市场占据主要营收来源且增长迅速，为CPU厂商重要战略领域**
  - 中国市场（中国大陆+中国香港+中国台湾），公司营收由15年的224亿美元增长至21年的346亿美元，营收占比由40%增至44%
  - “中国大陆及中国香港”增长迅速，由15年的117亿美元增至21年的211亿美元，CAGR为10.3%

英特尔2012-2022H1 营收情况



资料来源：Wind，中信证券研究部

英特尔分地区营收情况（亿美元）

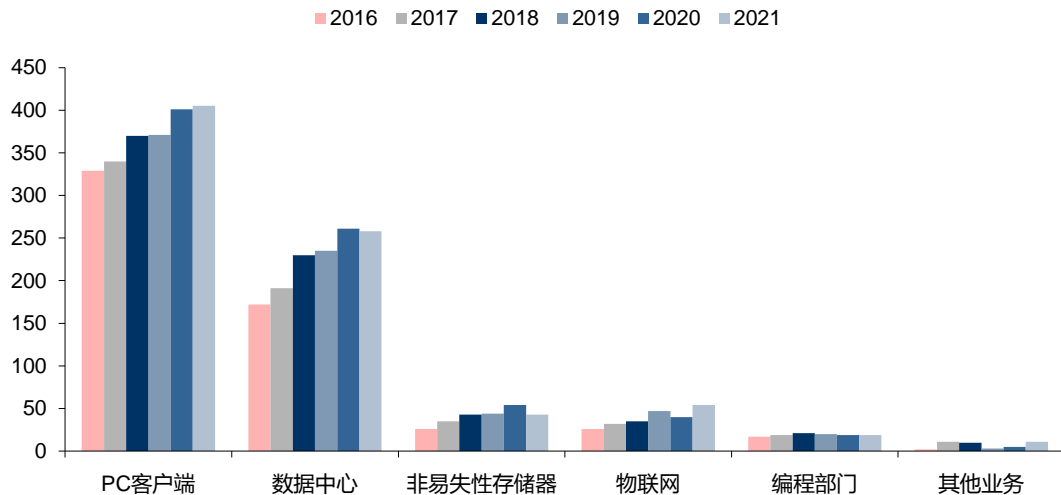


资料来源：公司年报，中信证券研究部

# 1.3 财务分析：PC客户端与数据中心为主要营收来源

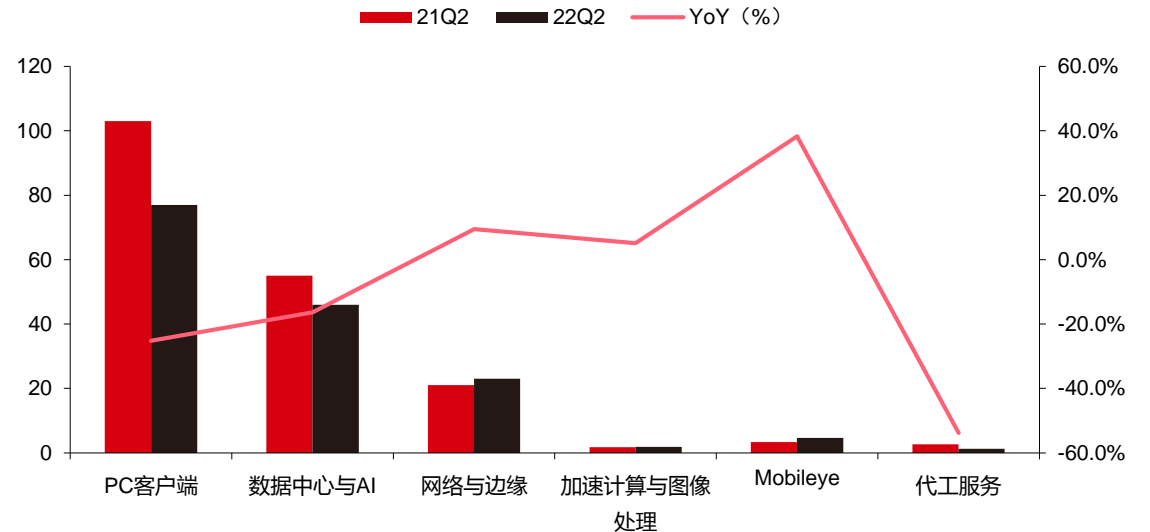
- **分业务营收：主要来自CCG（PC客户端）与DCG（数据中心）**
  - CCG（PC客户端）：21年营收为405亿美元，CAGR为4.2%，占比51%
  - DCG（数据中心）：21年营收为258亿美元，CAGR为8.4%，占比33%
- **22Q1业务调整：自22Q1起，公司结合自身业务变革，将营收重新划分为CCG（PC客户端）、DCAI（数据中心与AI）、NEX（网络与边缘）、AXG（加速计算与图像处理）、Mobileye、IFS（代工服务）几大类**
  - 其中，PC客户端依旧占比最大，但受需求冲击同比下滑
  - Mobileye业务发展迅速，22Q2营收为4.60亿美元，同比+38.3%；代工业务体量小，增速有较大下滑

英特尔分业务营收情况（亿美元）



资料来源：公司年报，中信证券研究部

2022Q2英特尔营收结构（亿美元）

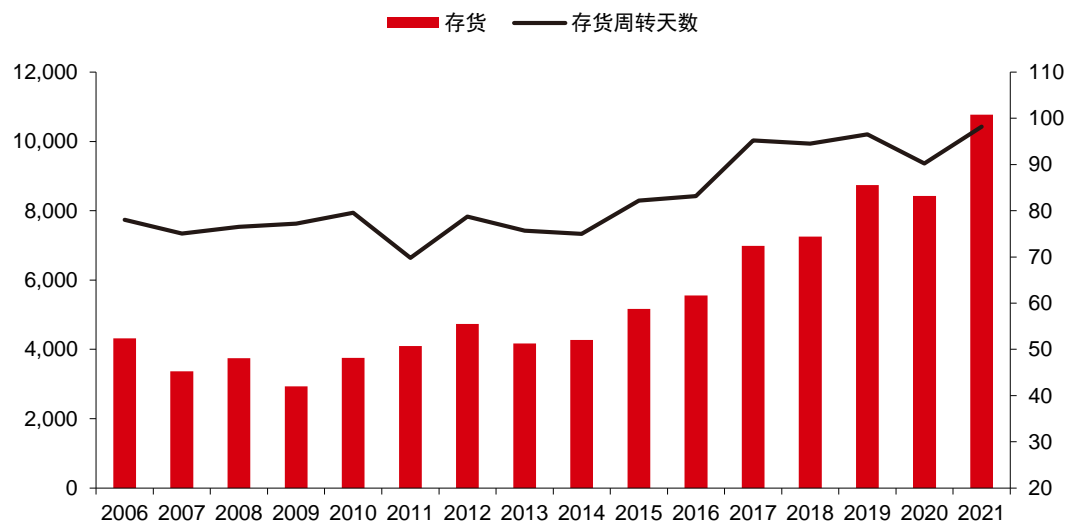


资料来源：公司季报，中信证券研究部

## 1.3 财务分析：Intel 存货周转较慢，库存呈上升趋势

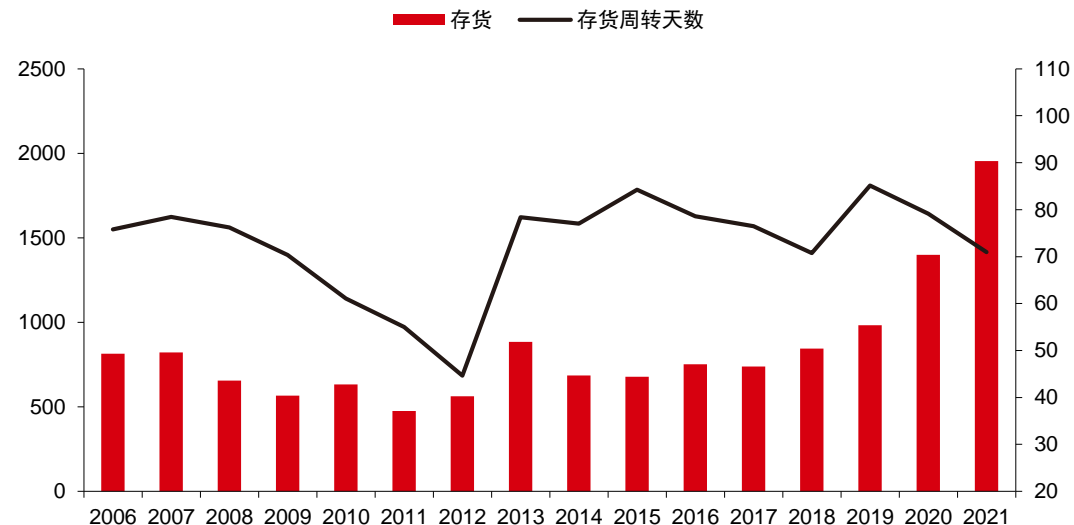
- 从库存端看，英特尔整体库存规模较大，存货周转较慢；AMD 存货周转天数近年来保持稳定
  - 2006年以来，伴随经营规模的增长，英特尔的存货呈现增长趋势，存货金额由2006年的43.13亿美元增至2020的84.27亿美元
  - 2021年，行业“缺芯”态势严重，包括英特尔在内的半导体公司均积极备货，库存明显上升，英特尔21年存货金额为107.76亿美元，同期AMD存货金额也有明显增长
  - 英特尔存货周转天数也呈现上升趋势，由2006年的78天增至2021年的98天。但AMD的库存管理较好，除个别年份外，周转天数普遍在80天以下。

### 英特尔库存及其周转天数（百万美元）



资料来源：Wind，中信证券研究部

### AMD 库存及其周转天数（百万美元）

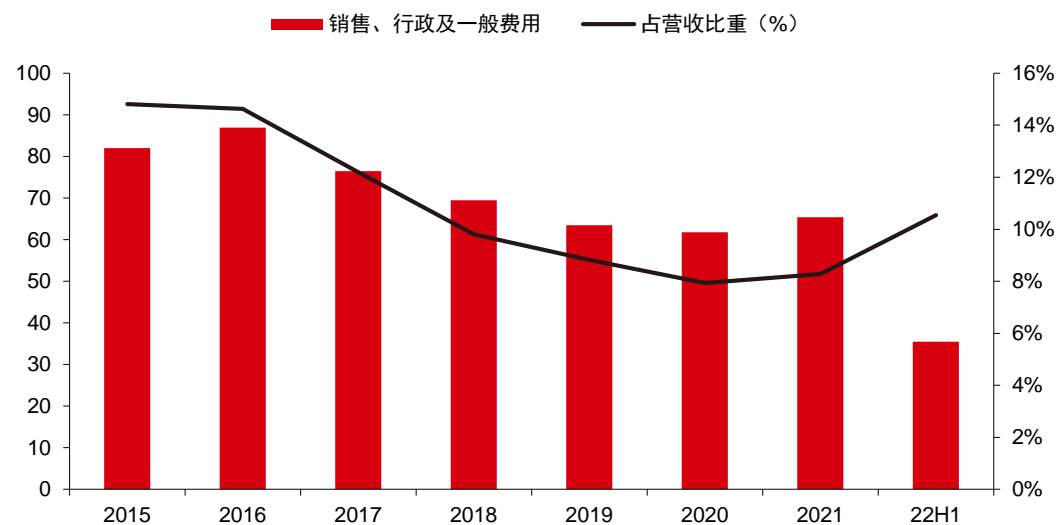


资料来源：Wind，中信证券研究部

# 1.3 财务分析：费用管控成效显著，研发投入持续加码

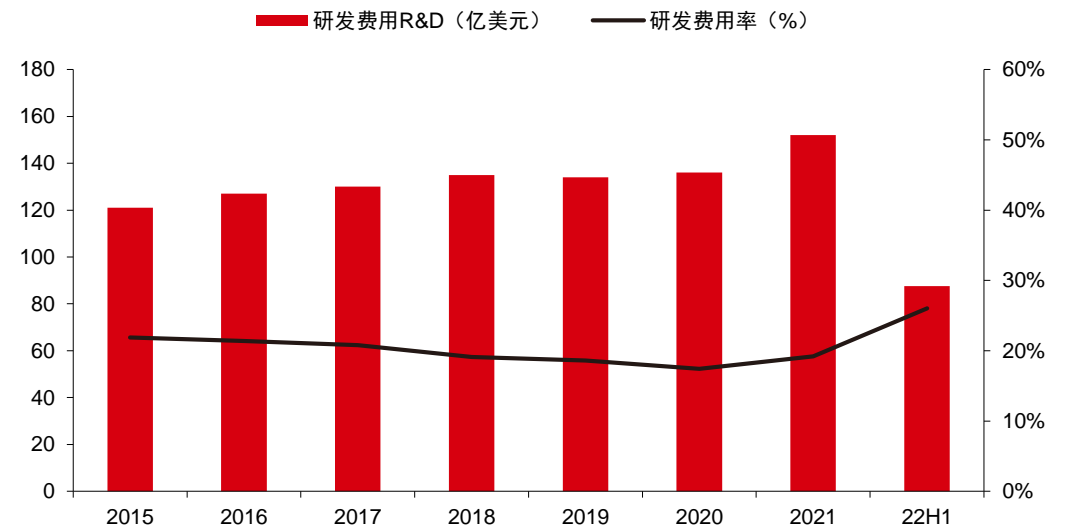
- **销售、行政及一般费用：费用端管控成效显著，22H1营收占比提升**
  - 公司费用端管控成效显著，“销售、行政及一般费用”由2015年的82亿美元降至2021年的65.4亿美元，占营收比重由14.8%降至8.3%
  - 22H1费用占营收比重有所提升，主要为企业支出、激励性现金薪酬增加导致
- **研发费用：研发加码，精进大业务，建设小业务**
  - 2021年，公司研发费用提升明显，主要用于对CCG（PC客户端）与DCG（数据中心）两大业务的支出
  - 同时，公司积极打造Mobileye与代工工艺技术，加大对两者的研发支出

英特尔销售、行政及一般费用情况（亿美元）



资料来源：Wind，中信证券研究部

英特尔研发费用情况



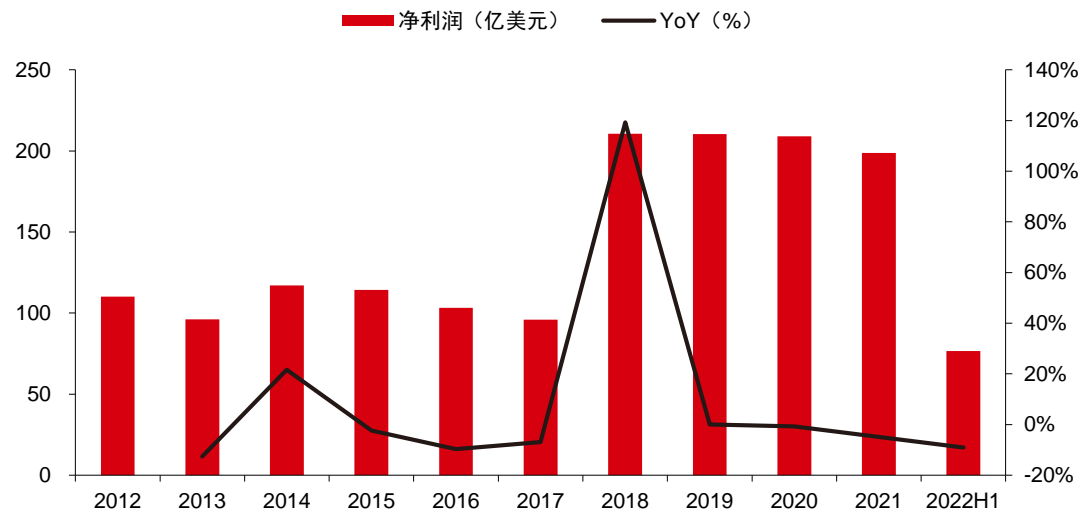
资料来源：Wind，中信证券研究部

# 1.3 财务分析：毛净利率呈下降趋势，盈利能力有所减弱

## ■ 盈利能力：

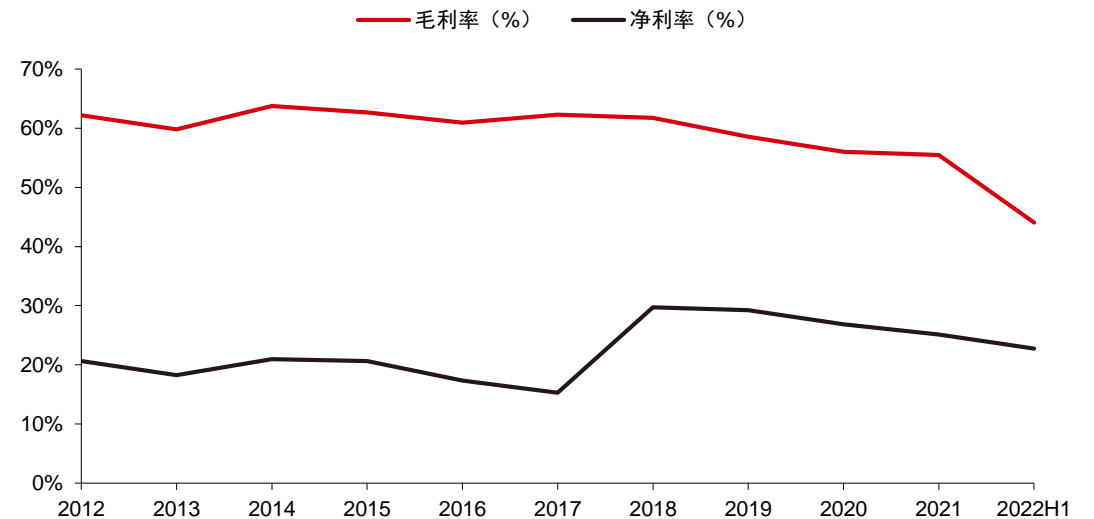
- **毛利率呈下降趋势：**2016-2018年，因产品定价压力与先进制程不断上升的开发成本，公司毛利率呈现下降趋势，但营收规模快速增长，公司盈利能力大幅加强
- **美国税改大幅影响17年净利润：**2017年美国实施企业税改，导致公司该年所得税支出为108亿美元（16、18年分别为26、23亿美元），使得该年公司净利润表现不佳
- **22H1，公司盈利表现不佳：**22H1公司净利润为76.6亿美元，同比-9%，营收下滑为主要影响；净利率为23%，同比-12pcts

### 英特尔净利润及其增速情况



资料来源：公司财报，中信证券研究部

### 英特尔毛利率、净利率情况



资料来源：公司财报，中信证券研究部



## 二、发展历程：早期专注CPU，中期未把握移动端机遇，现全方位发力

---

- 2.1 早期：持续迭代产品，产品与理念领先时代
- 2.2 中期：锤炼技术禀赋，未把握历史机遇
- 2.3 后期：舍弃已去的过去，把握即来的未来

## 2.1 发展早期：产品与理念领先时代，专注化战略化解危机

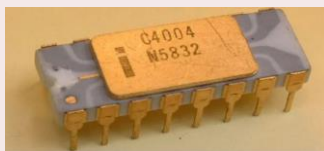
技术基因强大，引领CPU发展，放弃存储器专注微处理器

1965年、1968年

- 1965年：英特尔创始人戈登·摩尔提出“摩尔定律”
- 1968年：戈登·摩尔、罗伯特·诺伊斯在硅谷创立英特尔

1971年

英特尔开发出第一个商用处理器 Intel 4004，集成2250个晶体管，晶体管之间的距离是10微米



1972年

发布世界首款八位处理器8008，其指令集成为今日英特尔公司X86系列微处理器指令集的基础

1985年

第一次战略转移：壮士断腕，放弃存储器市场，专心开发微处理器

- 日本资金雄厚的大电子公司的冲击
- 英特尔D-RAM产品质量低、成本高，市场份额不断下降，
- 1984年公司40%的营收和100%的利润来自于微处理器，但80%以上的研发投入于在存储器上。

1981年

IBM首款PC 5150使用英特尔的8088芯片。英特尔CPU一举成名



1978年

英特尔生产出16位8086处理器，集成29000个3微米技术的晶体管，开启了x86时代



## 2.2发展中期：发力服务器与移动互联网，铸就技术禀赋

逐渐扩展处理器产品系列，技术革新巩固行业地位

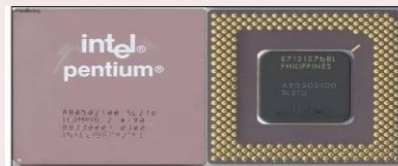
1991年

第二次战略转移:格罗夫将工作的重点从芯片转移到信息网络通信方面上

- 线上通讯服务业务需求兴起
- 英特尔能够凭依个人电脑的优势，开拓新兴的通讯与多媒体领域。

1993年

首次推出奔腾芯片，制程工艺首次降低到1微米以下，实现0.8微米水平，晶体管数量超过300万。



1997年

收购StrongARM，并推出Xscale架构，强于同时期的主流ARM处理器



2003年、2005年

- 2003年：英特尔发布迅驰移动计算技术，促进无线上网的迅猛发展，开启移动计算时代
- 2005年：英特尔处理器导入苹果Mac，而此前苹果使用的一直是IBM的PowerPC架构芯片

往后，苹果Mac也开始走向自研芯片的道路，有意摆脱对英特尔的依赖

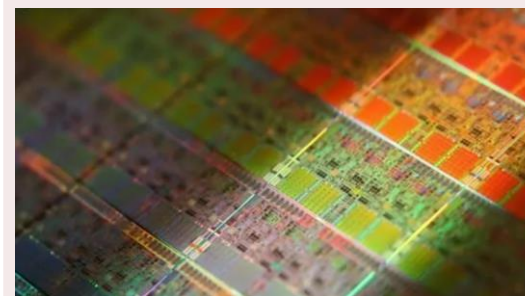
2001年

英特尔的64位服务器处理器Itanium安腾问世，在服务器市场超越RISC处理器的代表Sun公司



1998年

首次针对数据中心推出英特尔至强处理器品牌  
区分服务器市场和普通PC市场



## 2.2发展中期：未布局移动端CPU，未把握移动端机遇

公司在移动市场发力较少，没有充分把握历史级别发展机遇

### 2005、2006年

- 2005年：苹果希望使用英特尔内置的Xscale芯片为iPhone提供算力，但遭英特尔CEO拒绝
- 2006年：由于财务危机，英特尔将Xscale专利与技术卖给Marvell，彻底失去移动互联网的入场券

### 2006年

英特尔酷睿处理器诞生，制程工艺65纳米，集成晶体管数量实现2亿，面向家用和商用PC



### 2008年、2009年

- 2008年：推出给予X86架构的低功耗处理器，Atom凌动处理器
- 2009年：四核处理器问世。英特尔继续在服务器处理器市场占优势

### 2015年

- 完成公司史上最大一笔收购交易。斥资167亿美元收购可编程芯片厂商Altera公司
- 强化在数字中心市场和物联网的地位，摆脱对PC业务的依赖
- 在PC市场不断萎缩且移动市场迟迟难以打开的背景下，英特尔希望实现CPU和FPGA硬件规格深层次结合，布局物联网市场

### 2014年

- 英特尔推出酷睿M处理器，处理器功耗进入个位数（4.5W）的新纪元



### 2012、2013年

- 2012年：英特尔宣布重返移动终端市场，但是效果不佳
- 2013年：英特尔推出低功耗、小尺寸的Quark微处理器，在物联网领域迈出大步

## 2.3发展后期：舍弃已去的过去，把握即来的未来

多维收购拓宽业务边际，着眼新兴领域的尝试

2016年

由于能耗与软件生态问题，原定在2016年推出的移动处理器凌动产品线的两个新版本将会取消发布，英特尔退出智能手机芯片市场

2016年

收购计算机视觉公司Itseez，进一步加强在汽车和视频等物联网细分市场的努力

2016年

成立名为“自动驾驶集团”(ADG)的部门，该部门主要任务是研发无人驾驶解决技术方案

2021、2022年

- 2021年：宣布英特尔IDM2.0战略，成立代工服务事业部(IFS)，重返芯片代工领域
- 2022年：旗下Mobileye宣布，计划与合作伙伴在2024年推出自动驾驶电动班车
- 2022年：以54亿美元收购模拟半导体代工厂高塔半导体；为联发科提供芯片代工服务，采用16纳米制程

2018年

- 英特尔宣布2019年大规模交付10nm芯片
- 英特尔宣布收购芯片制造商eASIC，加速FPGA，降低对CPU的



2017年

2017年：收购Mobileye。英特尔宣布将以153亿美元收购Mobileye，进一步成为自动驾驶领域的领先技术供应商

2017年：英特尔确立以数据为中心的转型战略，开拓3000亿美元的广阔市场机遇

## 三、处理器架构：单核架构早已成熟，异构、集成继续进步

- 3.1 架构发展概况：基础架构十余年来无大改，已接近数学物理极限
- 3.2 早期时代：每一代性能提升10倍，跑马圈地占据先发优势
- 3.3 x86时代：持续兼容保持战略定力，兼容前提下自我革命提升性能
- 3.4 奔腾时代：持续创新吸收技术，性能与生态综合领先
- 3.5 多核时代：性能转向能效，市场持续正反馈
- 3.6 减速时代：架构改进取决于工艺，集成与异构成为新趋势
- 3.7 异构时代：架核心微架构基本成熟，场景优化成为关键

### 3.1. 什么是架构：如何让计算机少花钱多干活

#### 计算机是如何按人的需求工作的？

主人：  
用户/程序员



- 用户的目标：花最少的钱，最少的时间，让计算机干最多的活
- （低功耗、速度快）

结果

指令/程序、数据

- 核心概念——指令：告诉计算机该干什么/怎么干
- 核心概念——程序：一系列指令，告诉计算机先干什么后干什么

仆从：  
计算机



- 如何达成用户的目标？：计算机提升工作能力，在同样的时间内执行更多的指令

- 如何更快执行指令？：架构！（计算机物理资源的优化配置）

■ 如何更快执行指令？：架构！（计算机物理资源的优化配置）

■ 具体如何配置资源，做何种“架构”？

## 并行——充分利用，同时做很多任务

- 可否同时执行很多程序？**多核**
- 可否把一个程序拆成几部分同时做？**多线程**
- 在单个程序内部，可否同时执行一大批指令？**超标量**
- 可否让指令紧密衔接起来以免闲置资源浪费时间？**流水线**
- 可否一条指令同时处理一大批数据？**单指令多数据(SIMD)**

## 调度——避免卡壳，先做会做的任务

- 当前任务卡住了，可否在等待期间做其他任务？**乱序执行**
- 任务产生了分支，可否预判该走哪条路？**分支预测**

## 缓存——备好材料，免得用时找不到

- 内存中有大量需要用到的数据资料，但内存很慢（由于采用电容存储数据，所以比CPU慢数百倍），相当于资料齐全的图书馆
- 可否在CPU内部放置一个小书架临时储存资料，以免经常往返图书馆浪费时间？**高速缓存**



### 3.1. Intel与架构的关系：微架构并非Intel开创，比CPU诞生更早

- **处理器单核微架构的诞生早在1960年代**，此时正是计算机从晶体管转向集成电路的时期，流水线（指令并行）、乱序执行（指令调度）、高速缓存三大核心技术乃至微架构和指令集的持续兼容性均在这一时期奠定了基础，**形成了现代计算机的基本架构，甚至早于Intel公司的诞生**，其中IBM在此过程中起到核心作用。
  - 帮助AMD取得市场成功的K7架构，其使用的总线来自DEC Alpha EV6（21264，1998年）；2008年初代Core i的Nehalem架构，其中新引入的QPI总线来自于DEC Alpha EV7（21364，2001年）
- **Intel本质是集成电路公司，用集成电路重做微架构，所以搭载何种微架构更多取决于工艺水平和市场情况**

大型机与PC处理器部分关键节点

第一台通用大型计算机（继电器）	第一台电子计算机（电子管）	IBM第一个全电子计算机	1950年代最流行的计算机，生产了近2000台	首次使用硬盘，实现随机读写而非以往顺序读写	引入固态电子技术，晶体管开始取代真空管	实现全晶体管化，小型化	世界第一台引入流水线的通用计算机	自1952年开发701以来首次基本重组，开启集成电路计算机序幕，首创兼容指令集概念，发布后一个月就售出1000余台	首次引入了指令动态调度技术（乱序执行），包括寄存器重命名、Tomasulo算法等核心技术，指令性能达到16.6MIPS，相当于1991年的Intel 486SX		首次搭载高速缓存			
IBM-Harvard Mark I	ENIAC	IBM 701	IBM 650	IBM RAMAC 305	IBM 7070/7090	IBM 1401	IBM 7030 Stretch	IBM System 360	IBM 360/91		IBM 360/85			
1944	1946	1952	1954	1956	1958	1960	1960	1964	1967	1968	1969	1982	1984	1995
										Intel	AMD	80286	80386	奔腾Pro
												引入流水线	主板高速缓存	乱序执行

资料来源：TechNews科技新报《回顾历史梦幻处理器：计算机结构、商业大型主机与超级计算机的诞生》，IBM Archives: IBM Mainframe，中信证券研究部

# 3.1. CPU架构演进：古老学科，主要的CPU架构革新发生在二十年前

■ CPU架构的发展黄金期在80-90年代，引入了诸多技术革新（尽管有些是来自IBM大型机的老技术，但也属于首次用在CPU上）

		4004	8008	8080	8086	80286	80386	i486	P5-Pentium	P6-P Pro	P5-P MMX	P6-P2	P6-P3	Netburst-Willamette	Netburst-Northwood	Netburst-Prescott	
年份		1971	1972	1974	1978	1982	1984	1989	1993	1995	1997	1997	1999	2000	2002	2004	
工艺		10μm	10μm	6μm	3μm	1.5μm	1.5μm	1μm	0.8μm	350nm	250nm	250nm	180nm	180nm	130nm	90nm	
位数		4	8	8	16	16	32	32	32	32	32	32	32	32	32	64	
主频		108kHz	500kHz	2.08MHz	5MHz	6MHz	16MHz	25MHz	66MHz	150MHz	133MHz	300MHz	500MHz	1.5GHz		3.8GHz	
流水线					BIU/EU分离	首次引入流水线，3级	3级	5级	5级	12级	6级	14级	10-13级	20级	20级	31级	
超标量									首次支持超标量，双流水线（整型）	3流水线（2整1浮点）							
缓存	L1						首次引入主板高速缓存	首次集成8KB L1	8KB L1I, 8KB L1D								
	L2						支持外部L2			集成L2							
	L3												服务器端集成L3			桌面端支持L3	
	TLB						首次引入TLB										
	μop Load Store																
	指令队列					首次引入指令队列，6B	6B										
指令分配队列IDQ解码器																	
INT ALU/执行引擎																	
乱序执行	RS																
	ROB									首次引入乱序执行							
SIMD											MMX		SSE	SSE2		SSE3	
超线程																桌面端首次引入超线程Hyper-Threading（分时多线程）	P4E支持HT，奔腾D不支持HT
多核心																	奔腾D“胶水双核”
异构																	
其他集成								集成FPU									

资料来源：各产品手册，wikichip

# 3.1. CPU架构演进：最近十余年进展缓慢，以集成和堆核为主

- 从酷睿时代后，单核微架构的发展逐渐减速，鲜有新技术，主要是进行堆料产生性能上的量变，更多的发展体现在核心数的增加和集成

		Core	Nehalem	Sandy Bridge	Haswell	Skylake	Kaby Lake	Coffee Lake	Coffee Lake R	Comet Lake	Ice Lake/Sunny Cove	Tiger Lake/Willow Cove	Alder Lake/Golden Cove
年份		2006	2008	2010	2013	2015	2016	2017	2018	2019	2019	2020	2021
工艺		65nm	45nm	32nm	22nm	14nm	14nm	14nm	14nm	14nm	10nm	10nm	intel 7
位数		64	64	64	64	64	64	64	64	64	64	64	64
主频			睿频1.0	睿频2.0									
流水线		14级	14级	14级	14级								
超标量		4流水线, 6发射		6发射	8发射	8发射	8发射	8发射	8发射	8发射	10发射	10发射	12发射
缓存	L1	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 32KB L1D	32KB L1I, 48KB L1D	32KB L1I, 48KB L1D	32KB L1I, 48KB L1D
	L2	双核共享6MB 24way	256KB 8way	256KB 8way	256KB 8way	256KB 4way(client);1MB 16way(server)	256KB 4way(client);1MB 16way(server)	256KB 4way(client);1MB 16way(server)	256KB 4way(client);1MB 16way(server)	256KB 4way(client);1MB 16way(server)	512KB 8way(client);1280KB 20way(server)	1.25MB 20way	1.25MB(client);2MB(server)
	L3		桌面端集成L3, 2MB/c	2MB/c	2MB/c	2MB/c	2MB/c	2MB/c	2MB/c	2MB/c	2MB/c	3MB/c	3MB/c
	TLB												
	μop			1.5K	1.5K	1.5K	1.5K	1.5K	1.5K	1.5K	2.25K	2.25K	4K
	Load			64	72	72	72	72	72	72	72	128	
	Store			36	42	56	56	56	56	56	56	72	
指令队列			40	40	50	50	50	50	50	50	50		
指令分配队列IDQ			56	56	128	128	128	128	128	128	140		
解码器		4	4	4	4	4	4	4	4	4	4	6	
INT ALU/执行引擎		3	3	3	4	4	4	4	4	4	4	5	
乱序执行	RS	32		54	60	97	97	97	97	97	160		
	ROB	96	128	168	192	224	224	224	224	224	352	352	512
SIMD		SSE4.1	SSE4.2	AVX	AVX2	服务器端AVX512					消费端AVX512		消费端禁用AVX512
超线程		不支持超线程	支持超线程SMT (同时多线程)	SMT	SMT	SMT	SMT	SMT	SMT	SMT	SMT	SMT	P核支持SMT, E核不支持
多核心异构		真双核	4c	4c	4c	4c	4c	6c	8c	10c	4c	8c	16c
其他集成			QPI总线	集成核显, ringbus取代QPI		集成ISP(IPU),SP版本Meshbus					集成雷电3(TB3)接口、神经网络加速器(GNA)	集成TB4, GNA2, IPU6	

资料来源：各产品手册，wikichip

## 3.1. CPU架构发展现状：面临限制提升放缓，堆料边际效用递减

- **物理限制：**没有工艺的进展，先进架构想要应用就需要更大面积和更多功耗，降低良率，付出超高成本。硅集成电路微缩有极限，当前工艺制程进展已经明显放缓，成本快速提升，留给架构利用的物理空间增长有限。工艺/架构已成熟后往往采用DSA（专用架构）
- **数学限制：**可以并行/乱序执行的指令是有上限的，有一定比例的指令一定需要按照时间先后执行顺序，这一点永远无法随着架构发展而改变，所以各类并行/动态调度技术都是有上限的，在这方面堆料的效果将逐渐减弱。

### 进程/线程级并行

- **多核心：**目前64/128核心已不罕见，更多核心的并行计算应用较少，通常采用GPU效率更佳
- **超线程：**SMT2已经多年未变，SMT4虽然可用但始终不是主流，因为使用SMT本身也带来功耗和控制复杂度方面的弊端

### 指令级并行

- **超标量/超宽架构：**苹果M1 8解码8发射；AMD zen3 4解码6发射；Intel Golden Cove 6解码5发射（仅ALU），对于变长指令已经足够高
- **指令融合：**Intel Macro Fusion已经发展成熟多年，FMA等组合指令只能用在特定场景
- **流水线：**早在4004之前就已用于大型机，目前流水线级数相对稳定，过深流水线在分支预测失败、外部中断等场景下代价高，且指令切分更细就必须采用高主频才能达到相同效果，Netburst已经被证明失败

### 数据级并行

- **SIMD指令集：**Intel/AMD从MMX到SSE再到AVX，最新版本为AVX512，仅有少量应用可用，性价比不佳，后在Golden Cove官方禁用

### 动态执行

- **乱序执行：**不相关指令在程序中的比例不会无限提高，乱序执行的效果是有上限的，经过多年优化基本稳定
- **分支预测：**目前分支预测准确率已能达到90%以上，部分场景下更高，提高空间已经不大

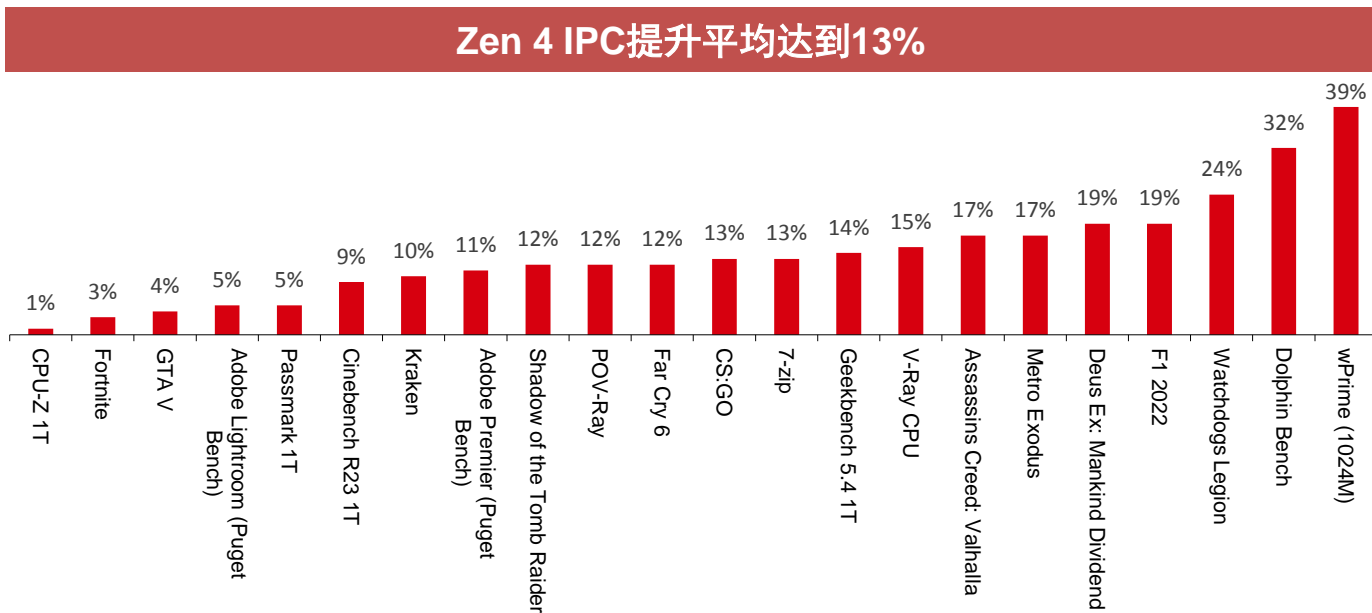
### 存储器层次体系

- **高速缓存：**SRAM体系无根本变化，高速高成本大面积，L1已经能解决80%-95%需求，AMD 3D V-Cache已经够大，过大反而导致高延迟
- **内存/外部存储：**DRAM/NAND Flash性能不会出现质变，Optane叫好不叫座，需等待基础材料层面技术革新

### 3.1. CPU架构发展现状：边际效用递减十分明显，以zen4为例

- 2022年8月AMD Ryzen 7000系列发布会上，AMD官方表示其综合IPC提升达到13%。每一代产品IPC测试所用程序中，包含各类不同负载，所用负载不尽相同，并不直接可比。另外此处计算得到的IPC也受内存等外部器件条件的影响。因此，综合来看实际IPC提升应当小于13%

同样是Intel Core i9 12900K，选用DDR5内存后，其得分有明显上升



资料来源：AMD Ryzen 7000发布会



资料来源：Puget Systems, 中信证券研究部

### 3.1. CPU架构发展现状：边际效用递减十分明显，以zen4为例

- 采用AMD在2022财务分析师大会的数据，Zen4有8%-10%的IPC提升
- 为达到如此IPC提升，AMD利用TSMC N5工艺带来的充足物理空间进行了大量硬件配置提升。根据退休工程师Twitter@chiakokhua的数据，AMD在微指令缓存、二级缓存、ROB、BTB等方面都有大幅增加
- 根据AMD的数据，L2翻倍带来的提升约1%，BTB增大50%带来IPC提升不到2%，ROB增大25%带来提升1%，微指令缓存增加近70%带来提升约3%，可见效应已经明显下降，已经逐步接近数学极限。

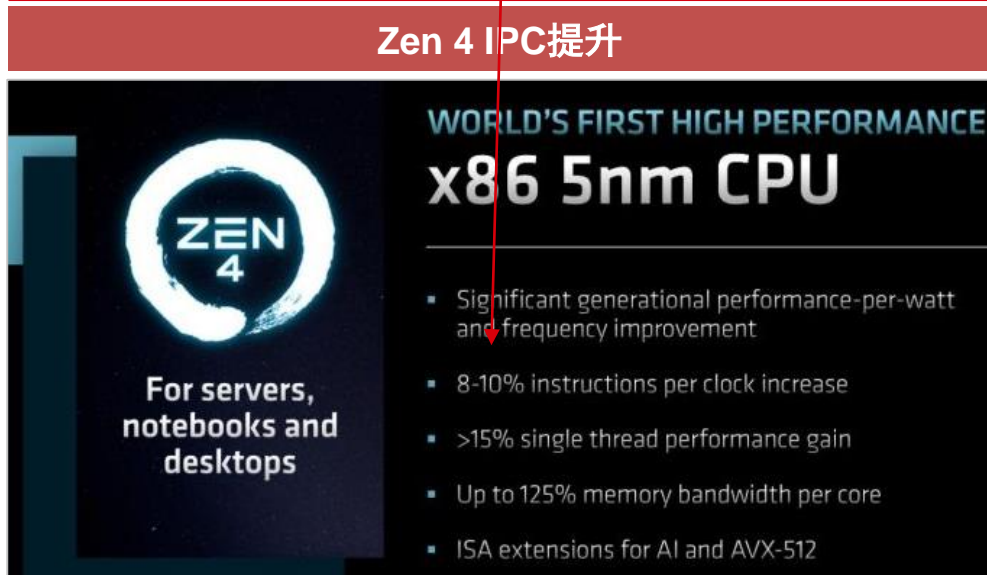
AMD在财务分析师大会上提供的数据为8%-10%IPC提升，可能更接近真实情况

**Zen 4微架构相比前代变化**

	Zen3	Zen4
Micro-op cache	4K	6.75K
L1 I/D cache	32 KB / 32 KB	32 KB / 32 KB
L2 cache/core	512 KB	1 MB
L3 cache/core	4 MB	4 MB
L2\$ latency	12 cycles	14 cycles
L3\$ latency	46 cycles	50 cycles
Issue	16	16
ROB	256	320
FP Width	2+2 x 256	2+2 x256
L1 BTB	1K	1.5K

资料来源：Twitter@chiakokhua，中信证券研究部

**Zen 4 IPC提升**

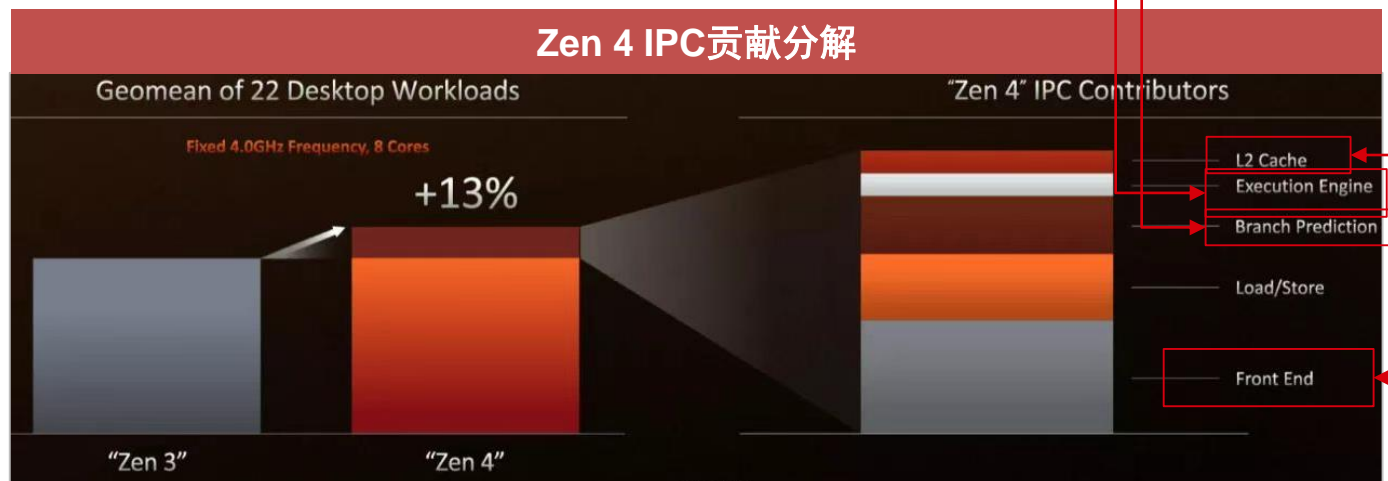


WORLD'S FIRST HIGH PERFORMANCE  
**x86 5nm CPU**

- Significant generational performance-per-watt and frequency improvement
- 8-10% instructions per clock increase
- >15% single thread performance gain
- Up to 125% memory bandwidth per core
- ISA extensions for AI and AVX-512

For servers, notebooks and desktops

资料来源：AMD 2022财务分析师大会，中信证券研究部



资料来源：AMD Ryzen 7000发布会，中信证券研究部

## 3.2. 早期时代：每一代性能提升10倍，跑马圈地占据先发优势

- 早期，由于CPU行业刚刚出现，生态尚未形成，决定成败的还是快速推出高性能新产品，争取更多用户，获得更多市场。
  - 早期CPU并无复杂的微架构，大多架构技术还属于大型机专属，此时主要比较主频、位数、晶体管数量等因素。
  - 在早期产品中，Intel几乎一直是最领先的
  - 对于发展早期的芯片类型，关注速度是很重要的，“快鱼吃慢鱼”

部分典型早期CPU

公司	产品	推出时间	晶体管数量	主频	位数	引脚数量
Intel	4004	1971	2.3k	108kHz	4	16
Intel	8008	1972	3.5k	500kHz	8	18
Intel	8080	1974	4.5k	2.08MHz	8	40
Intel	8085	1977	6.5k	3MHz	8	40
Intel	8086	1978	29k	5MHz	16	40
MOS Technology	6501	1975			8	40
MOS Technology	6502	1975	3.51k	1MHz	8	40
Zilog	Z80	1976	8.5k	2.5MHz	8	40
Motorola	MC6800	1974	4.1k	1MHz	8	40
Motorola	MC68000	1979	68k	4MHz	16	64

资料来源：wikichip，中信证券研究部

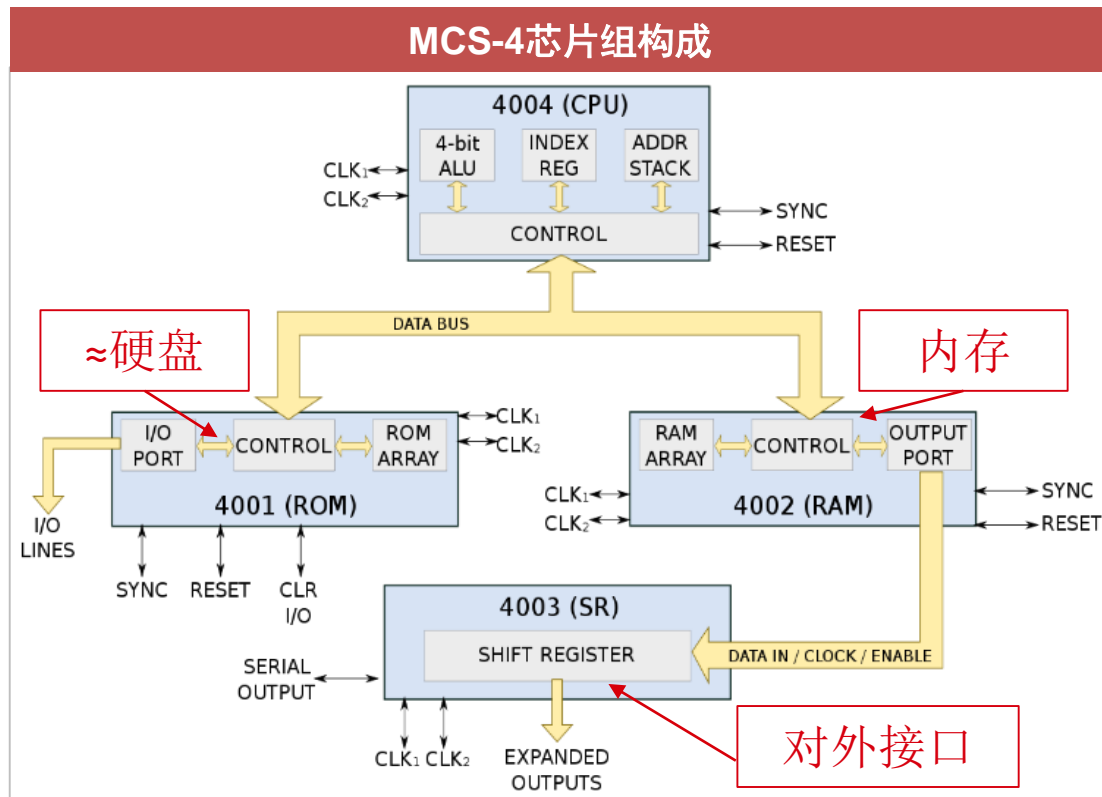
### 3.2.1. 早期时代：4004，开创CPU行业，奠定Intel领先地位

- 4004是世界首个微处理器，开创了CPU行业，第一次将计算机完全用集成电路的形式实现，奠定了未来一段时间的CPU架构基础以及Intel的领先地位。
  - 为响应客户需求，Intel设计了一套4个芯片，称为MCS-4，包括CPU 4004，以及存储程序的ROM 4001，存放数据的RAM 4002，用于I/O扩展的移位寄存器（SR）4003；单处理器可支持4KB ROM和640字节RAM。

#### 4004 – 1971/11

- 工艺：10 $\mu$ m制程，pMOS晶体管，12mm<sup>2</sup>
- 晶体管数量：2.25k
- 主频：108kHz /750kHz

资料来源：wikichip 4004，中信证券研究部



资料来源：wikichip 4004，中信证券研究部

#### MCS-4系列的一组4种芯片



资料来源：wikichip 4004



### 3.2.1. 早期时代： 4004， 开创CPU行业， 奠定Intel领先地位

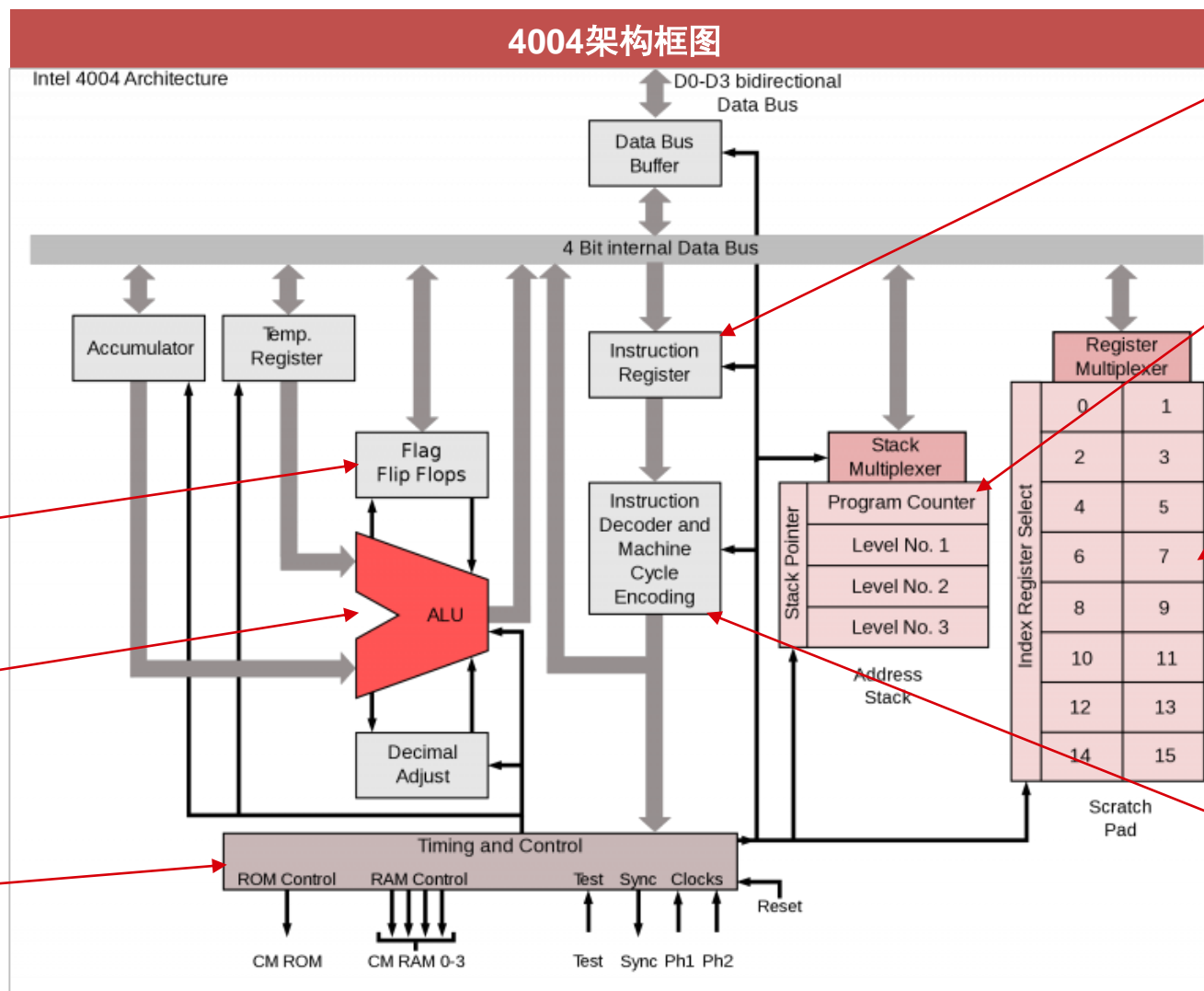
#### 4004 – 1971/11

- 4004仅包含基本的状态控制、指令控制、寄存器、ALU等单元，只有1个4位ALU执行数字/逻辑运算，支持46条指令，包含分支、跳转、条件判断、子程序等基础指令

**Flag:** 包含CPU的各种状态信息

**ALU:** 执行加减乘除运算的核心单元

**时序与控制单元:** 包含时钟同步单元，以及与内存和“硬盘”的接口等



**指令寄存器:** 存放将要执行的指令

**专用寄存器:** 用来跟踪程序执行进度等，控制程序执行

**通用寄存器:** 通常用来存放程序所需的各类数据

**指令解码器:** “阅读”指令的单元，可以在“阅读”后知道指令需要做什么、需要几个数据等信息

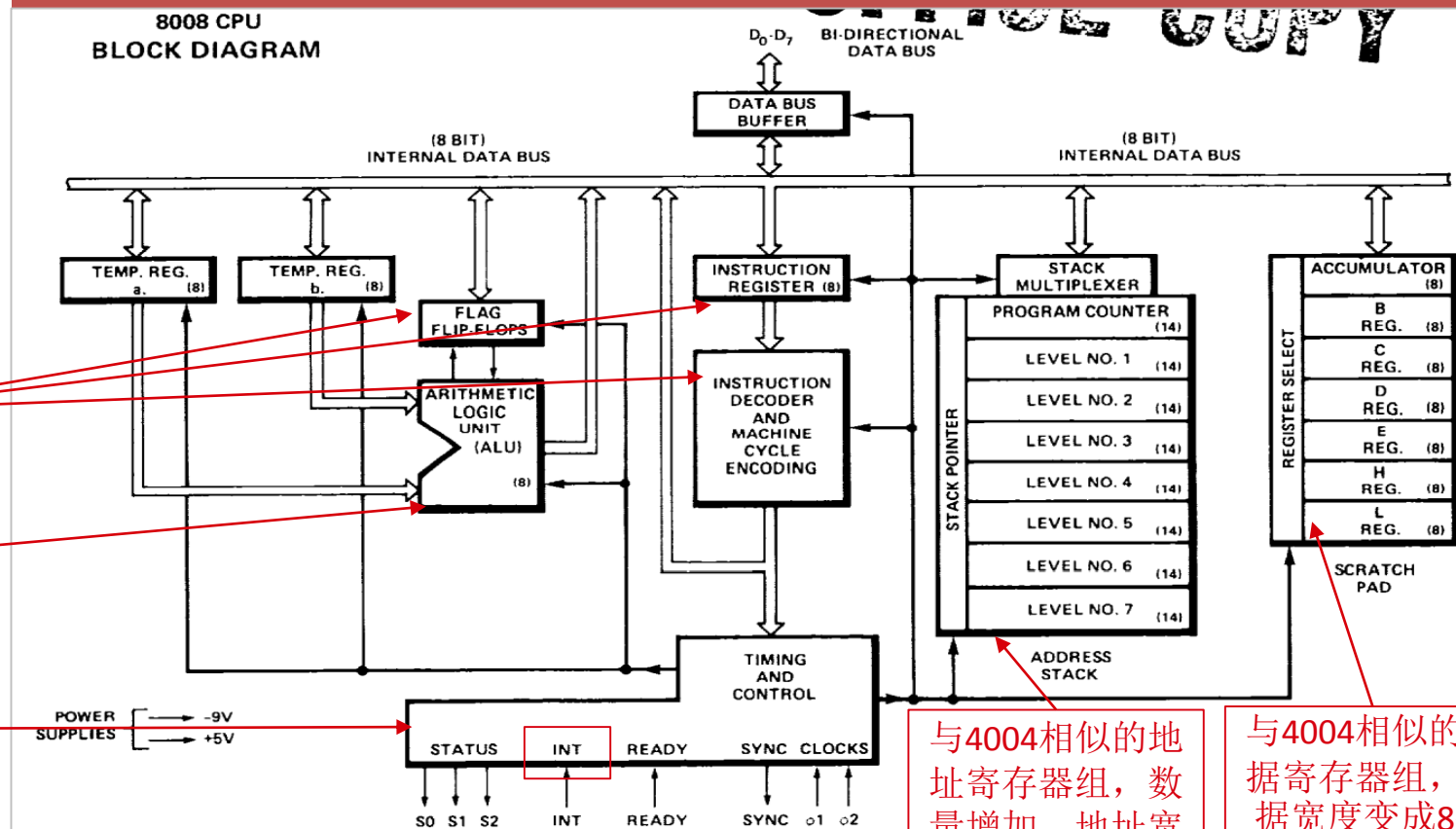
## 3.2.2. 早期时代：8008，从计算器到计算机的跨越

- 8008与4004很相似，但4位升级成8位，主频提升8倍，性能极大提升，首次支持算术之外的指令，完成了从计算器到计算机的跨越。
  - 8008在4004之后5个月推出，架构与4004相似性高，只有1个8位ALU。对比4004，晶体管增加了50%，时钟速度是其8倍，支持16KB RAM/ROM（4倍），支持48条指令以及中断功能，并能够进行数据/字符操作，而4004只能处理算术。

### 8008 - 1972/4

- 工艺制程：10 $\mu$ m，pMOS
- 晶体管数量：3.5k
- 主频：500 (8008) /800 (8008-1) kHz
- 技术突破：世界首个8位可编程微处理器，主频提升8倍，可进行数据/字符处理，支持中断

### 8008架构框图-与4004变化不大



与4004相似的FLAG、指令寄存器、指令解码器

与4004相似的ALU，只是从4位数据宽度变成8位数据宽度

与4004相似的时序与控制单元，增加了外部中断功能，可以暂时放下当前任务去响应突发事件

与4004相似的地址寄存器组，数量增加，地址宽度变成14位

与4004相似的数据寄存器组，数量增加，数据宽度变成8位

### 3.2.3. 早期时代：8080，再强10倍，从理论上的计算机到商业上的计算机 中信证券 CITIC SECURITIES

- 8080支持的指令数从48提升到244，工艺改善带来主频4倍提升，性能提升10倍，解决了8008时钟频率低、引脚少等问题，实用性大大提高，用于第一款PC Altair 8800，造成电脑销售历史上第一次缺货

#### 8080 - 1974/4

- 工艺制程/面积：6μm，nMOS，20.1mm<sup>2</sup>
- 晶体管数量：4.5k
- 主频：2.08MHz
- 技术突破：主频提升4倍，性能比上一代提升10倍，每秒可执行29万条指令；多种辅助芯片，如8257 DMA控制器、8259中断控制器等；支持244条指令

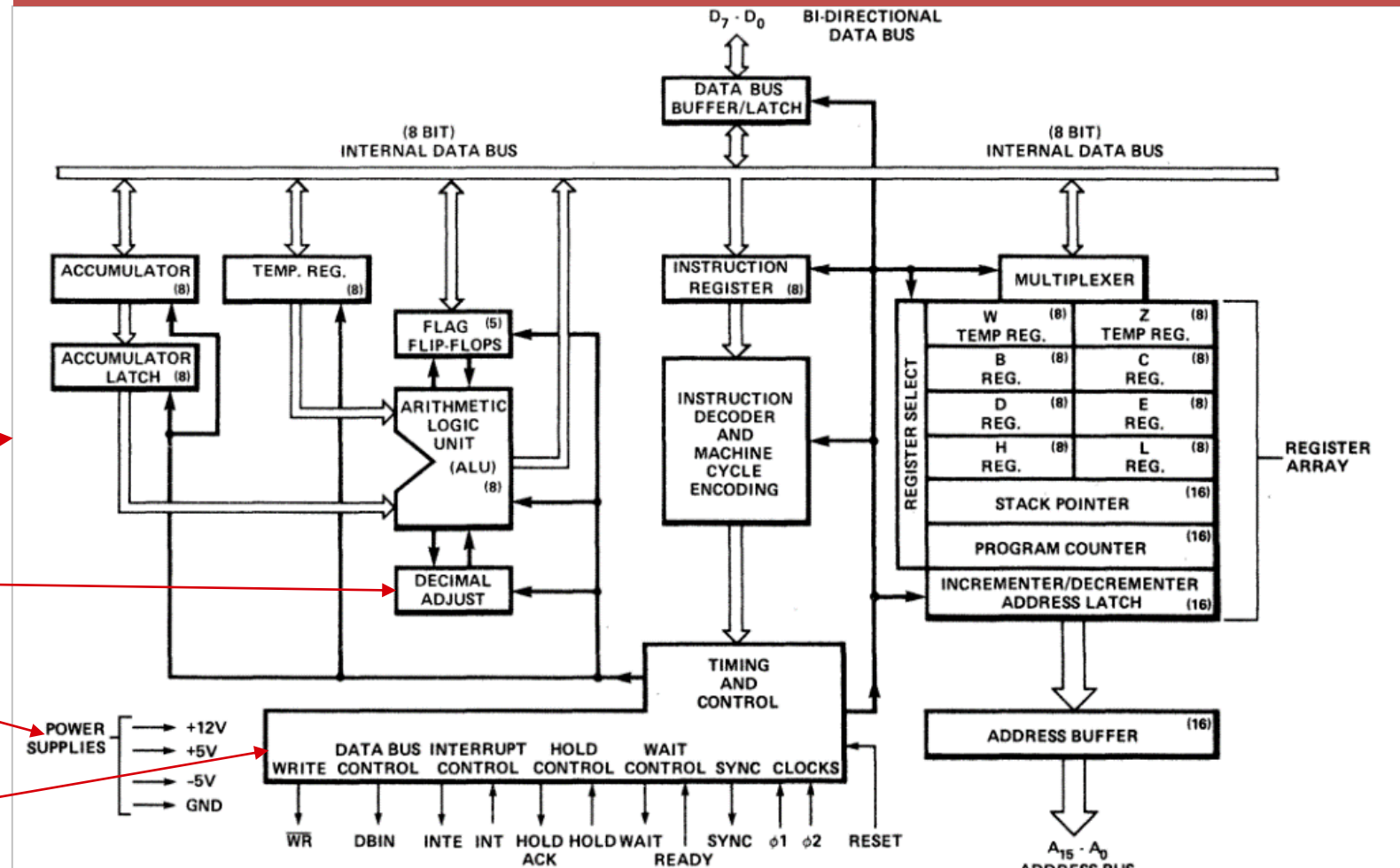
基本架构与4004/8008高度相似

新增10进制转换电路，可直接用10进制编程

多种电源电压，比8008更复杂

增加了更多控制功能，计算机系统更为复杂，走向实用化

#### 8080架构框图-集成多种控制功能



### 3.2.4. 早期时代：8085，工艺提升持续集成，从复杂回归简单的计算机

- 8085是8080的改进版，集成大量外部功能，减少外部元件，整个计算机系统大幅简化，降低了组成计算机的门槛。

#### 8085 – 1977

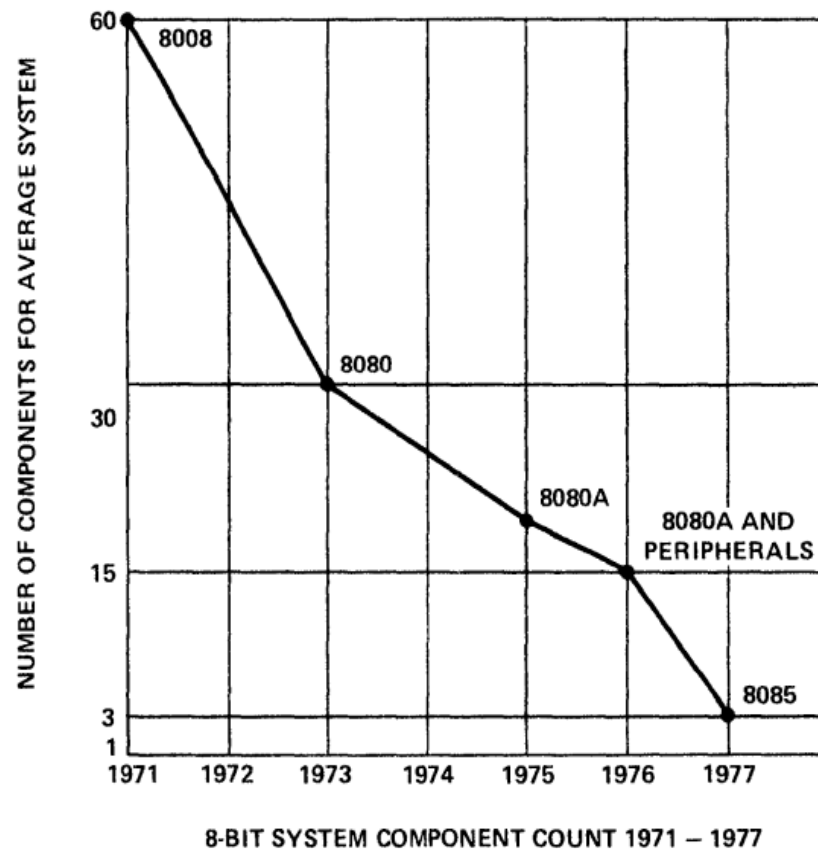
- 工艺制程：3μm
- 晶体管数量：6.5k
- 主频：3/5/6MHz
- 技术突破：8080后续历经8080A、8085、8085A等改进版，8085进行了大规模集成（包括时钟、系统控制、串行通信等芯片），简化了供电，大幅减少了外围元器件数量；支持246条指令

#### 8080与8085的主要区别

8080 微处理器	8085 微处理器
8 个专用引脚作为数据总线（D0到 D7）	多路复用 8 位数据引脚（AD0到 AD7）
存在 16 个地址引脚（A0到 A15）	8 引脚高位地址总线（A8到 A15）和 8 个多路复用地址总线（AD0到 AD7），并存在地址锁存使能（ALE）引脚。
电源电压为 +5、-5 和 +12 伏	电源仅为 +5 伏。
存在单中断引脚（INT）	使用INT，还有四个中断引脚（TRAP, RST7.5, RST6.5, RST5.5）
串行通信设备不存在	串行通信功能提供 SID、SOD 引脚和 RIM、SIM 指令
需要用于时钟和系统控制的附加芯片	时钟和系统控制任务不需要额外的芯片。

资料来源：tutorialspoint.com：Comparison of Intel 8080 with Intel 8085，中信证券研究部

#### 8085大幅减少外围器件数量

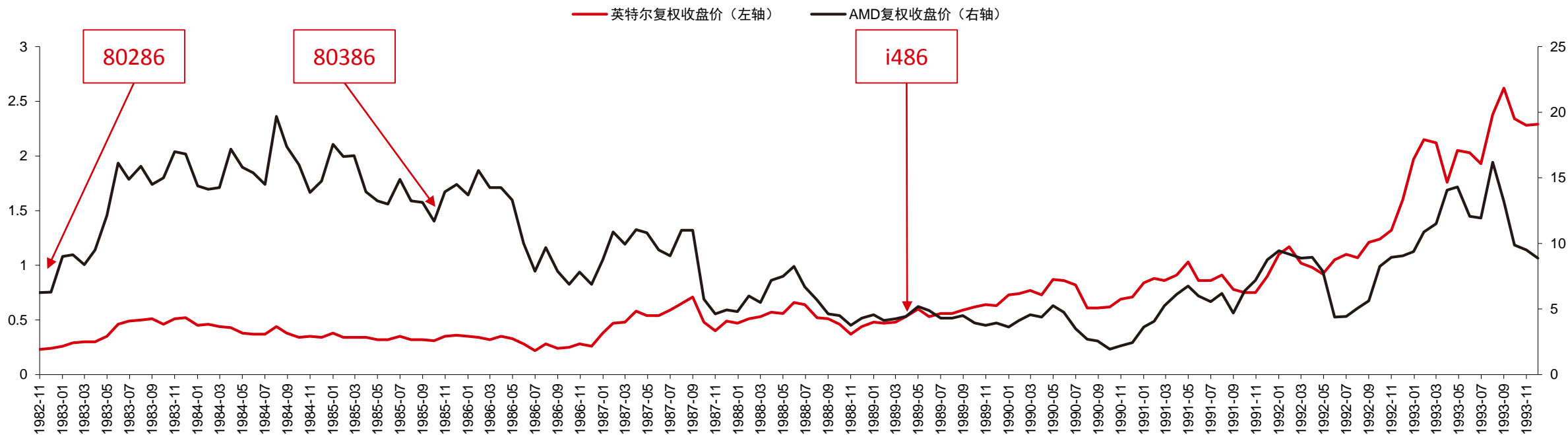


资料来源：Intel MCS-85 User Manual (1983)

### 3.3 x86时代：持续兼容保持战略定力，兼容前提下自我革命提升性能

- 8080以后，Intel最大的竞争对手是Motorola，其次还有Zilog、MOS等公司，对手产品性能并不比Intel差。
  - 根据快科技@大伟的信息，MC6800接近8080，MC6809/MOS6502接近8085，MC68000接近8086，MC68010接近80286，MC68020接近80386，MC68040接近i486。但后期Zilog的Z280、Z28000，MOS的6500系列等已经无法与Intel和Motorola竞争。
- 让Intel在与Motorola的竞争中取得胜利的关键就在于兼容性，而Motorola因为没有保证兼容性导致客户升级换代成本太高。架构设计是决定兼容性的主要因素。

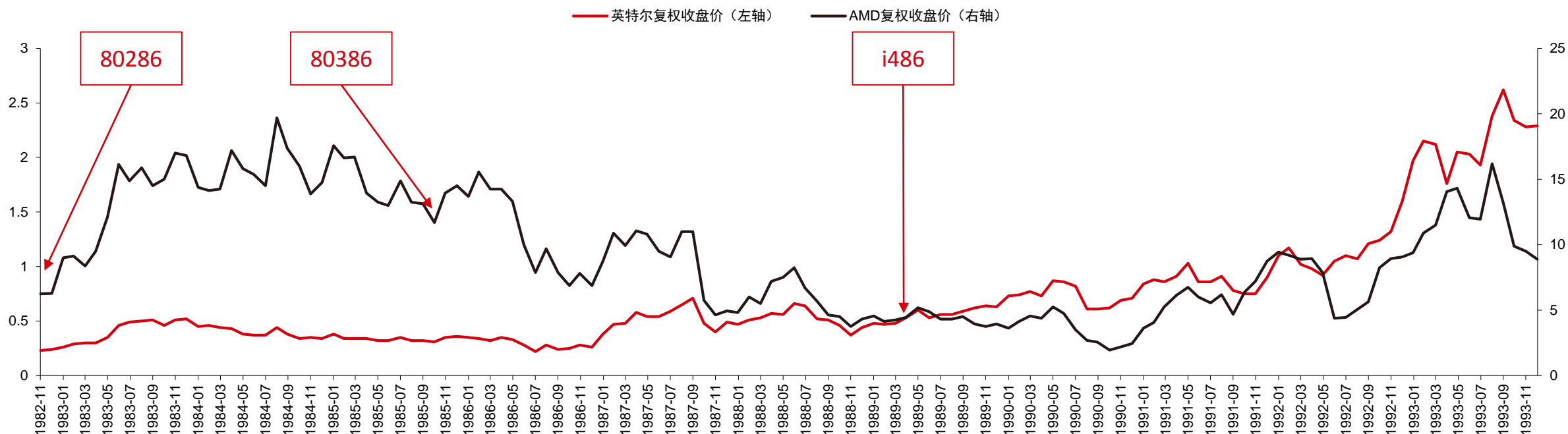
1982-1993 Intel与AMD股价



### 3.3 x86时代：持续兼容保持战略定力，兼容前提下自我革命提升性能

- 在80286以后，Intel逐渐在PC处理器市场击败Motorola，但新的竞争对手接踵而来，Intel面临RISC阵营的严峻挑战。
- Intel也意识到RISC的优势十分明显，x86的历史包袱十分沉重，因此多次尝试转型到x86以外的架构，以重新夺取性能制高点，但最终让Intel取胜的，还是x86，兼容性、生态优势大于技术优势这一逻辑得到反复验证。
  - 根据Technews信息，以1993年上市的IBM PowerPC 601为例，晶体管数目仅280万，采用0.6um制程，面积仅121mm<sup>2</sup>，却有比310万晶体管的Pentium更高的80MHz主频、更大一倍的32kB指令/数据共用L1，与1.5倍的指令执行能力，而采用0.8um（800nm）制程的初代Pentium是一颗16.7×17.6mm、294mm<sup>2</sup>的大芯片，相较于同等级RISC处理器，Pentium有约30%晶体管都是为了x86指令集的兼容性。同期MIPS R10000的SPEC fp92浮点性能还是Pentium Pro的3倍以上。

1982-1993 Intel与AMD股价



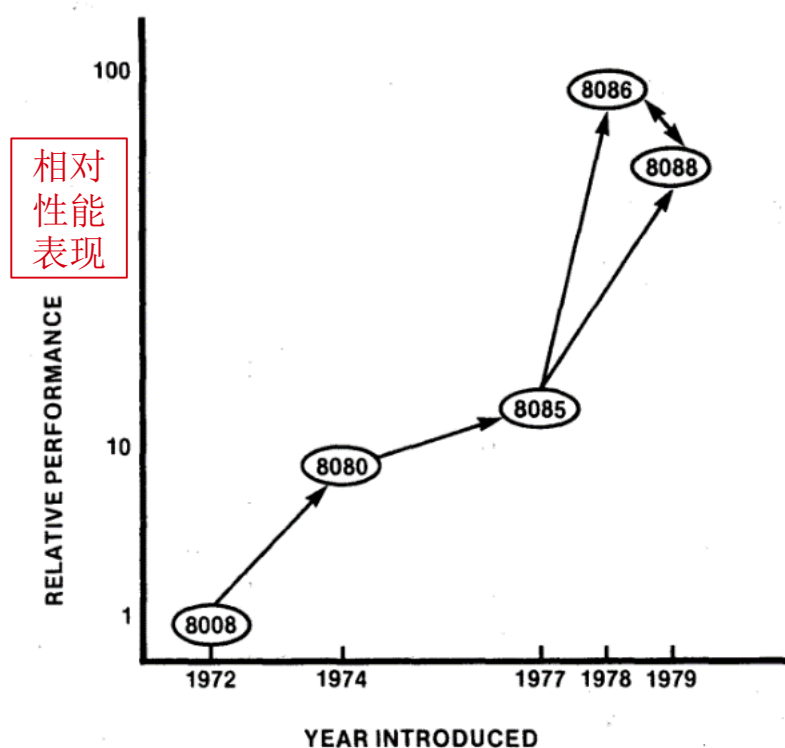
### 3.3.1. x86时代：8086/8088，引入指令队列和多处理器，掀起PC浪潮

- 8086为起点，开创了著名的x86指令集
- 8088是8086的减配版，首次应用于IBM PC，开启PC时代

#### 8086-1978 / 8088-1979

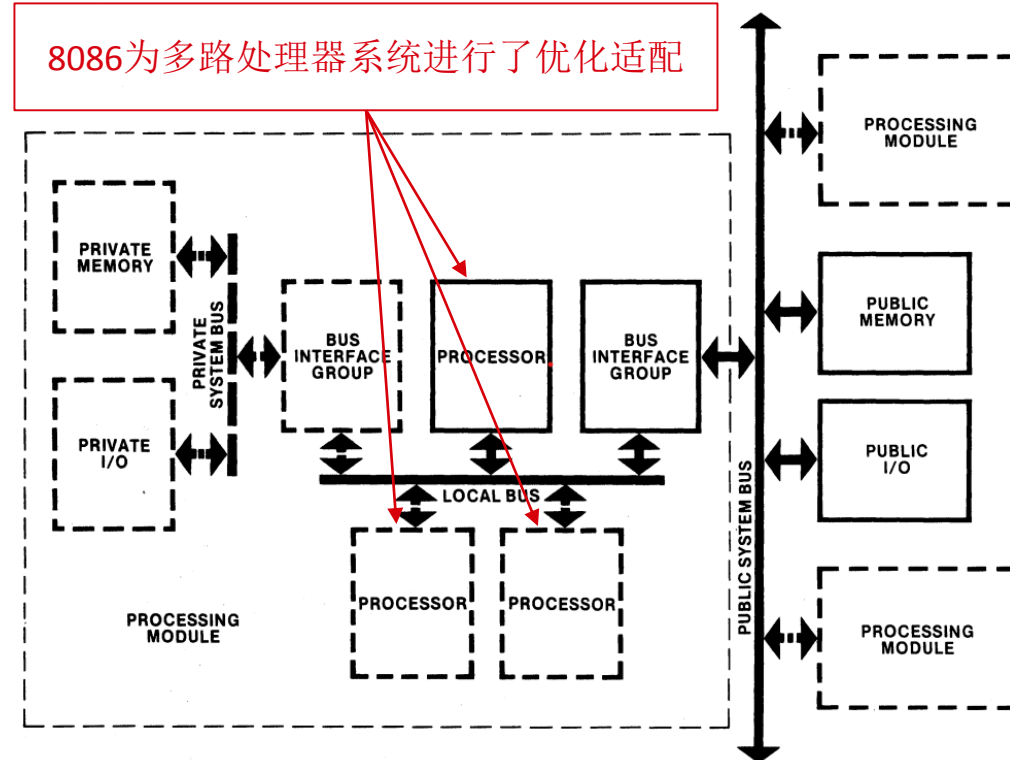
- 工艺：3 $\mu$ m
- 晶体管数量：29k
- 主频：5MHz
- 1980推出8087浮点协处理器（FPU）；支持多路处理器系统；8086的简配版8088被IBM用于model 5150 PC

#### 8086比8080性能提高10倍



#### 8086支持多处理器

8086为多路处理器系统进行了优化适配



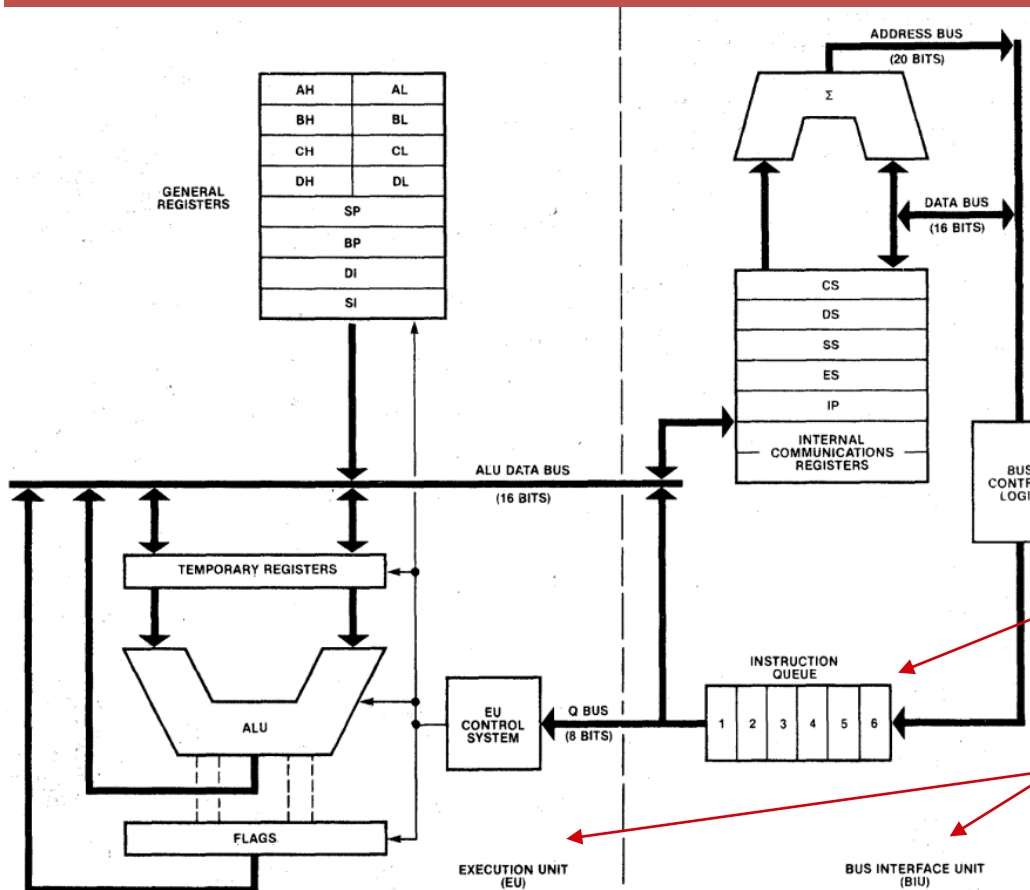
# 3.3.1. x86时代：8086/8088，引入指令队列，微架构初步发展

## 8086 - 1978 / 8088 - 1979

- 技术突破：将单个处理器分为BIU（总线接口单元）和EU（执行单元）两部分并独立运行，形成当今CPU前后端的雏形；具备6字节指令队列提高EU和总线利用率

### 8086将处理器分为BIU和EU并出现了指令队列

### 8086的EU和BIU独立运行，提高利用率

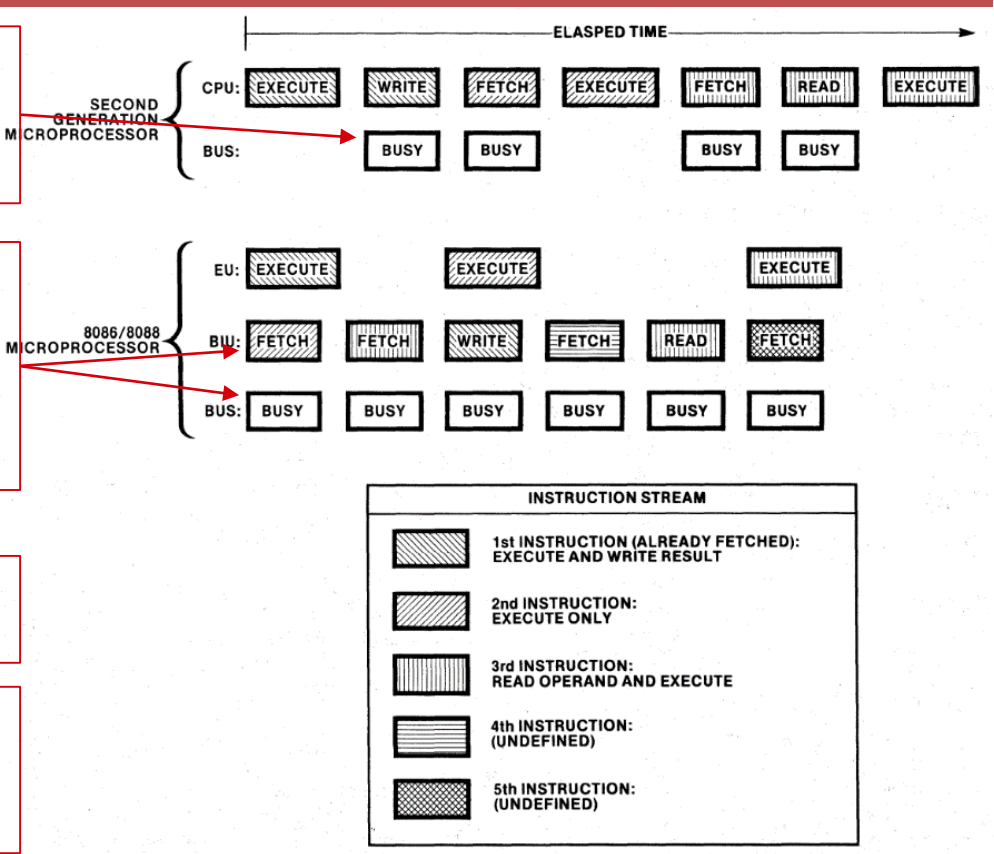


以往处理器只能顺序执行各个工序，导致资源浪费，每个单元都有大量时间闲置

8086/8088实现前后端分离后可以分别独立工作，闲置时间大大减少，总线单元基本实现满负荷工作

8086首次引入6字节指令队列

8086首次将CPU分成总线单元和执行单元，形成前后端分工





### 3.3.2. x86时代：80286，引入流水线并持续兼容，在PC行业独步天下

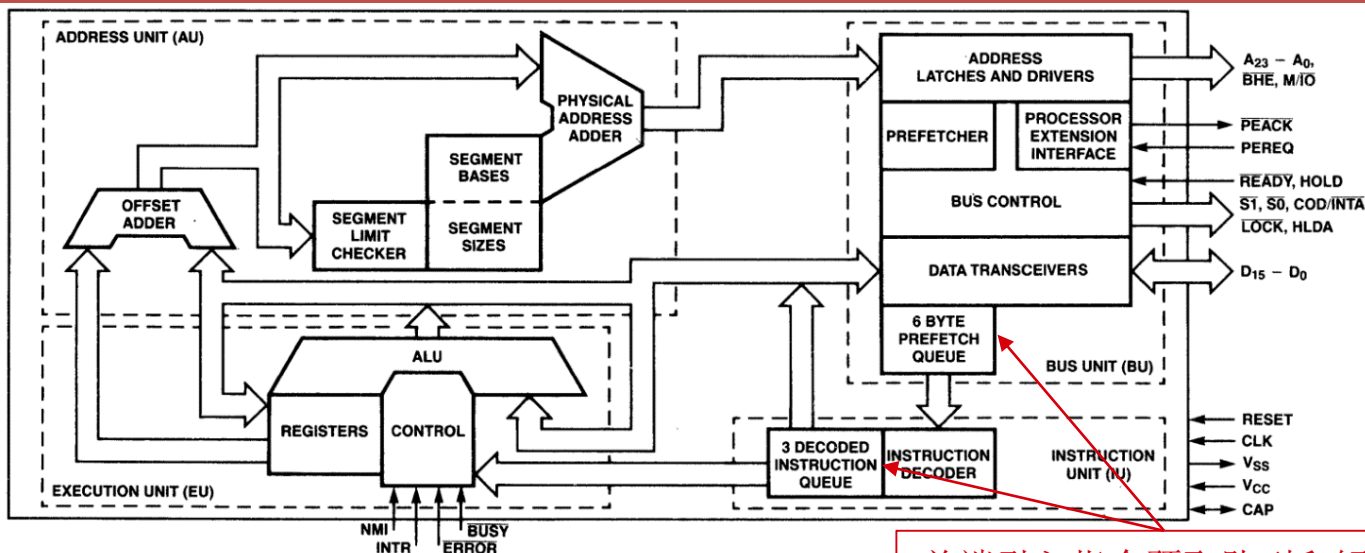
#### 80286 - 1982

- 80286是击败主要竞争对手摩托罗拉的关键一代，最主要因素在于80286对于前代产品保持兼容。
  - 80286通过推出实和保护两种模式来实现了与以前处理器的兼容。
  - 而摩托罗拉的MC68000系列则对前代并非完全兼容，比如68010（从性能来看与80286相当）虽然与68000（性能相当于8086）引脚兼容，但指令并非全部兼容。

- 工艺：1.5μm
- 晶体管数量：134k
- 主频：6MHz
- 技术突破：Intel首次采用流水线技术（3级）；在8086基础上，BIU进一步分为AU（地址单元）、BU（总线单元）、IU（指令单元），更接近如今处理器前端；6字节预取指令队列，3解码后指令队列；IPC达到0.21；推出地址保护模式以同时保持兼容性和大容量内存（24位地址）访问功能；1984年用于IBM PC/AT

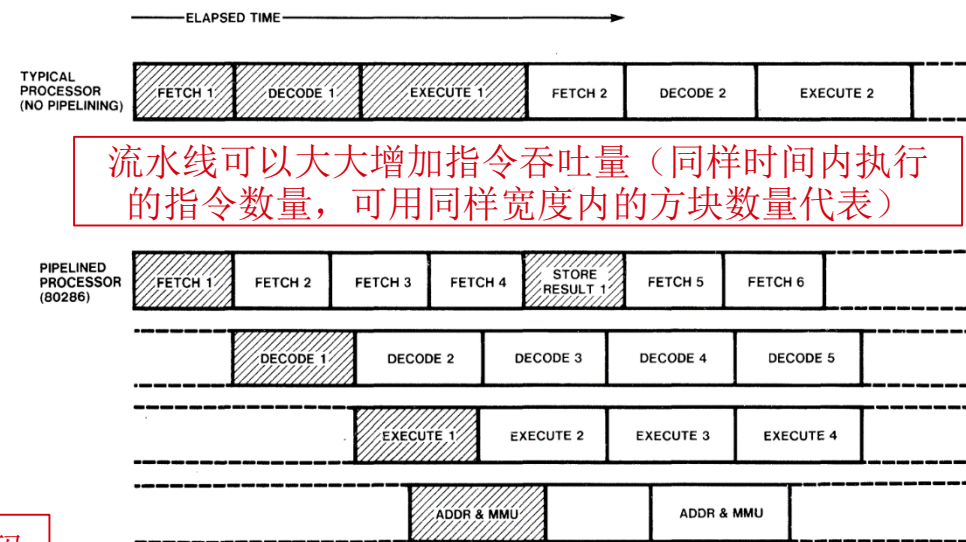
资料来源：Intel 80286 Family Hardware Reference Manual (1987)，中信证券研究部

80286微架构框图



前端引入指令预取队列和解码后指令队列，可显著提高性能

80286支持流水线技术



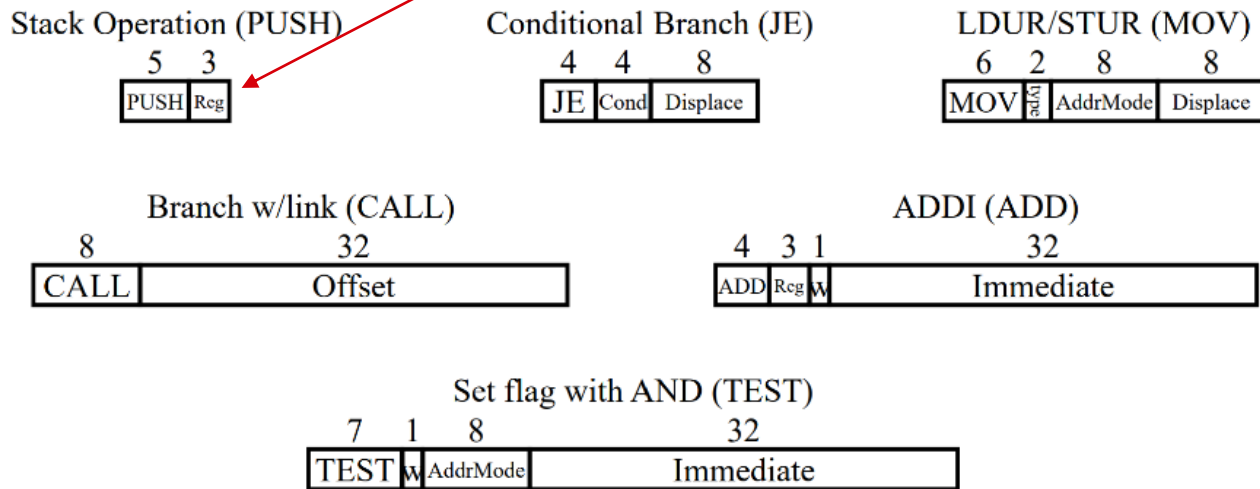
流水线可以大大增加指令吞吐量（同样时间内执行的指令数量，可用同样宽度内的方块数量代表）

### 3.3.3. x86时代的异响：RISC对CISC展现优势

- 自80年代RISC处理器兴起后，尤其是80286后的几代产品，CISC阵营的劣势愈发凸显，其最大的劣势在于其使用长度不定的指令，且x86还需要为了保持兼容付出性能代价，因此Intel、AMD、DEC等公司都在做RISC方面的尝试

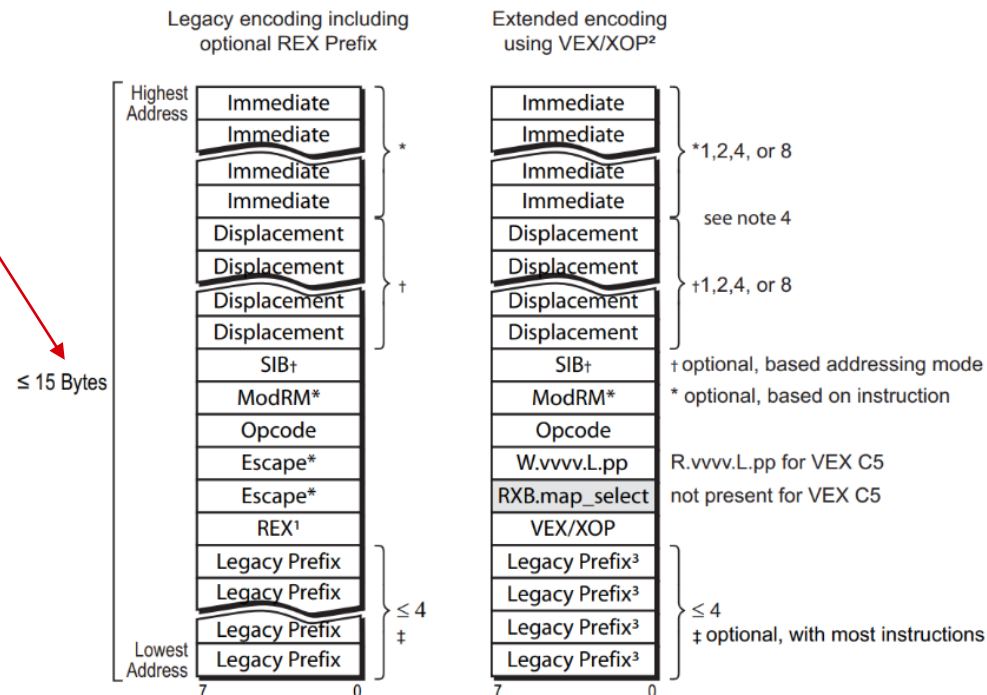
X86等CISC指令集由于历史原因，普遍采用长度不一致的指令，比如x86指令最长可以达到15字节，而最短的指令只有1字节

典型x86指令使用的位数示意



资料来源：AMD64 Architecture Programmer's Manual Volume 3，中信证券研究部

#### X86指令构成



资料来源：AMD64 Architecture Programmer's Manual Volume 3，中信证券研究部

### 3.3.3. x86时代的异响：i960/i860，CISC的自我怀疑

#### i960 - 1985

- Intel的首个RISC处理器，32位超标量

#### i860 - 1989

- 64位RISC，比AMD64早十余年

从初代奔腾结构图可以看出，x86 CPU为了处理长短不一的指令，并保持对前代CPU的兼容性，将巨大面积贡献给取指令、指令解码、控制逻辑、复杂指令支持等单元。

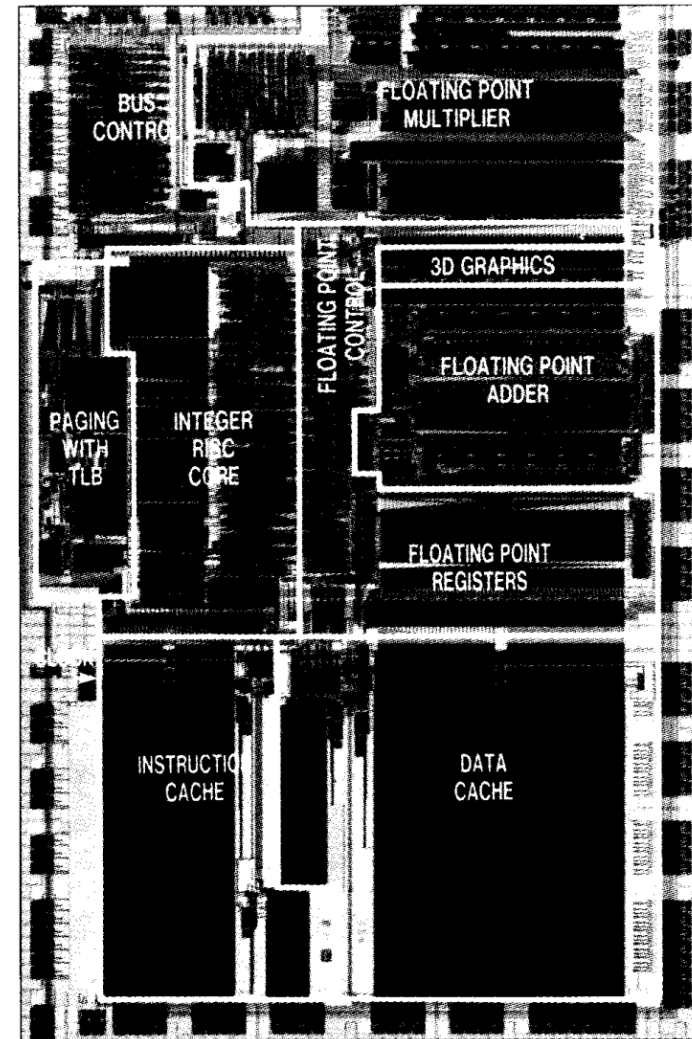
（由于指令长度可变且较为复杂，CPU很难在瞬间判断出这一串01数字该到哪里结束才是一条完整指令）

从Intel自研的i860处理器可见，采用RISC后，指令长度固定，且不需要背负兼容性包袱，前述各类单元大大简化，几乎不占据主要面积，在图中已经无需单独划分区域进行标注，性能和成本优势十分明显。

#### 初代Pentium die shot

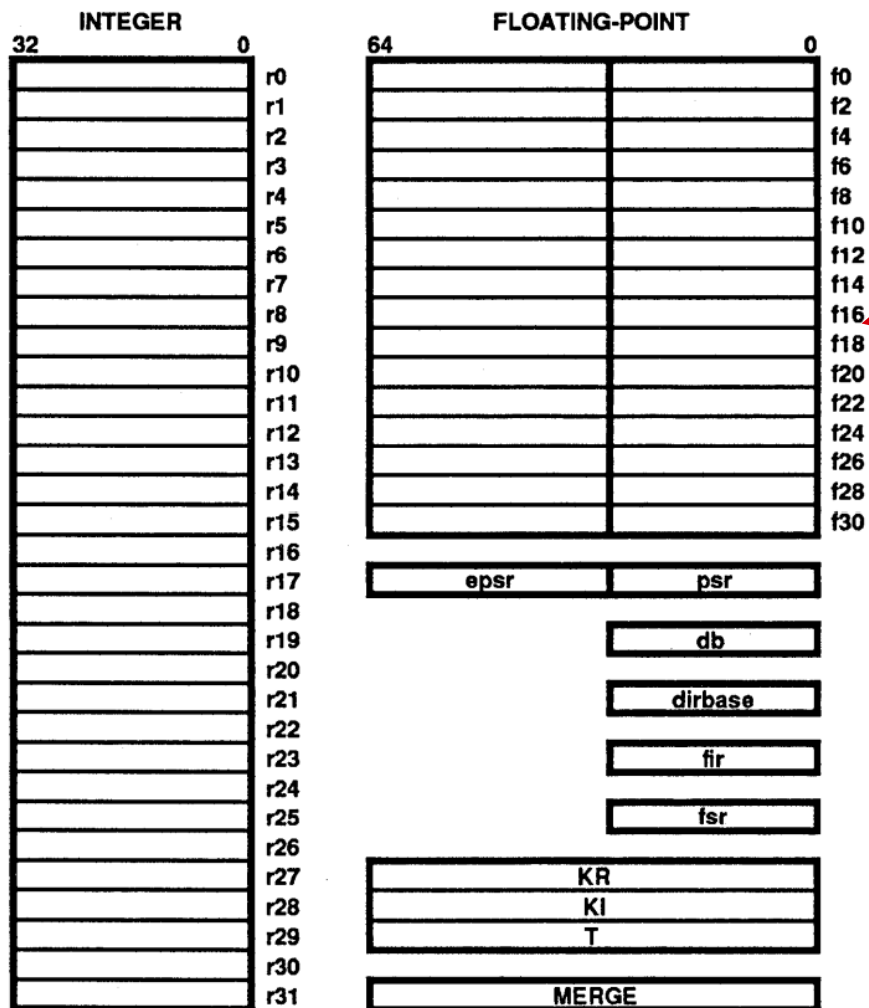


#### i860 die shot



### 3.3.3. x86时代的异响：i960/i860，Intel尝试自我革命

#### i860寄存器配置



Intel设计的RISC处理器向主流RISC理念靠拢，采用了大量的寄存器，其中i860具备32个整数寄存器，32个浮点寄存器，以及若干专用寄存器，数量远超x86架构。数据只有读取到寄存器中才能操作，有利于大幅简化指令体系。

i860采取全新的汇编指令体系，与x86的汇编指令完全不同。

#### i860支持的汇编指令

Mnemonic	Description	Mnemonic	Description
<b>Core unit</b>		<b>Floating-point unit</b>	
<b>Load and store instructions</b>		<b>Floating-point multiplier instructions</b>	
LD.X	Load integer	FMUL.P	F-P multiply
ST.X	Store integer	PFMUL.P	Pipelined F-P multiply
FLD.Y	F-P load	PFMUL3.DD	Three-stage pipelined F-P multiply
PFLD.Z	Pipelined F-P load	FMLOW.P	F-P multiply low
FST.Y	F-P store	FRCP.P	F-P reciprocal
PST.D	Pixel store	FRSQR.P	F-P reciprocal square root
<b>Register-to-register moves</b>		<b>Floating-point adder instructions</b>	
IXFR	Transfer integer to F-P register	FADD.P	F-P add
FXFR	Transfer F-P to integer register	PFADD.P	Pipelined F-P add
<b>Integer arithmetic instructions</b>		FSUB.P	F-P subtract
ADDU	Add unsigned	PFSUB.P	Pipelined F-P subtract
ADDS	Add signed	PFGT.P	Pipelined F-P greater-than compare
SUBU	Subtract unsigned	PFEQ.P	Pipelined F-P equal compare
SUBS	Subtract signed	FIX.P	F-P to integer conversion
<b>Shift instructions</b>		PPIX.P	Pipelined F-P to integer conversion
SHL	Shift left	FTRUNC.P	F-P to integer truncation
SHR	Shift right	PFTRUNC.P	Pipelined F-P to integer truncation
SHRA	Shift right arithmetic	PFLE.P	Pipelined F-P less than or equal
SHRD	Shift right double	PAMOV	F-P adder move
<b>Logical instructions</b>		PFAMOV	Pipelined F-P adder move
AND	Logical AND	<b>Dual-operation instructions</b>	
ANDH	Logical AND high	PFAM.P	Pipelined F-P add and multiply
ANDNOT	Logical AND NOT	PFM.P	Pipelined F-P subtract and multiply
ANDNOTH	Logical AND NOT high	PFMAM	Pipelined F-P multiply with add
OR	Logical OR	PFMSM	Pipelined F-P multiply with subtract
ORH	Logical OR high	<b>Long integer instructions</b>	
XOR	Logical exclusive OR	FLSUB.Z	Long-integer subtract
XORH	Logical exclusive OR high	PFLSUB.Z	Pipelined long-integer subtract
<b>Control-transfer instructions</b>		FLADD.Z	Long-integer add
TRAP	Software trap	PFLADD.Z	Pipelined long-integer add
INTOVR	Software trap on integer overflow	<b>Graphics instructions</b>	
BR	Branch direct	FZCHKS	16-bit z-buffer check
BRI	Branch indirect	PFZCHKS	Pipelined 16-bit z-buffer check
BC	Branch on CC	FZCHLD	32-bit z-buffer check
BC.T	Branch on CC taken	PFZCHLD	Pipelined 32-bit z-buffer check
BNC	Branch on not CC	FADDP	Add with pixel merge
BNC.T	Branch on not CC taken	PFADDP	Pipelined add with pixel merge
BTE	Branch if equal	FADDZ	Add with z merge
BTNE	Branch if not equal	PFADDZ	Pipelined add with z merge
BLA	Branch on LCC and add	FORM	OR with merge register
CALL	Subroutine call	PFORM	Pipelined OR with merge register
CALLI	Indirect subroutine call	<b>Assembler pseudo-operations</b>	
<b>System control instructions</b>		MOV	Integer register-register move
FLUSH	Cache flush	FMOV.Q	F-P register-register move
LD.C	Load from control register	PFMOV.Q	Pipelined F-P register-register move
ST.C	Store to control register	NOP	Core no-operation
LOCK	Begin interlocked sequence	FNOP	F-P no-operation
UNLOCK	End interlocked sequence		

资料来源：intel i860 Programmer's Reference(1989)，中信证券研究部

资料来源：IEEE Micro: Introducing the i860 Microprocessor(1989)，中信证券研究部

### 3.3.4. x86时代：80386，引入高速缓存与虚拟地址，步入多任务时代

- 80386再次体现兼容性的重要性。Intel此前曾推出过试图领先时代的32位处理器iAPX432，但由于指令集不相容，且性能不足，产品未能成功。
  - iAPX (Intel Advanced Processor Architecture) 属于CISC，开始于1975年，当时8080刚量产，1981年面世，不仅不与x86共享指令集，且性能只有80286的四分之一。
- 80386作为兼容x86的32位处理器，在保证兼容前代的产品下，性能优秀，获得市场成功。

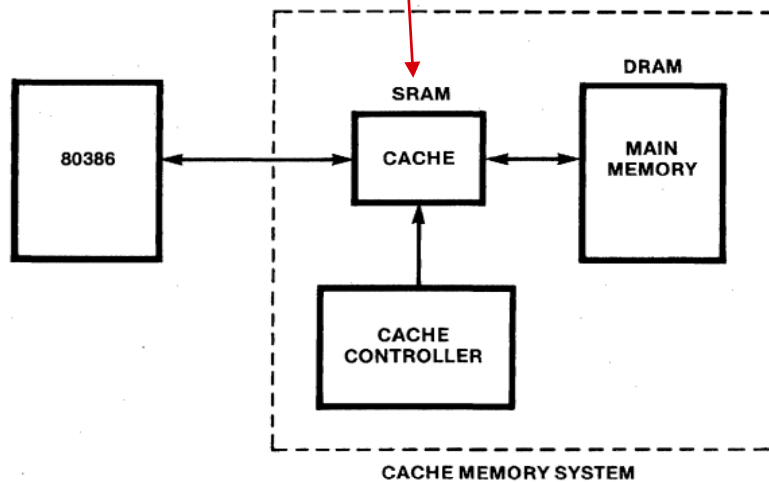
页表(Page Translator)和TLB(页表的高速缓存，加快页表运行速度)的引入对于同时运行多个程序十分重要。加入这一机制后，每个程序都认为自己独享内存，而操作系统可以给不同程序灵活分配内存

#### 80386 - 1984

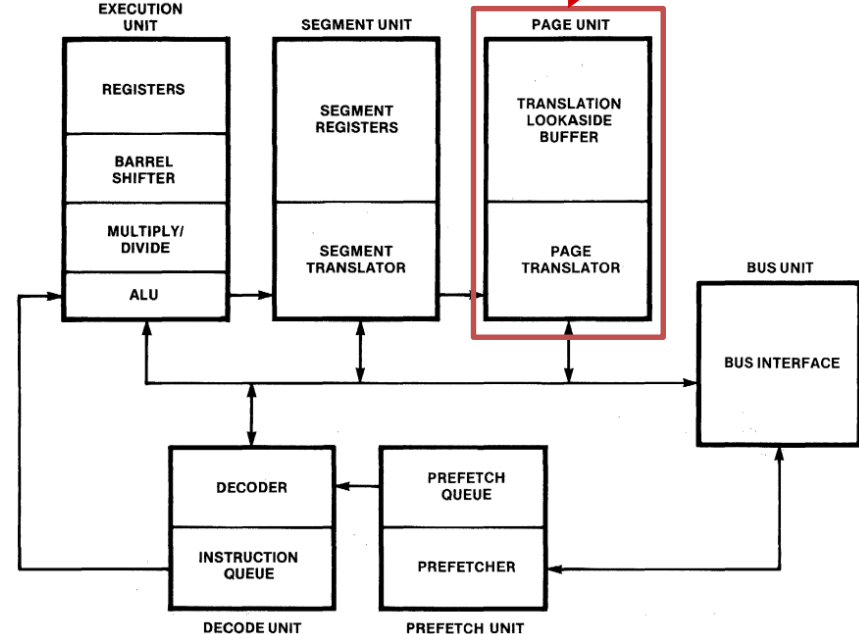
- 工艺：1.5μm
- 晶体管数量：275k
- 主频：16MHz
- 技术突破：取代1981年推出的失败的iAPX432，成为Intel首个量产的32位CPU；为克服内存墙，引入高速缓存系统（位于主板上）；引入TLB，支持页表、内存虚拟地址，对每个程序支持flat内存模型，即支持多任务/虚拟机，对微软操作系统发展有重要影响；设计团队后来在i386基础上设计P6；开启Compaq的PC克隆时代，大批“IBM兼容机”诞生

#### 80386首次引入高速缓存系统

高速缓存Cache采用纯晶体管制作，而内存DRAM采用晶体管和电容，速度很慢，将常用信息存储在Cache中能够显著提高运行速度



#### 80386引入TLB和页表，开启多任务时代



资料来源：Intel 80386 Hardware Reference Manual (1986)，中信证券研究部 资料来源：Intel 80386 Hardware Reference Manual (1986)，中信证券研究部

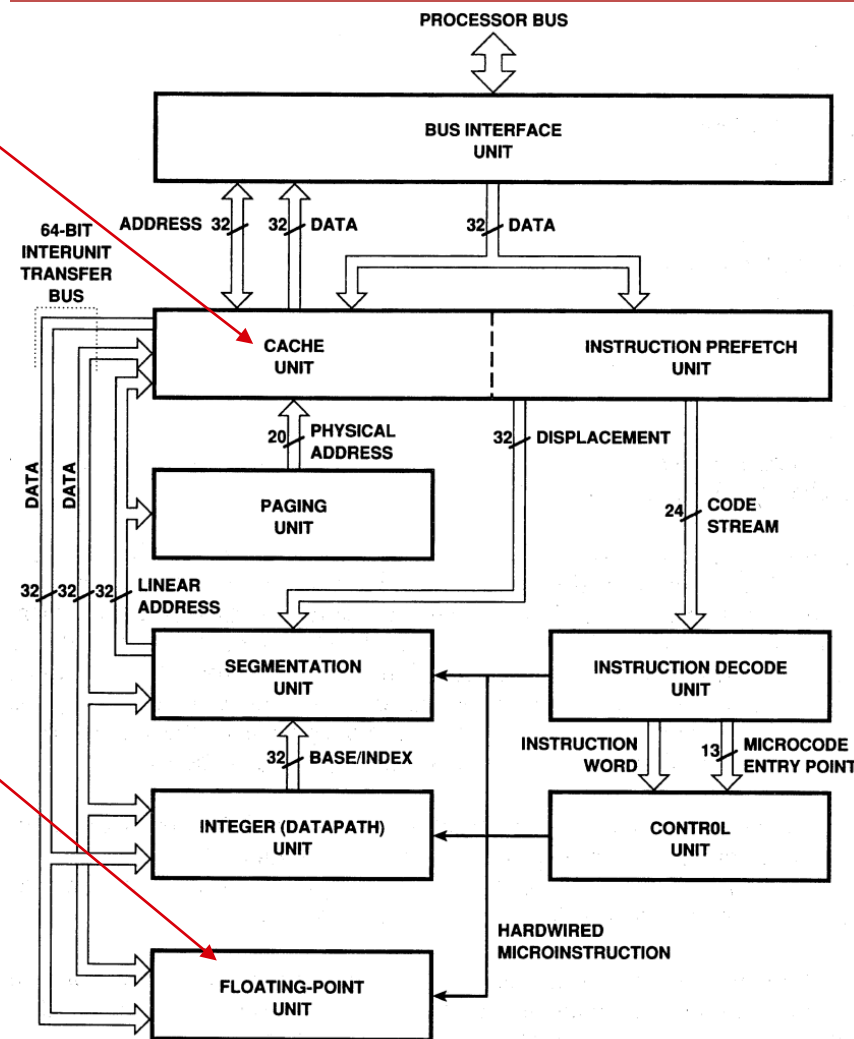
### 3.3.5. x86时代：i486，集成缓存与FPU，解决90%内存读取需求

- X86的i486与RISC的i860同样在1989推出，但486大获成功而i860系列没有延续下来，体现出生态的重要性大于性能。

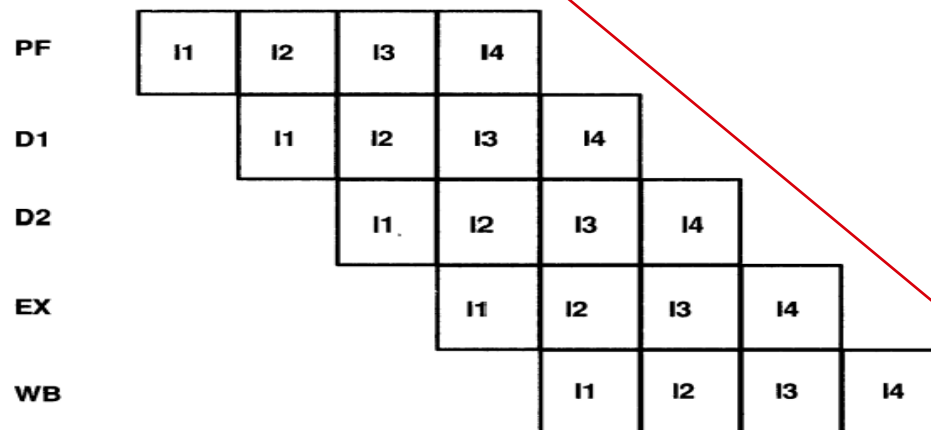
i486集成浮点处理器，更加便于使用，从8087到80387的一系列浮点协处理器退出主流市场

根据Intel在硬件参考手册中的信息，片上一级缓存能够解决90%的读取需求，极大减少内存读写次数，提高系统性能

i486内部微架构



i486 5级流水线时空图



资料来源：Intel Pentium Processor User's Manual Volume 1 (1993)

i486的流水线技术真正进入较为成熟的阶段，包含5级，PF为指令预取，D1阶段指令解码，D2阶段计算内存操作数地址，EX执行，WB写回。

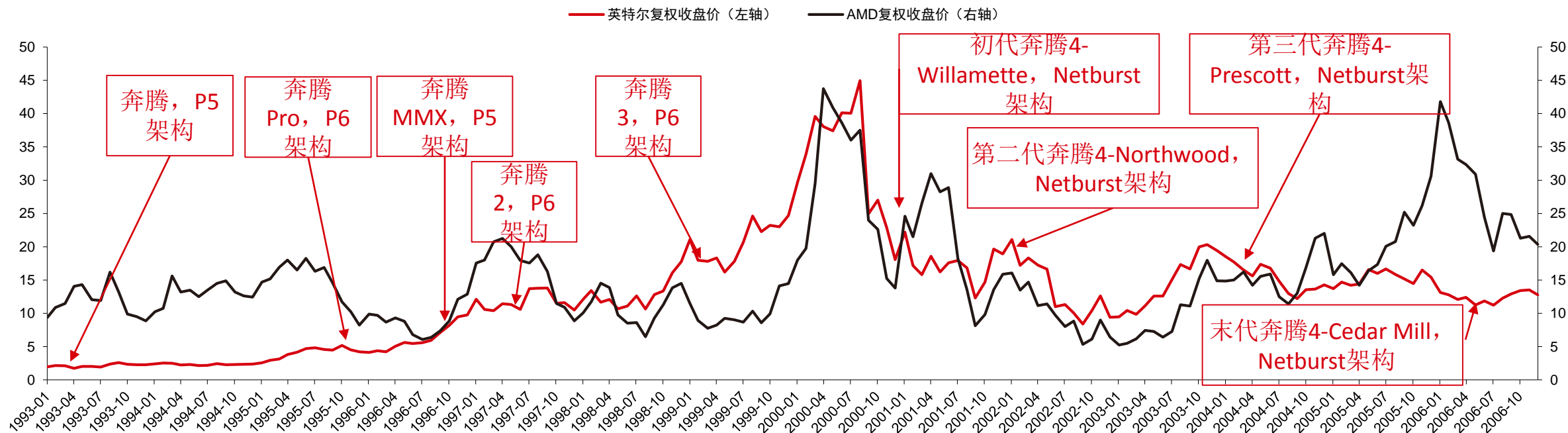
#### 80486 - 1989

- 工艺：1μm
- 晶体管数量：1.2m
- 主频：25MHz
- 技术突破：集成8KB片上缓存(L1)，解决了90-95%的内存读取需求，减少内存访问以缓解内存墙问题；可使用外部二级缓存，进一步减少内存读取；集成FPU，支持浮点运算指令，无需浮点协处理器；IPC超过1；超过100万晶体管

### 3.4 奔腾时代：持续创新吸收技术，性能与生态综合领先

- 奔腾时代Intel最大的特点是“高端PC芯片”，击败Motorola后低端又面临AMD和Cyrix等公司的竞争，凭借持续的架构技术引进以及工艺领先维持与AMD、Cyrix等公司的性能、产品档次差距。
- Intel在高端PC芯片基础上衍生出低端PC芯片和PC服务器芯片，与各界竞争对手全面竞争，并凭借大生态优势在服务器市场取得胜利，凭借技术性能优势在PC市场维持领先地位。

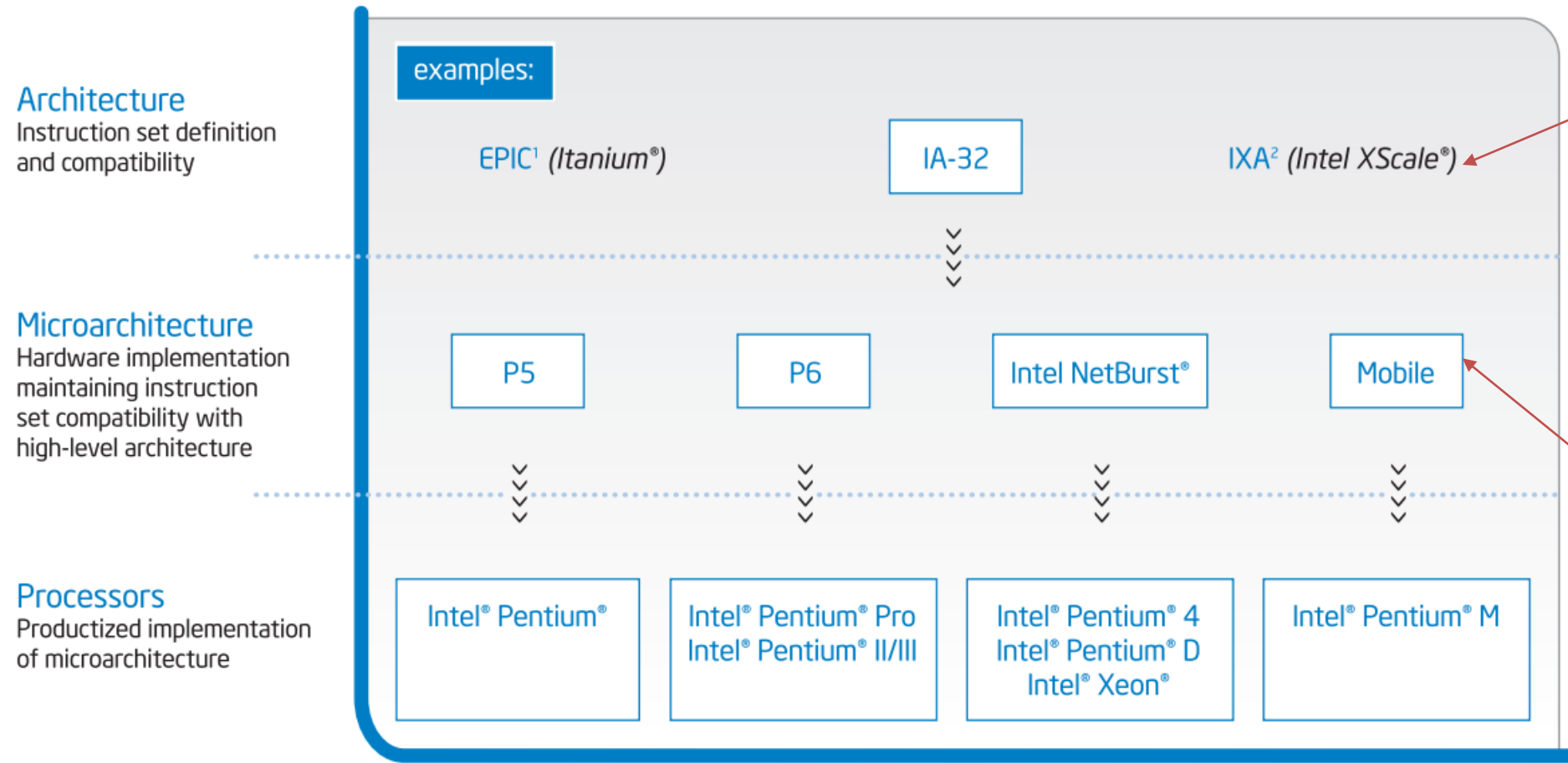
1993-2006 Intel与AMD股价



资料来源: wind, 中信证券研究部

### 3.4. 奔腾时代：从摇摆不定到专注x86，造就PC时代经典

#### Pentium时代Intel的四大架构



- Pentium时代，x86指令集暴露的出多种问题仍然存在，因此继i960/i860后，Intel也在x86之外进行探索，产出了不与此前兼容的64位Itanium系列处理器，并收购了ARM架构的Xscale处理器，但反而都不如x86的Pentium系列成功
- 奔腾移动端微架构命名为Banias，基于P6架构而来，其中产生了Pentium III M的Tualatin等经典核心，成为后来Core Duo的核心架构基础

1. EPIC (Explicitly Parallel Instruction Computing)

2. IXA (Intel<sup>®</sup> Internet Exchange Architecture)



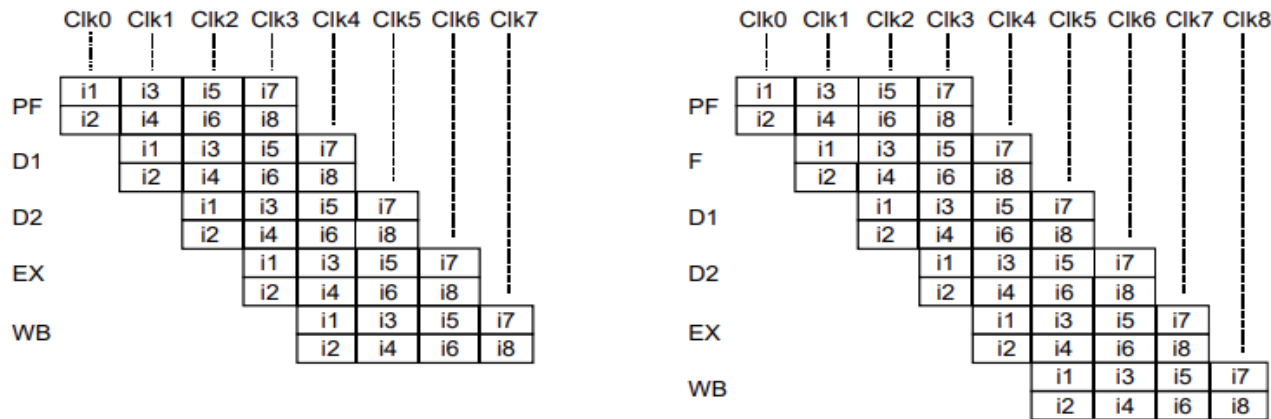
# 3.4.1. 奔腾时代：P5，双流水线实现超标量，SIMD强化多媒体

## P5 - 1993

- 工艺：0.8/0.6/0.35μm
- 晶体管数量：3.1m, 4.5m(Pentium MMX)
- 主频：66MHz
- Pentium采用U、V双流水线（5级，仅支持整型），实现了多指令发射/超标量，其中U流水线可执行任意整型指令，V流水线只能执行简单指令；L1增大为16KB，并且分成L1I和L1D；引入分支预测，
- 1997推出Pentium MMX，其流水线可处理浮点数，级数从5增加到6（F阶段进行前缀解码等）；1998 AMD 3D Now! 可处理单精度FP

## Pentium处理器内部架构，双流水线、双L1缓存、分支预测

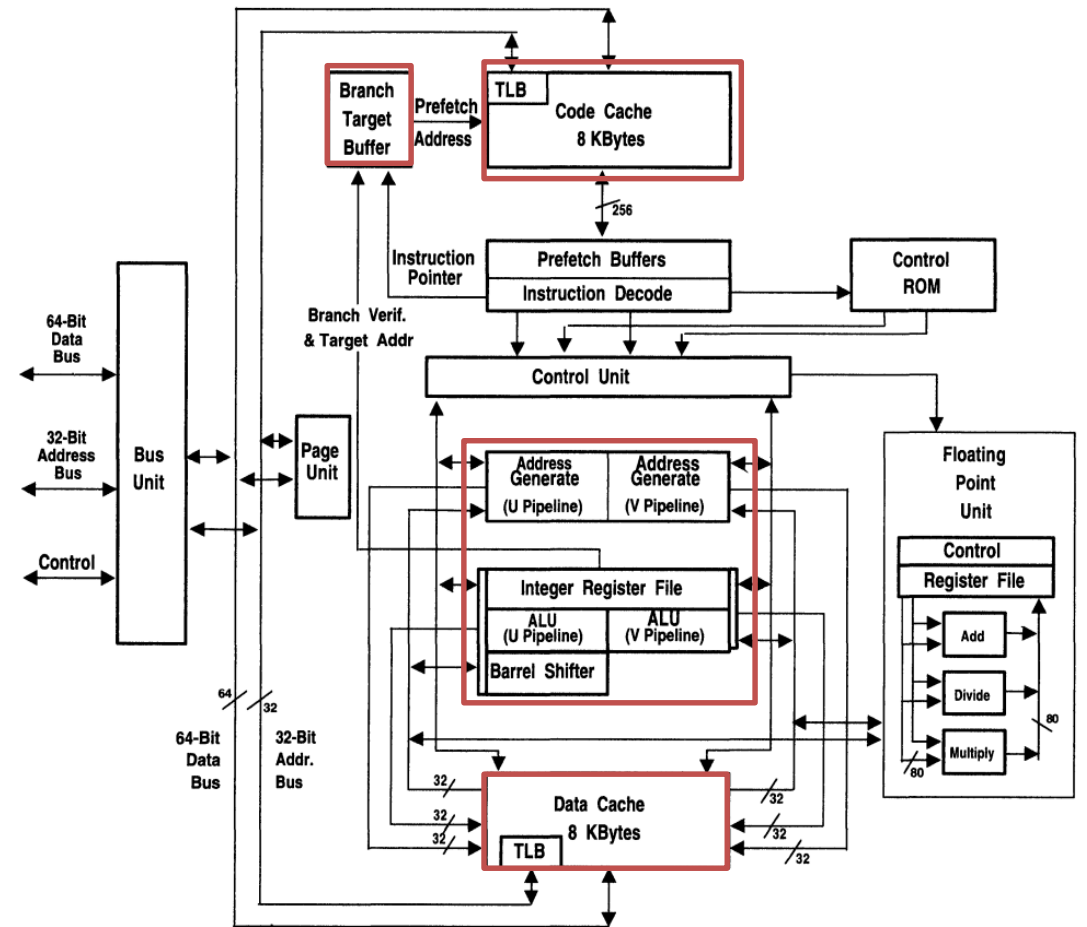
### Pentium与Pentium MMX超标量流水线时空图



Pentium® Processor (75/90/100/120/133/150/166/200)

Pentium Processor with MMX™ Technology

资料来源：Intel Pentium Processor Family Developer's Manual (1997)



资料来源：Intel Pentium Processor User's Manual Volume 1 (1993)，中信证券研究部

### 3.4.2. 奔腾时代：P6，采用乱序执行，流水线支持浮点

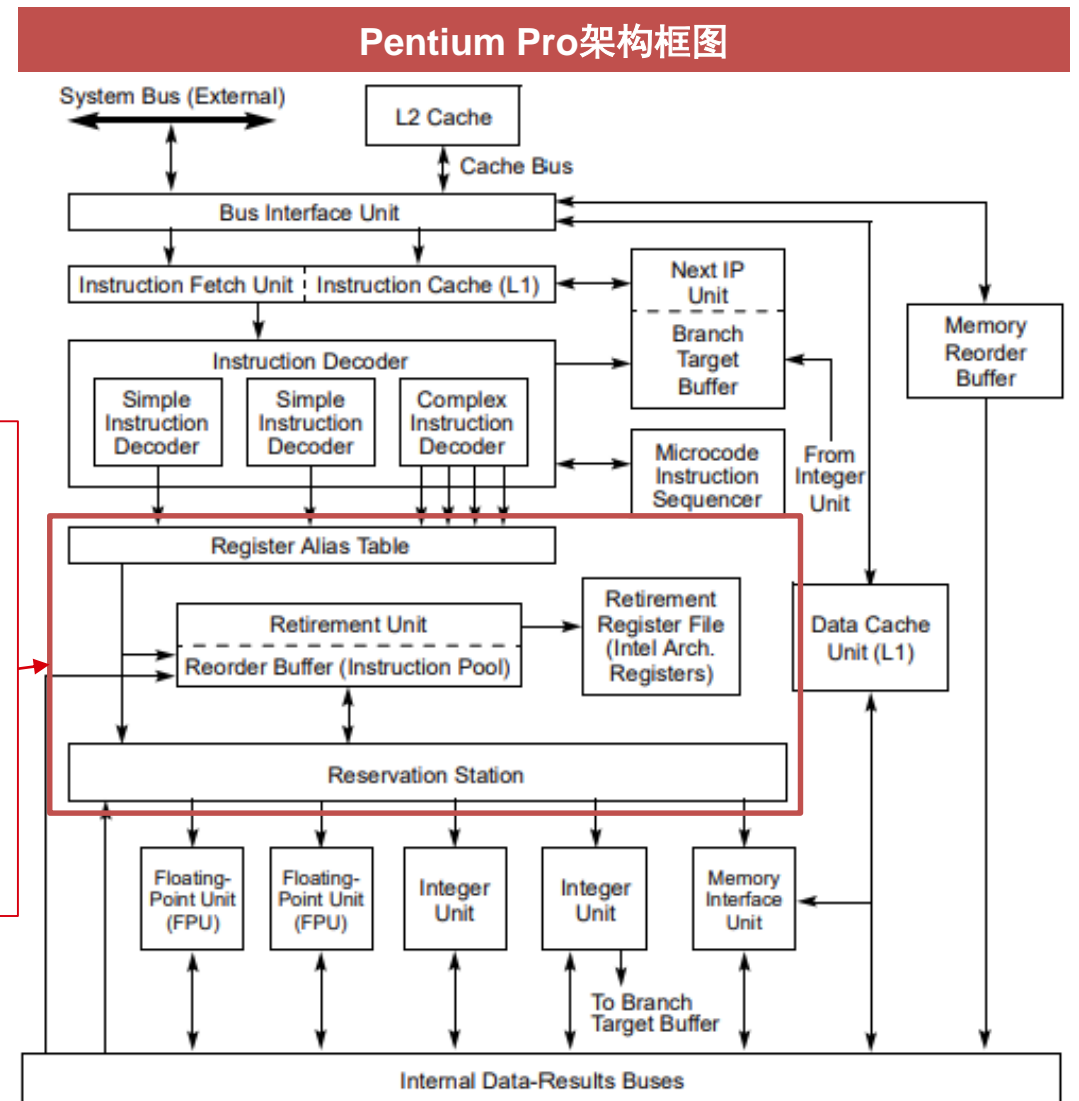
- P6堪称Intel历史上最重要的架构之一，覆盖了奔腾Pro、奔腾2、奔腾3三代产品，并且在P6架构上衍生出Xeon至强、Celeron赛扬、Centrino迅驰三条著名的产品线，分别面向服务器、低端桌面级、移动端三大市场，后续的Core架构也是在P6架构的奔腾3移动版基础上改进而来

#### P6 - 1995

- 工艺：350nm(Pentium Pro/ P2 Klamath), 250nm(P2M Tonga, P2 Deschutes), 180nm(P3)
- 晶体管数量：5.5m(Pentium Pro), 7.5m(P2 Klamath), 9.5m(P3)
- 主频：150MHz(P Pro), 300MHz(P2 Klamath), 500MHz(P3)
- 1995 Pentium Pro使用12级流水线，每一级比Pentium快33%；采用超标量设计，共3条流水线，其中2条支持整型，1条支持浮点；支持乱序执行；集成二级片上缓存
- 1998推出Celeron，在Pentium的基础上去掉片上L2缓存
- 1998年推出Xeon
- 1999年Pentium III增加SSE指令集，支持浮点向量运算

资料来源：Pentium Pro Family Developer's Manual Volume 2(1996)，中信证券研究部

奔腾Pro是P6架构的首款处理器，最重要的改变是引入了乱序执行，具体来说包含寄存器重命名、指令重排序等技术



资料来源：Pentium Pro Family Developer's Manual Volume 2(1996)，中信证券研究部

### 3.4.3. 奔腾时代：Netburst超深流水线冲击高频，面临功耗问题

- 整个Netburst架构的核心目标就是高频，超深流水线为此目标服务，最终撞上功耗墙，实现3.8GHz主频，对应的奔腾4产品线也因此失败
  - 由于效果不佳，原计划推出的Enhanced Netburst架构于2004年取消

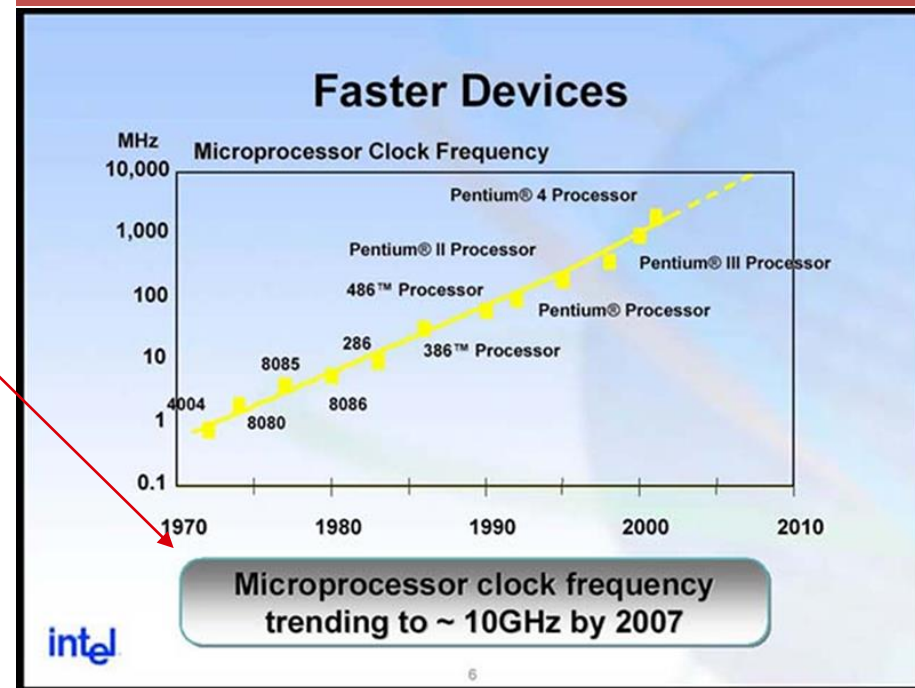
#### Netburst - 2000

- 工艺：180nm(Willamette), 130nm(Northwood), 90nm(Prescott)
- 晶体管数量：42m(Willamette), 55m(Northwood), 169m(Prescott)
- 主频：1.5GHz(Willamette), 3.8GHz(Prescott)
- 2002年P4 Northwood引入超线程（Hyper-Threading为分时多线程技术）；支持三级缓存；超流水线（双ALU）；超深流水线，Willamette 20级，Prescott 31级；Prescott AMD64；2005 Pentium D双核

资料来源：wikichip: Enhanced Netburst, 中信证券研究部

- 21世纪初业内对功耗墙的认知还不够清晰，目标不切实际，认为5年后就能实现10GHz
- “These clock rates for future IA-32 processor based on the Intel NetBurst micro-architecture is expected to reach 10 GHz.”

#### 处理器频率发展趋势与Intel预期

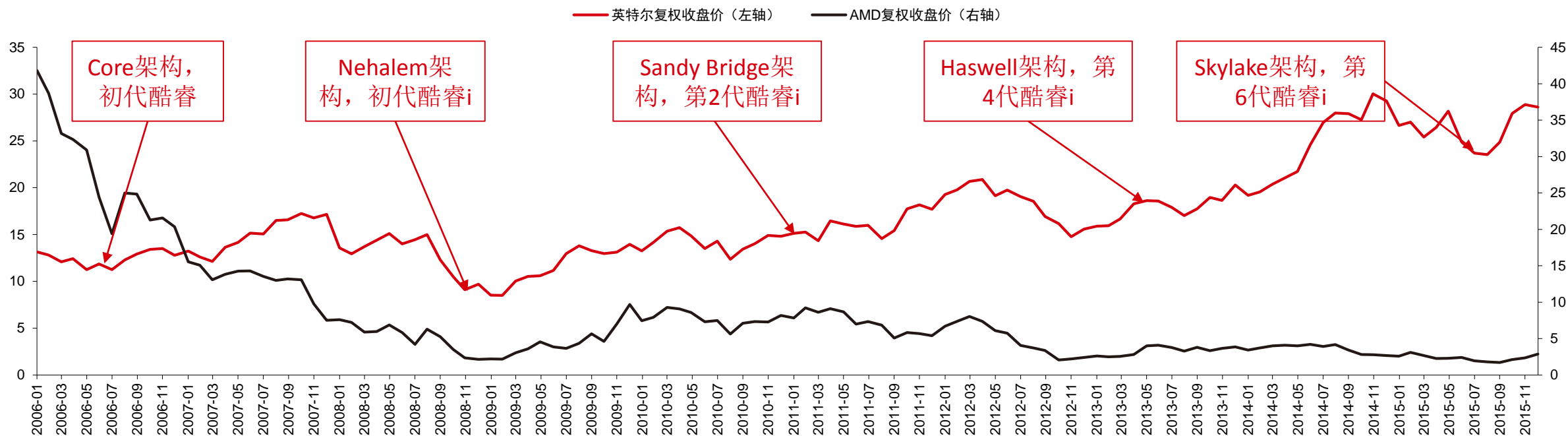


资料来源：wikichip: Enhanced Netburst, 中信证券研究部

## 3.5 多核时代：性能转向能效，市场持续正反馈

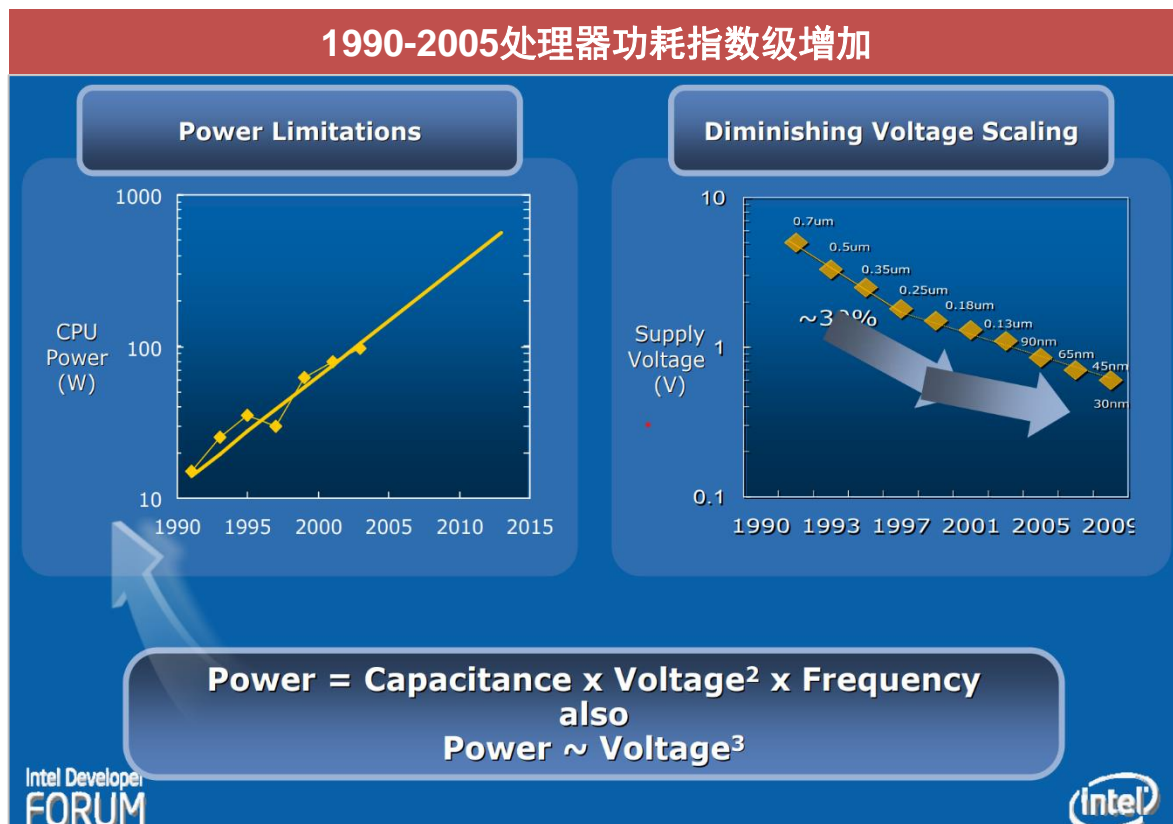
- 奔腾时代末期，基本只剩下Intel、AMD两大主流厂商占据PC市场，服务器市场的大多数非x86厂商也已经退出。
- Core架构是Intel、AMD竞争的一个关键转折点，Intel在此代产品选择放弃Netburst架构，退回到移动端P6架构，不再单一追求单核性能，而是转向能效比以及多核性能，并且接连推出双核与4核产品，产品节奏加快，迫使AMD再次退守低端市场，Intel利用Tick-Tock战略持续扩大优势。
- Intel Tick-Tock能够奏效的一个关键原因是从“三轨并行”的状态（服务器端Itanium架构/产品线，桌面端Netburst架构/奔腾产品线，笔记本端Pentium M/迅驰产品线）转向统一的酷睿架构，研发资源高度集中，形成对AMD的资源优势。

2006-2015年 Intel与AMD股价

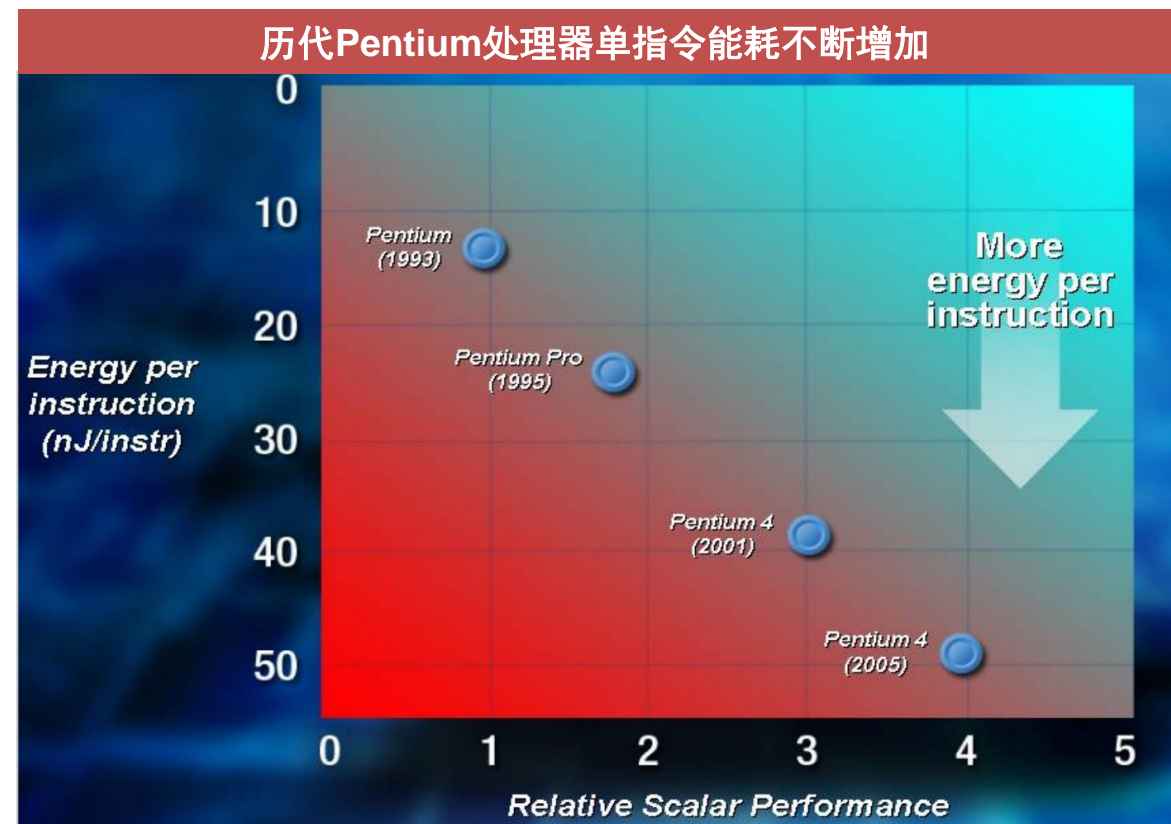


### 3.5. 多核时代：单核性能面临功耗墙，多核成为必然选择

- 功耗P与电压的三次方成正比，或与频率的三次方成正比，同样工艺下频率与电压成正比
- 随着主频不断提升，处理器功耗明显提升，甚至单个指令的功耗也不断提升
- 靠单核性能提升不可持续，面临功耗墙，必须采用其他方法提升处理器整体性能——多核心



资料来源：Intel IDF 2006：Intel DEG CTO Steve Pawlowski：Intel Core Microarchitecture



资料来源：Intel IDF 2006：Intel CTO Justin Rattner：Energy：The Next Frontier

### 3.5.1. Core: 功耗墙解决方案, 能效表现飞跃提升

- Core架构的诞生也伴随第一代Core CPU的诞生, 能效大幅提升, 相比2005年的奔腾4, 2006年的Core Duo处理器执行一条指令的能耗只有原来的20%左右, 同等功率下, 服务器端Core处理器性能表现提高80%。优秀的表现让Intel在PC与服务器市场重新获取主动权, 在多年内没有受到有力挑战。

#### Core - 2006/4

- 工艺: 65nm制程, 面积143mm<sup>2</sup>(Woodcrest)
- 晶体管数量: 291m(Woodcrest)
- 技术突破: 共享二级缓存, 真正意义上的双核处理器, 从高主频路线转向多核路线, 降低流水线级数(14), 能效成倍提升; SSE


#### Core架构实现SPEC整数性能大幅提升

酷睿相比前代, 同等功率下SPEC跑分甚至可提高80%, 性能明显提升

**Best Processor on the Planet: Energy-Efficient Performance<sup>1</sup>**


**20% (Merom), 40% (Conroe), 80% (Woodcrest) Performance Boosts<sup>1</sup> !**

Intel® Processor Micro-architecture - Core®



5 <sup>1</sup> Based on SPECint<sub>rate\_base2000</sub>

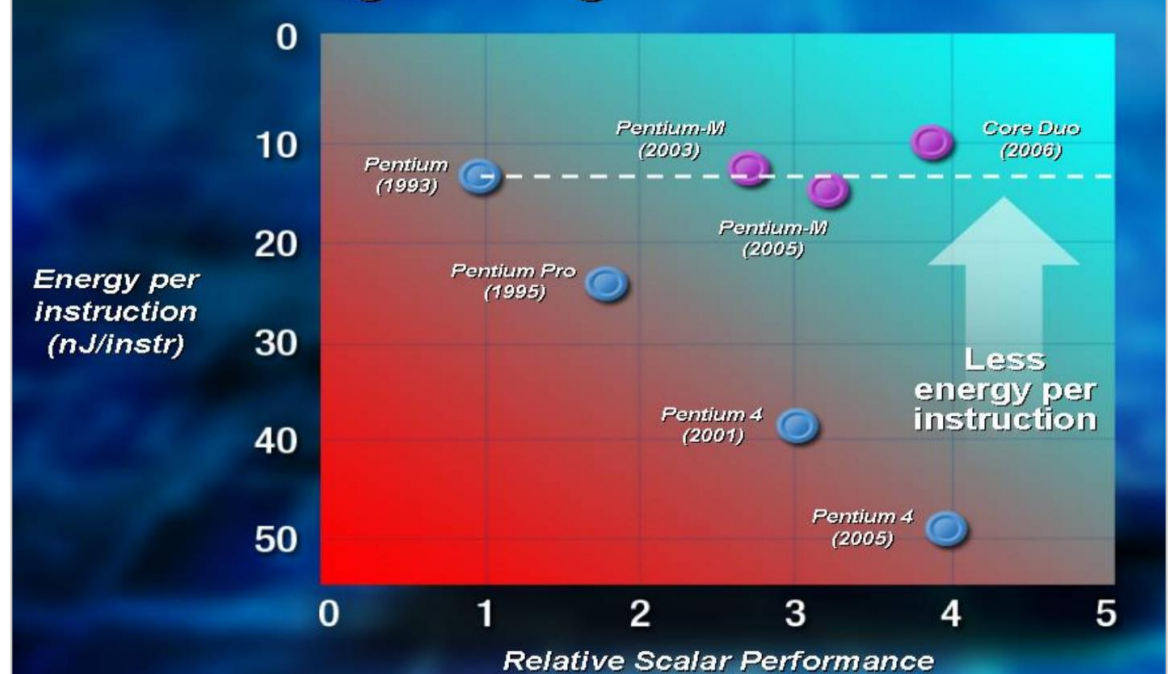
Copyright © 2006, Intel Corporation. All rights reserved.  
Intel and the Intel logo are trademarks or registered trademarks of Intel Corporation or its subsidiaries in the United States or other countries. \*Other brands and names are the property of their respective owners.



资料来源: Intel Software College: Processor Architecture-Core, wikichip, 中信证券研究部(左上图、左下图)

#### Core架构以能效为首要考量, 实现单指令功耗大幅下降

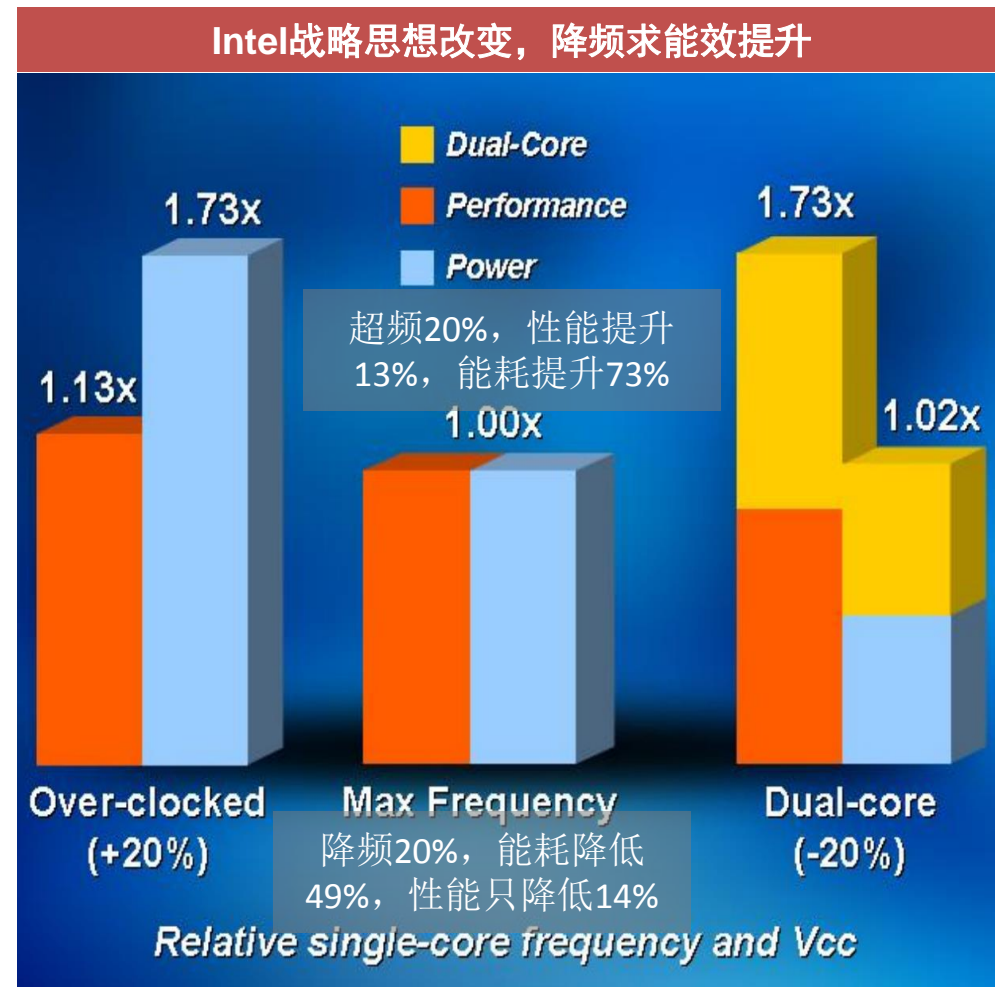
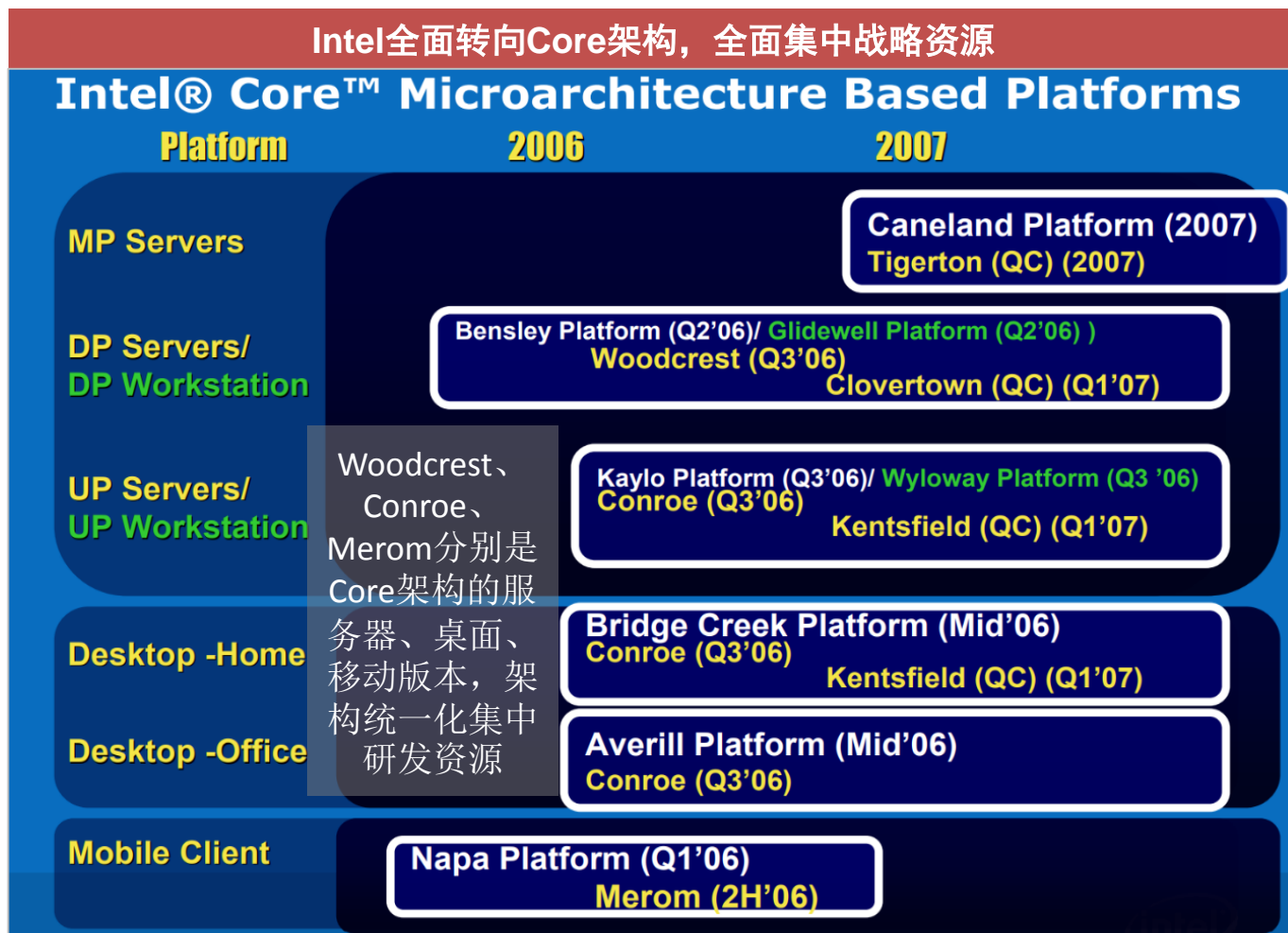
#### Breaking Through the Power Wall



资料来源: Intel IDF 2006: Intel CTO Justin Rattner: Energy: The Next Frontier, wikichip

### 3.5.1. Core: 成功源自战略转向, 追求高能效与研发资源集中

- Core架构为何能够如此成功? 主要原因是Intel完成了两大战略方向转变, 第一是产品研发思路转变, 收缩产品线, 集中全部研发资源设计Core, 第二是营销思路转变, 从追求极致高频性能转向宁可降低主频, 追求综合能效。

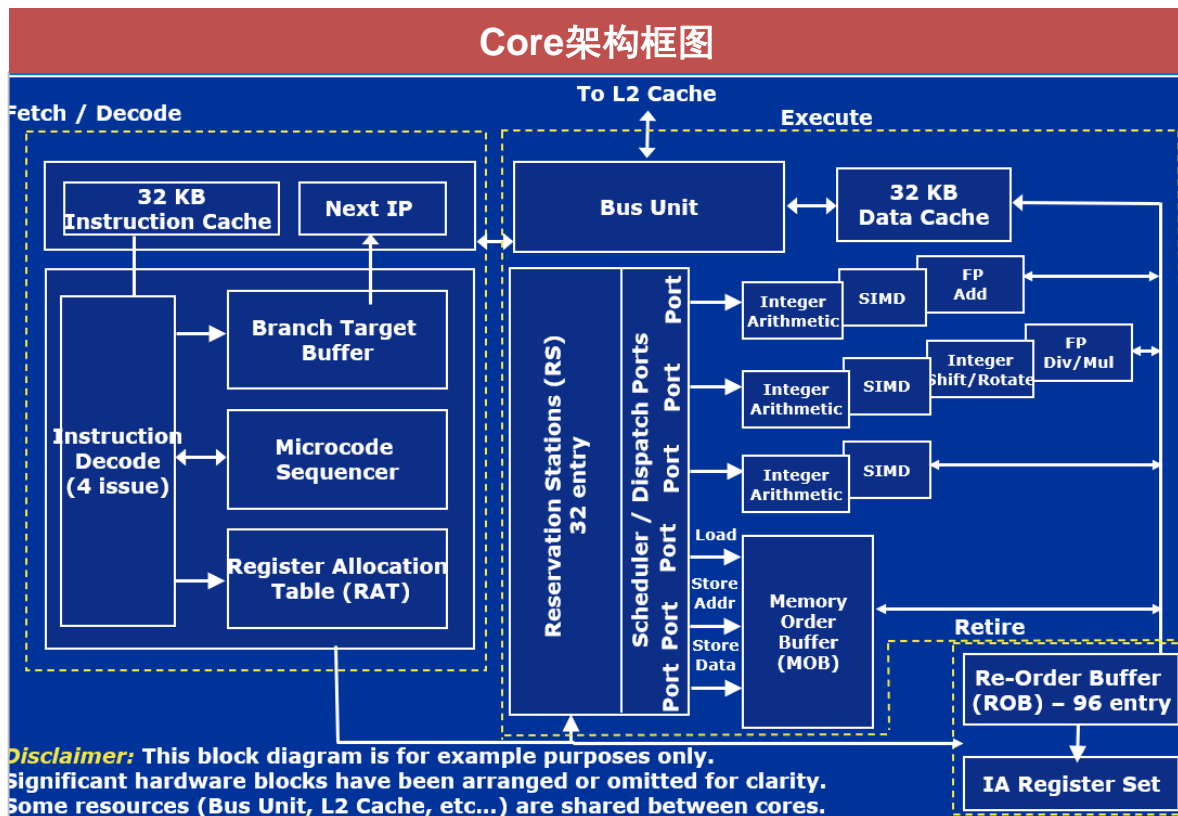


资料来源: Intel IDF 2006: Intel DEG VP Stephen L. Smith & Intel IAG Architect Bob Valentine: Intel Core Microarchitecture, 中信证券研究部

资料来源: Intel IDF 2006: Intel CTO Justin Rattner: Energy: The Next Frontier, 中信证券研究部

# 3.5.1. Core: Tualatin核心改进为Conroe核心, 降频融核获取高能效

- 从更具体的技术层面看, Core的成功有何架构技术基础?
  - Core架构以此前表现优异的Pentium III-M处理器Tualatin核心为基础, 融合Netburst架构新技术创新而成。
  - Core包含五大核心架构创新: 宽动态执行(4流水线, 深度14级), 数字媒体加速(SSE4指令集), 智能缓存(共享L2), 智能内存访问(改进指令预取, 内存消歧), 先进功耗调节(降低频率)



资料来源: Intel Software College: Processor Architecture-Core, wikichip

### Core架构五大新技术

- 4宽度14级流水线; 微指令融合  
Intel® Wide Dynamic Execution
- Intel® Advanced Digital Media Boost  
单周期128位SSE (SSE4.1)
- Intel® Intelligent Power Capability  
先进功耗调节
- Intel® Smart Memory Access  
先进指令预取; 内存消歧
- Intel® Advanced Smart Cache  
共享L2缓存

资料来源: Intel IDF 2006: Intel CTO Justin Rattner: Energy: The Next Frontier, wikichip, 中信证券研究部



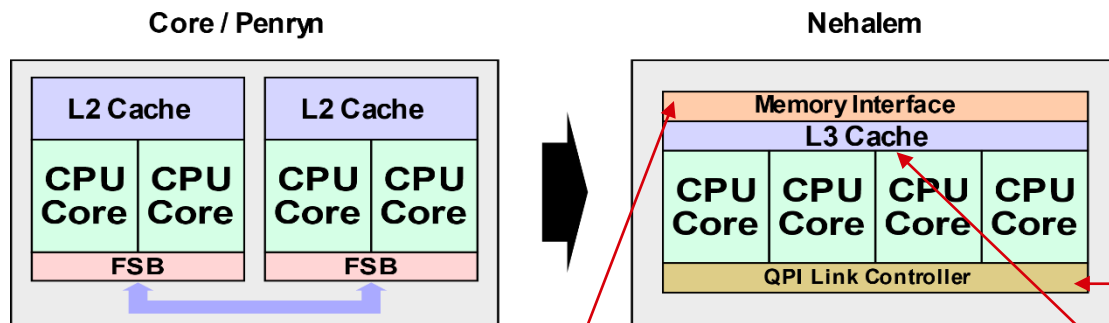
## 3.5.2. Nehalem: 初代Core i, 总线/访存/缓存为多核深入优化

- Nehalem架构对应初代酷睿i CPU, 从此酷睿系列产品线有了比较明确的产品档次划分和命名方式, 对于营销有利。
- 从架构与技术角度来看, Nehalem架构扩大了Core的技术优势, 进一步树立了Core i系列高性能形象。

### Nehalem - 2008/8

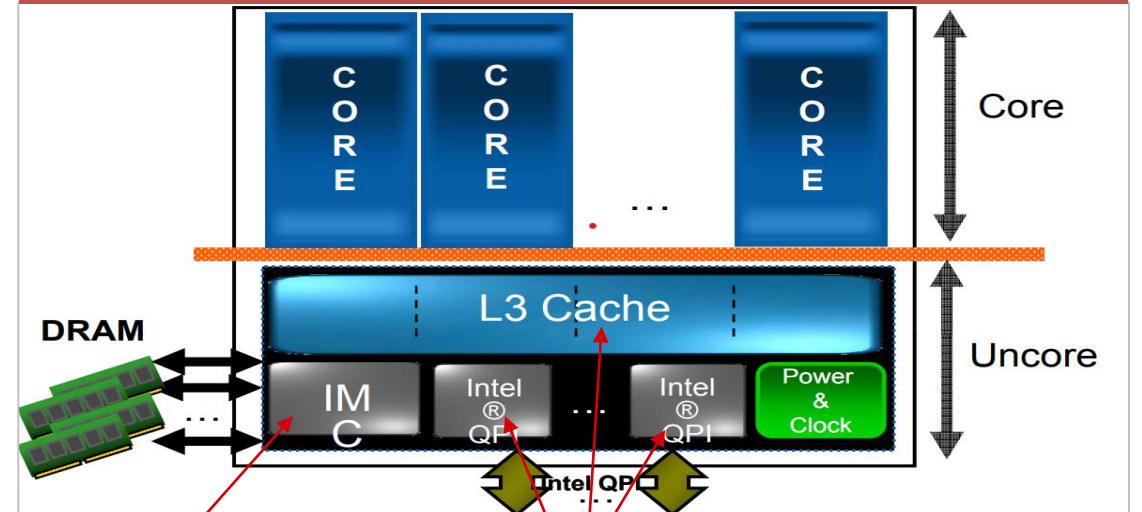
- 工艺: 45nm HKMG, 面积263mm<sup>2</sup> (Bloomfield)
- 晶体管数量: 731m (Bloomfield)
- 技术突破: 单芯片4核, 三级缓存, QPI总线, Ringbus, 睿频技术 (Turbo Boost), 单核心功耗控制, SSE4.2

### 初代Core架构与Nehalem芯片架构的区别



内存访问方面, Nehalem架构直接在芯片内集成了内存控制器, 而不是原先的分立芯片, 访存性能大幅提升

### Nehalem增加L3缓存并且每个核心都有QPI高速总线



总线方面, Nehalem用QPI总线取代了原先的FSB总线, 每个核心可以单独访问外部, 无需像原来一样多个核心竞争FSB总线带宽, 在总线方面也做到不输AMD

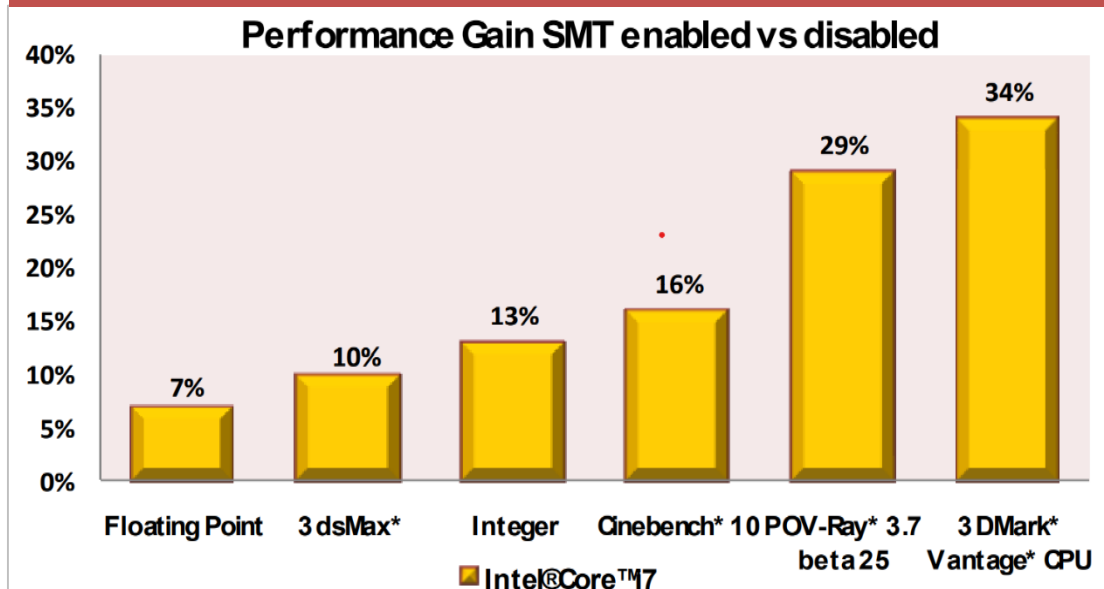
缓存方面, Nehalem架构在芯片内部集成了共享L3, 比初代Core只有L2性能更强

## 3.5.2. Nehalem: 允许每个核心单独调节功耗, 超线程技术回归

- Nehalem架构对应初代酷睿i CPU, 从此酷睿系列产品线有了比较明确的产品档次划分和命名方式, 对于营销有利。
- 从架构与技术角度来看, Nehalem架构扩大了Core的技术优势, 进一步树立了Core i系列高性能形象。

经过几年前奔腾4、Core的市场教育, 超线程技术接受度得到提高, 更多应用支持超线程; 并且Nehalem的总线带宽明显改善。两方面因素为超线程技术回归创造了条件, Nehalem超线程为其带来了明显的性能提升, 在部分应用中可达30%以上。

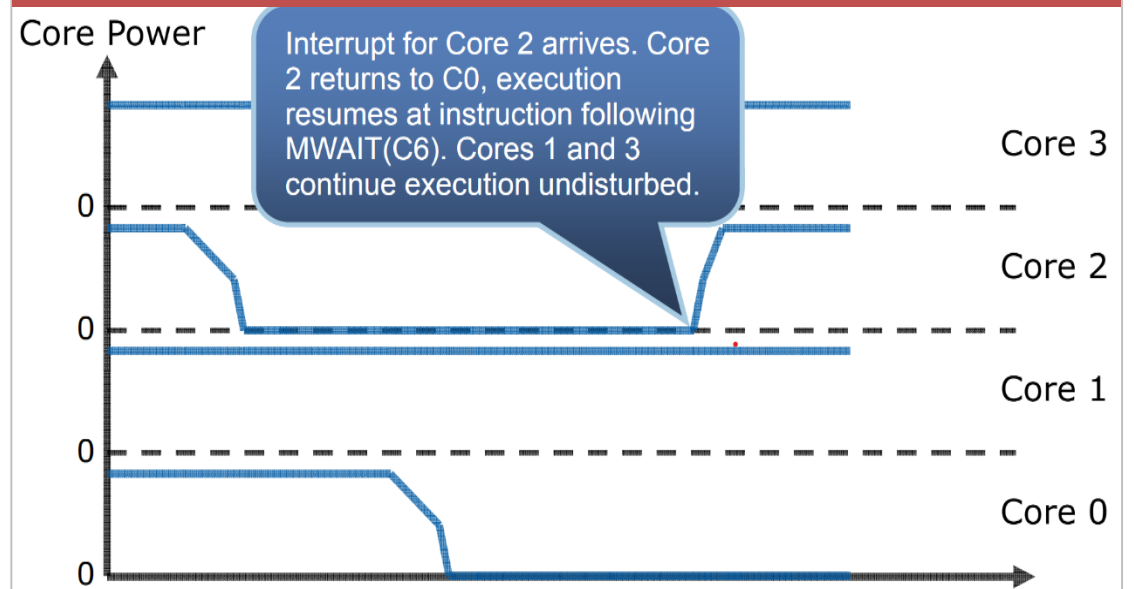
超线程技术回归为Nehalem架构带来SPEC性能大幅提升



资料来源: Intel IDF 2008: Steve Gunther & Ronak Singhal: Nehalem Family

由于核心数较多, 不同核心负责不同任务, 则每个核心单独控制最有利于控制功耗。Nehalem首次能够让不同核心单独控制功耗状态。图中展示了4核心处理器在不同核心执行不同任务时的功耗状态, 如果核心闲置, 功耗可以非常接近于0。

Nehalem首次允许不同核心进入不同工作状态并分别管理功耗



资料来源: Intel IDF 2008: Steve Gunther & Ronak Singhal: Nehalem Family

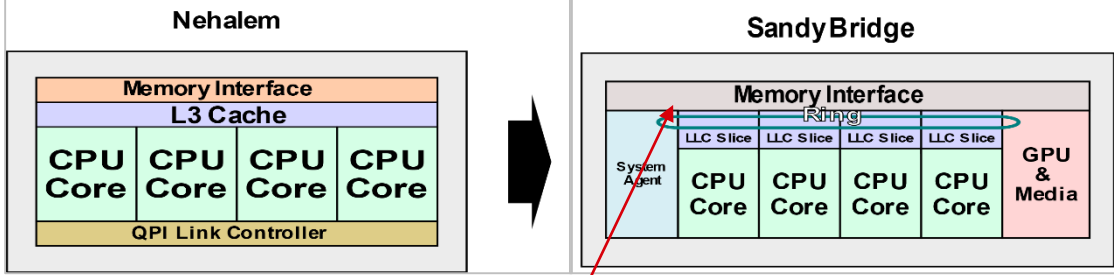
### 3.5.3. Sandy Bridge: Netburst后首个全新微架构，重点转向SoC层面

- Sandy Bridge对应第二代Core i以及第一代至强E5，集成了GPU和系统代理（包含各类对外连接），有较明显的性能提升，整体性价比进一步增强，强化Intel市场地位。

#### 2010/9

- 工艺：32nm HKMG，面积216mm<sup>2</sup>（4核心GT1）
- 晶体管数量：1.16b（4核心GT1）
- 技术突破：融合P6衍生系列与Netburst，首次将集显、内存控制器、外部总线控制器集成在核心单芯片，AVX指令集，Ring bus实现可扩展，睿频2.0

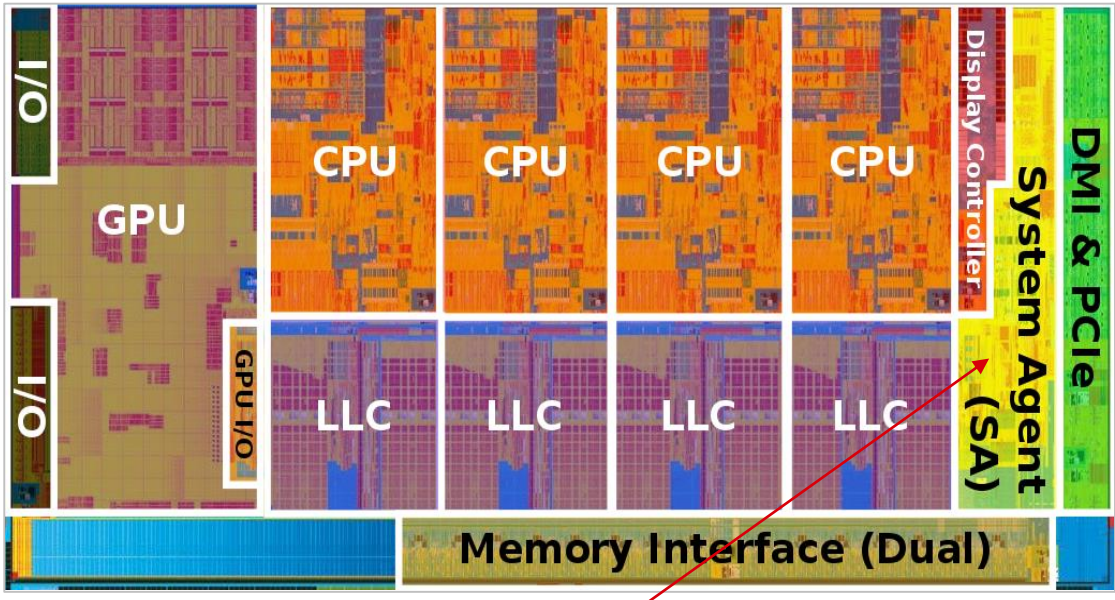
#### Sandy Bridge 架构相比前代变化



Sandy Bridge用Ring bus取代了QPI总线，不同核心之间的协作更加紧密，延迟降低，带宽提高，对多核性能有提升

资料来源：wikichip: Coffee Lake, 中信证券研究部

#### Sandy Bridge 4核版本 die shot

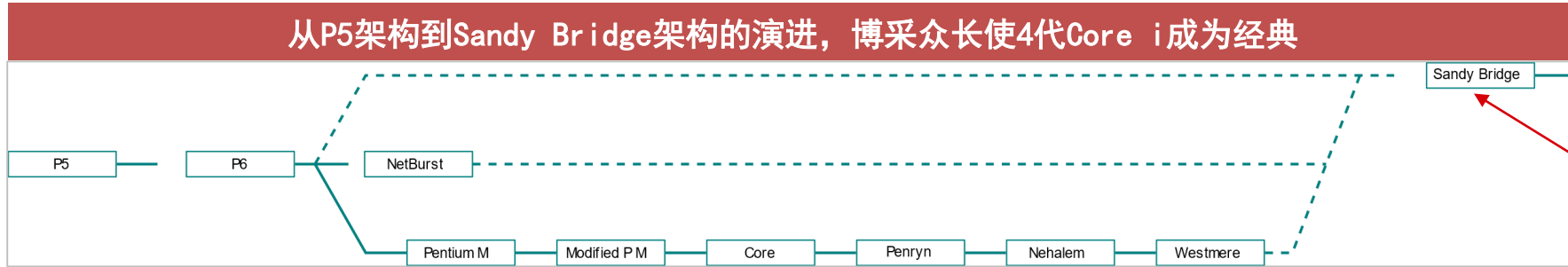


Sandy Bridge将DMI总线、PCIe接口、显示控制等外部接口整合到System Agent部分，同时集成核显，提高集成度和性价比。

资料来源：wikichip: Sandy Bridge(client), 中信证券研究部

### 3.5.3. Sandy Bridge: Netburst后首个全新微架构, 重点转向SoC层面

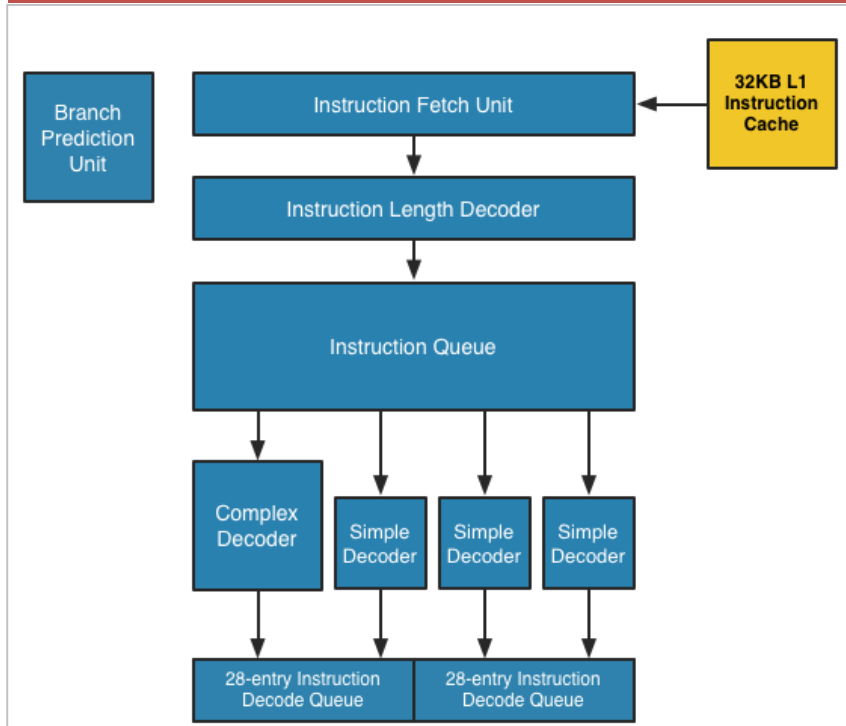
从P5架构到Sandy Bridge架构的演进, 博采众长使4代Core i成为经典



资料来源: wikichip: Sandy Bridge(client), 中信证券研究部

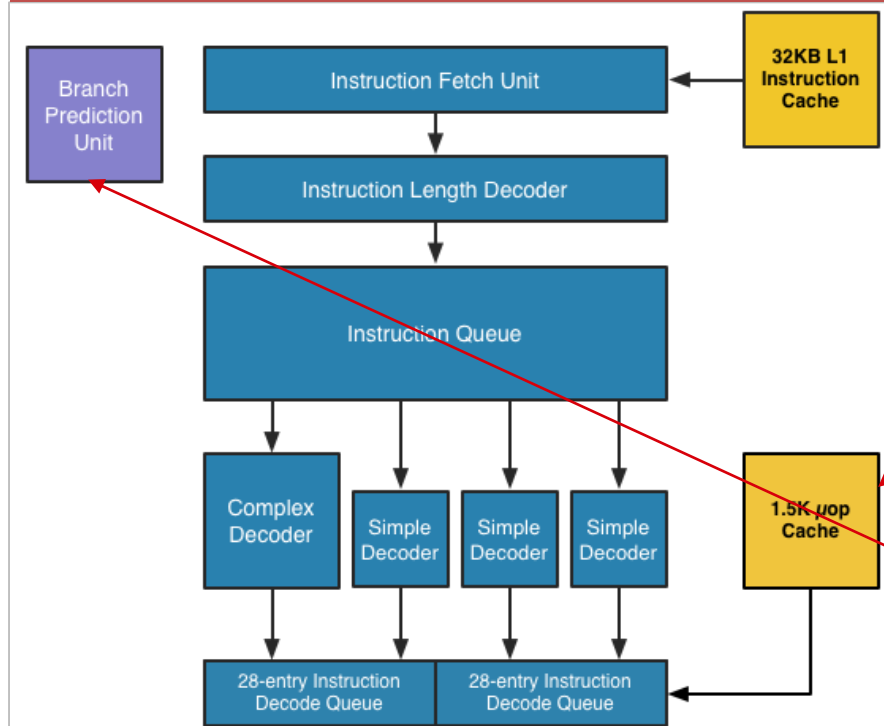
- 此前的奔腾M、Core、Nehalem等架构都是基于P6改进而来, 与Netburst完全独立, 而Sandy Bridge经过全新设计, 融合了Netburst相关技术, 比如增加了解码后微指令缓存等结构, 博采众长, 性能优秀。

Nehalem前端



资料来源: AnandTech: Intel Haswell Architecture Analyzed

Sandy Bridge前端



资料来源: AnandTech: Intel Haswell Architecture Analyzed, 中信证券研究部

Sandy Bridge新增微指令缓存, 近期已经解码过的指令无需再进行解码, 能够大大节约前端解码单元功耗

Sandy Bridge全新设计分支预测器, 提升准确率, 提升单核性能

### 3.5.4. Haswell: 延续Sandy Bridge架构, 针对笔电强化超低功耗表现

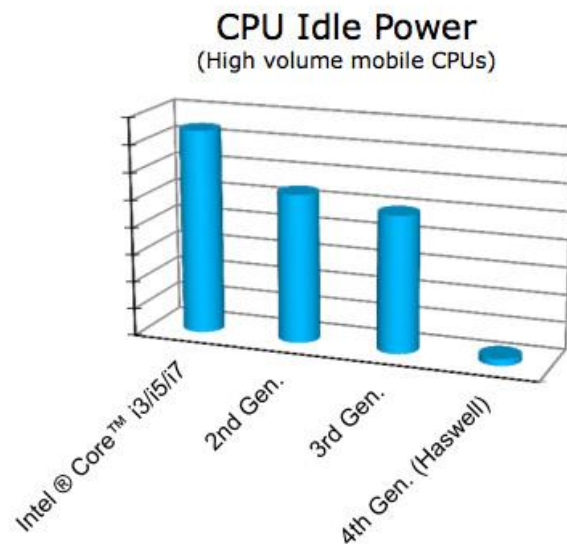
- 自Core以来, Intel就将关注重点从桌面转向笔记本电脑, 因此功耗控制愈发重要, 第四代Core i所对应的Haswell架构对功耗进行了深入优化, 让笔记本电脑续航大幅增加, 进一步增强Intel在笔电市场的竞争力。

#### Haswell – 2013/6

- 工艺: 22nm FinFET, 面积 177mm<sup>2</sup> (4核心GT2)
- 晶体管数量: 1.4b (4核心GT2)
- 技术改进: 能效比达到Nehalem 3.5倍, 缓存间带宽翻倍, DDR4, AVX2指令集, BMI1/BMI2指令集, FMA3指令集

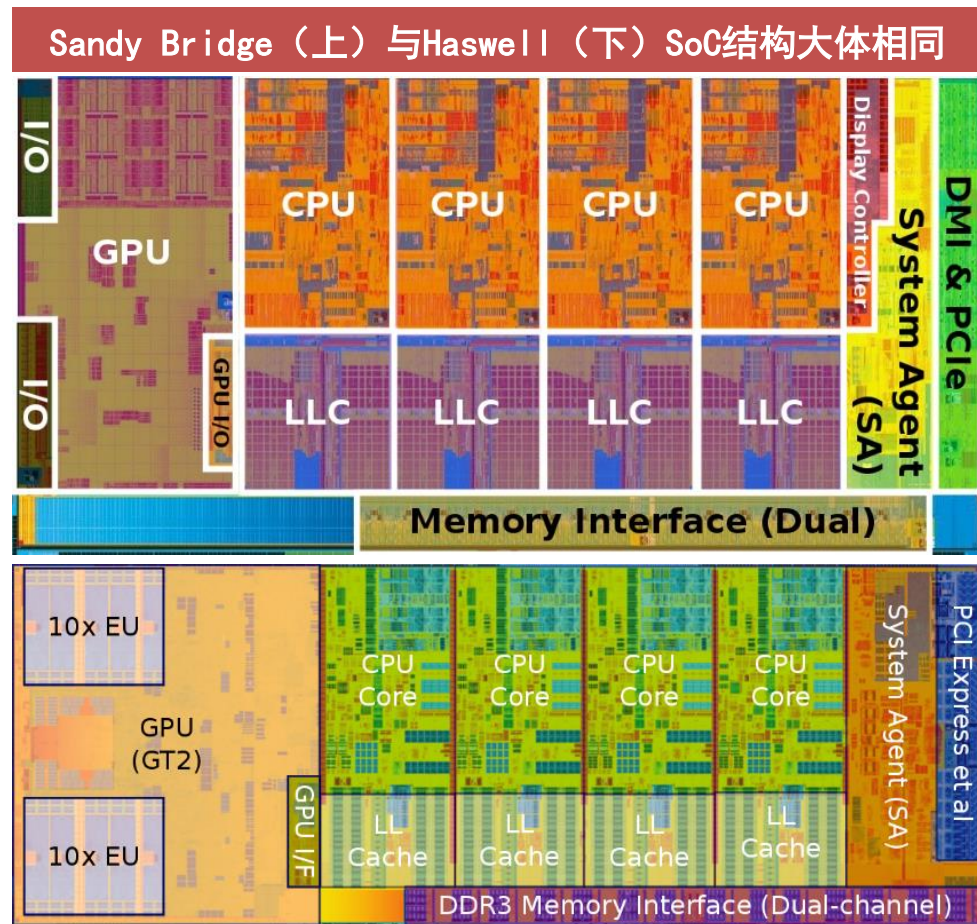
Haswell深度优化了处理器能耗, 调整了睡眠设置, 使处理器闲置能耗降低到原来的十分之一以下。

#### 前四代Core i核心闲置功耗



资料来源: IDF2012, AnandTech, 中信证券研究部

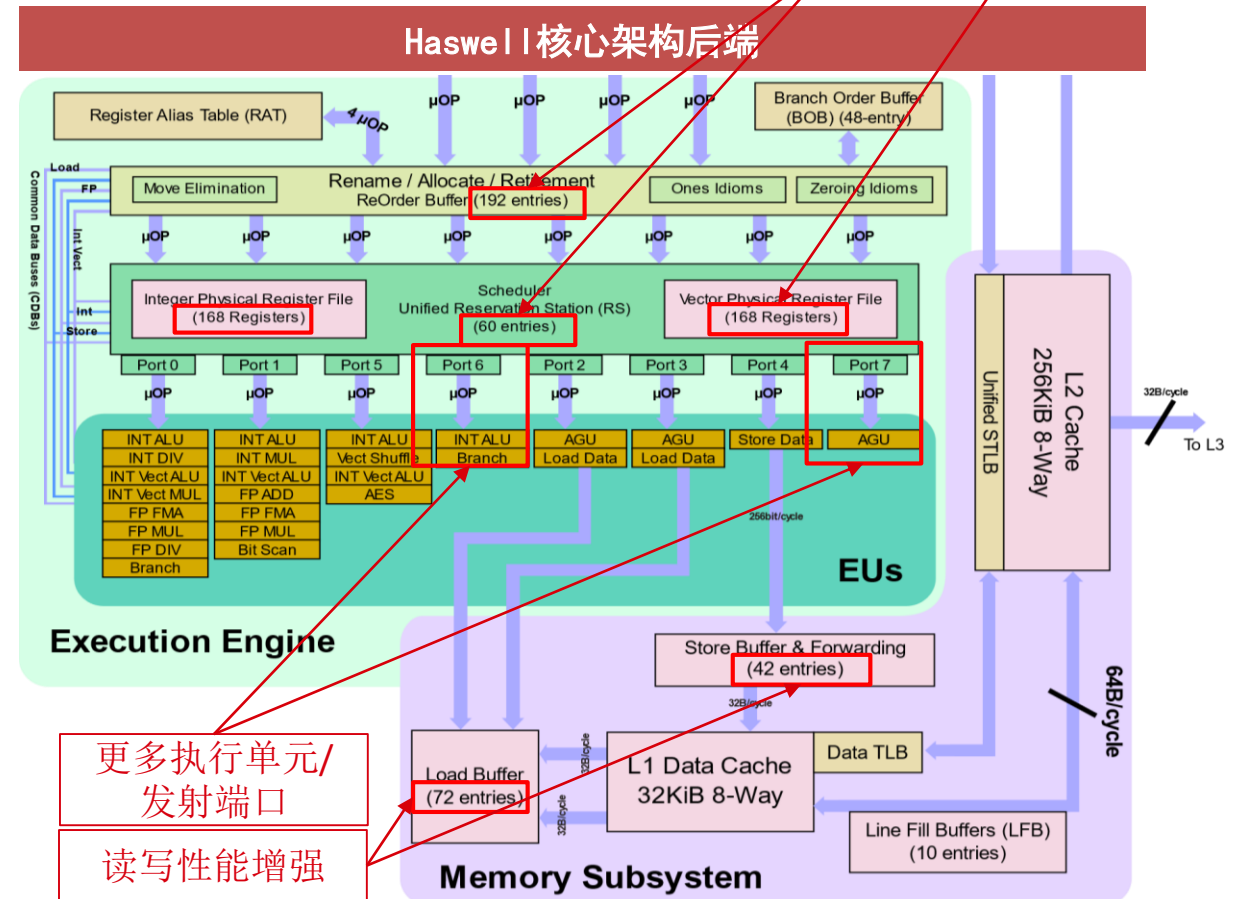
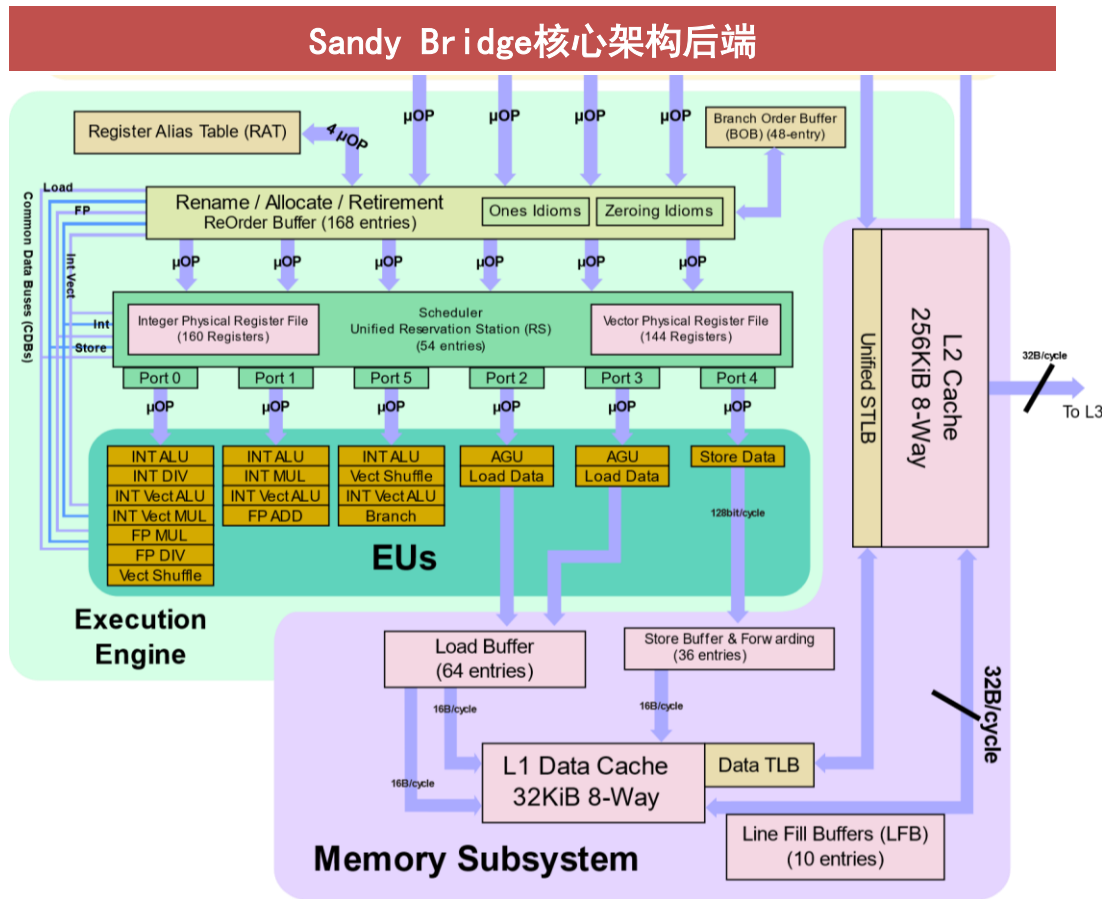
资料来源: IDF2012, AnandTech



资料来源: wikichip

# 3.5.4. Haswell: 延续Sandy Bridge架构, 更多执行单元, IPC小幅增强 中信证券

- 性能方面Haswell架构也比前代有所改进, 全面增强笔记本市场竞争力。
  - 核心微架构方面, 前端部分与Sandy Bridge相差不多, 主要改进集中在后端, 包括更大的乱序执行相关缓存, 更多的指令执行单元, 更大的读写缓存等。



资料来源: wikichip, real world technologies

资料来源: wikichip, 中信证券研究部

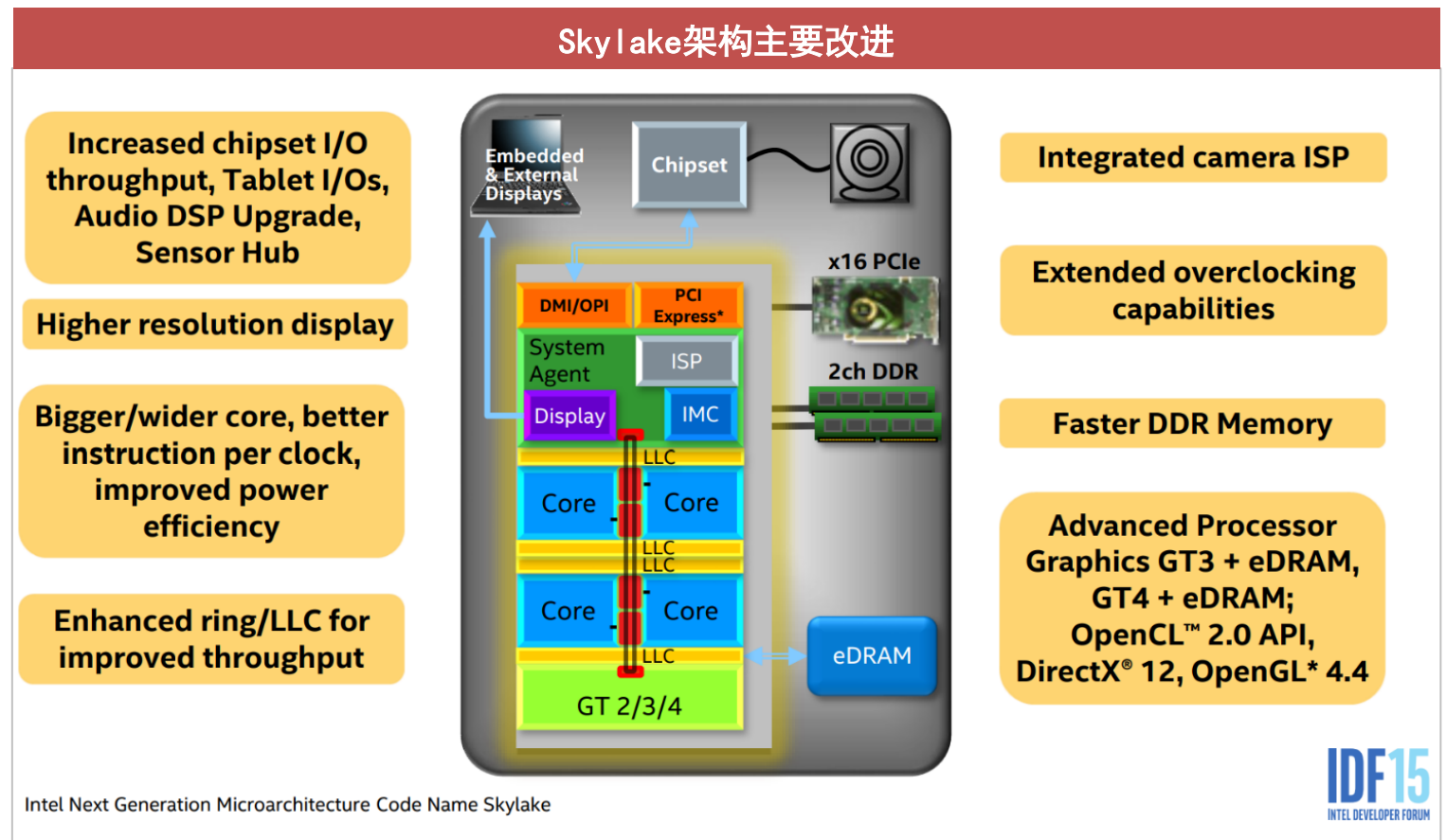
### 3.5.5. Skylake: 主要改进在于SoC层面集成ISP、eDRAM

- **Skylake**与上一代架构Haswell乃至再上一代Sandy Bridge相比，单核微架构方面改进并不多，微架构已经开始逐渐饱和，主要改进放在了SoC层面，但由于市场缺乏有力竞争者，Intel仍然占据完全主导地位。
  - SoC层面改进主要包括集成了相机ISP、嵌入式DRAM控制器、更高分辨率显示支持、输入输出接口集成等。

#### Skylake client - 2015/8

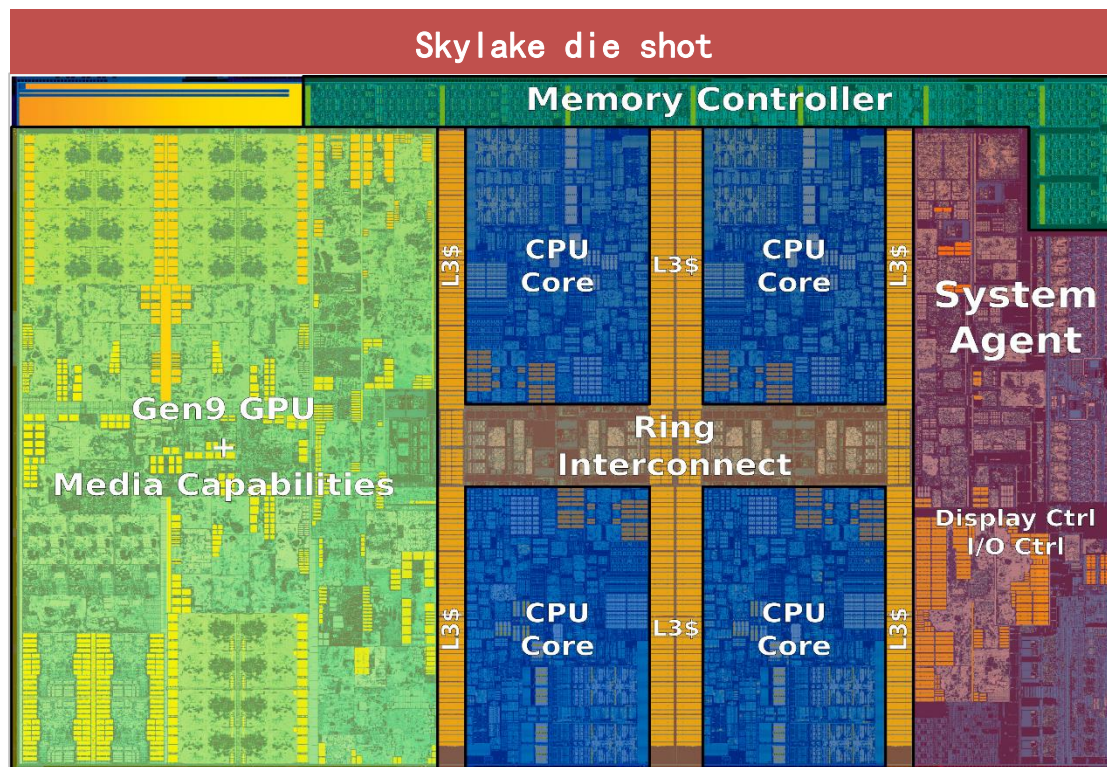
- 工艺：14nm FinFET，面积 101.83mm<sup>2</sup>（2核心GT2）
- 晶体管数量：1.75b（2核心GT2）
- 技术改进：尺寸减小，可扩展性增强，多媒体功耗降低，集成ISP，增强超频能力，核显、内存、ringbus改进，软件防护与内存保护扩展，DMI3.0，同频整数性能提升10%

#### Sky Lake架构主要改进

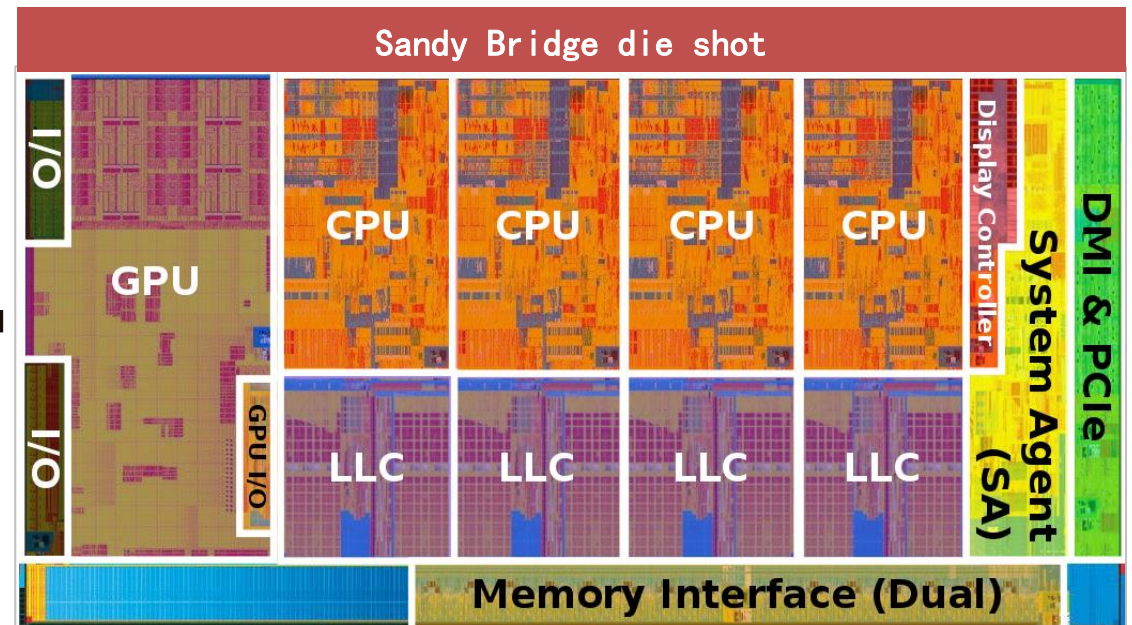


### 3.5.5. Skylake: 芯片布局更改, 通信效率与面积利用率更高

- Skylake与上一代架构Haswell乃至再上一代Sandy Bridge相比, 单核微架构方面改进并不多, 微架构已经开始逐渐饱和, 主要改进放在了SoC层面, 但由于市场缺乏有力竞争者, Intel仍然占据完全主导地位。
  - SoC布局方面, Skylake将四个核心从Nehalem时代开始的直线布局调整成为田字格布局, 核心间距离更短, 通信延迟更小, 且芯片面积利用率更高。此外核显面积明显加大。



资料来源: wikichip: Skylake (client)



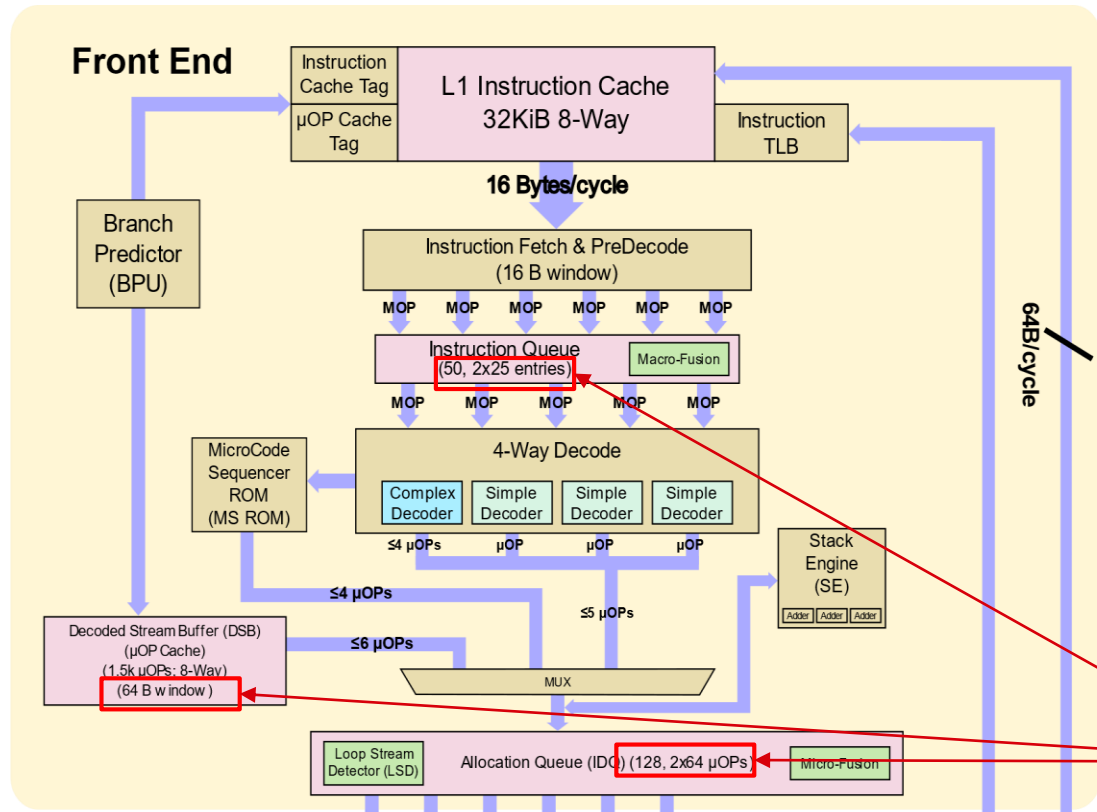
资料来源: wikichip: Sandy Bridge (client)



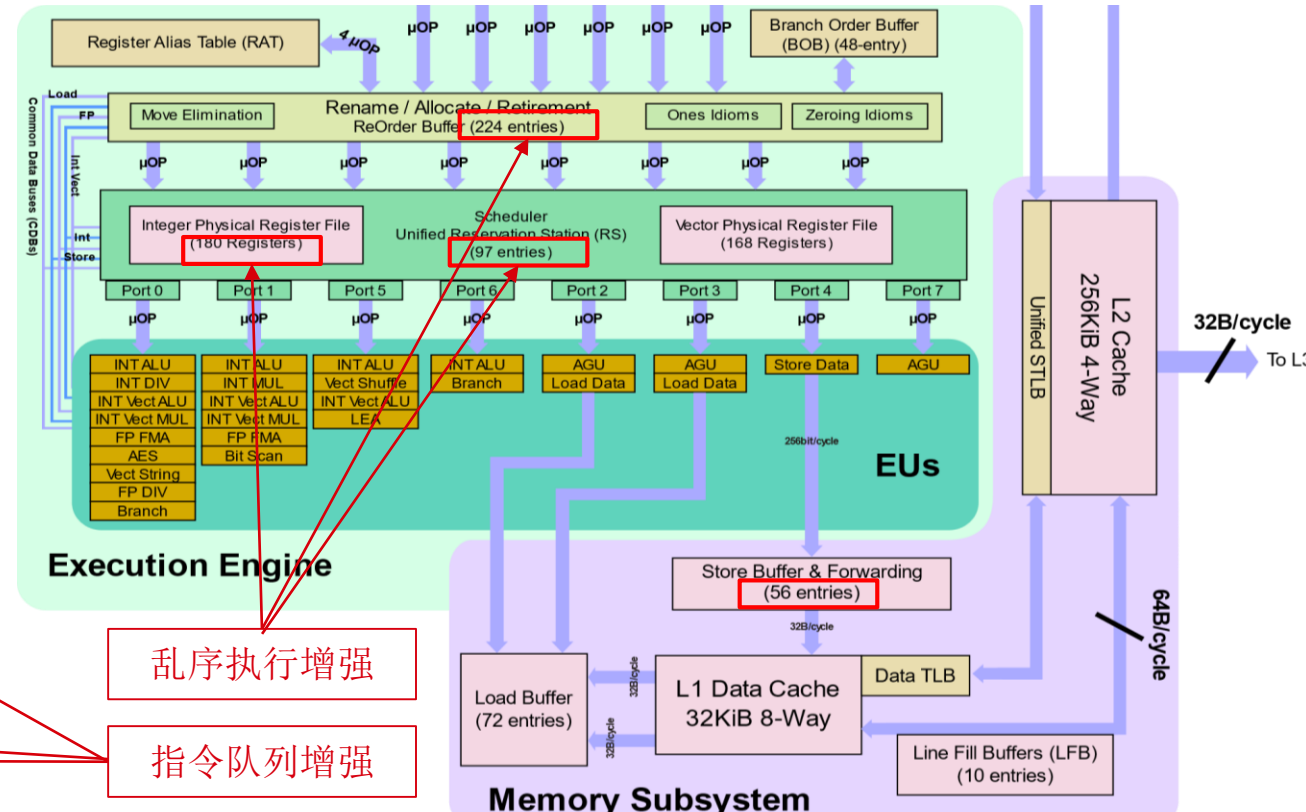
### 3.5.5. Skylake: 单核改进不大, 以量变为主

- Skylake与上一代架构Haswell乃至再上一代Sandy Bridge相比, 单核微架构方面改进并不多, 微架构已经开始逐渐饱和, 主要改进放在了SoC层面, 但由于市场缺乏有力竞争者, Intel仍然占据完全主导地位。
  - 单核前端主要是加大了指令队列、微指令缓存等, 后端主要加强乱序执行性能, 整体来看并无技术突破, 主要是量变。

Skylake消费端核心架构前端



Skylake消费端核心架构后端



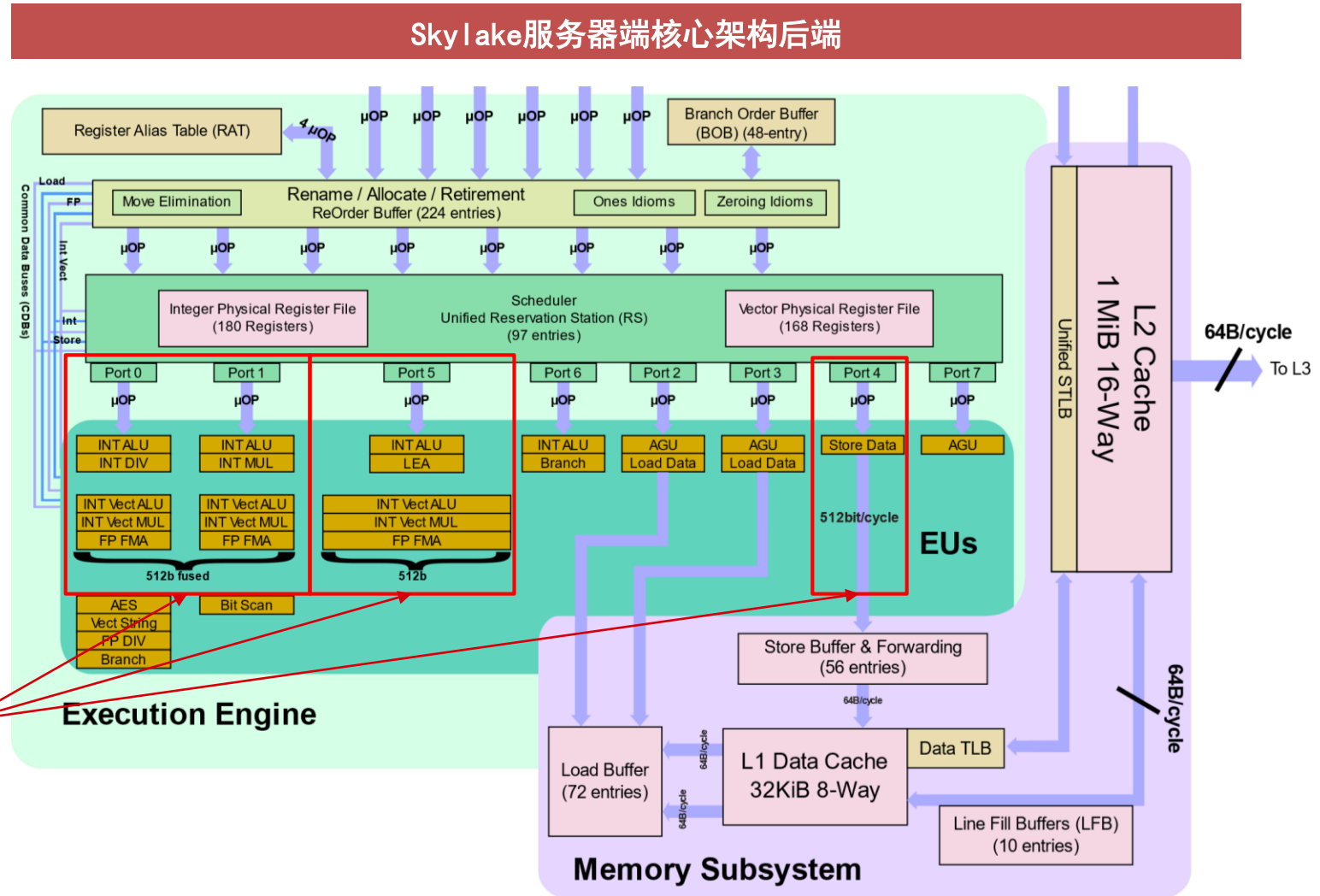
### 3.5.5. Skylake: 服务器与桌面端首次核心不同, 支持SIMD增强AI计算

- 此前从Celeron到Xeon都使用相同核心架构, Skylake首次为桌面端和服务器端构建不同核心。服务器端主要强化SIMD, 有向AI迈进的趋势, 其对应产品为第一代至强可扩展, 命名方式也从E3/5/7更换为Platinum、Gold、Silver、Bronze。
  - 服务器端核心相比桌面端改进主要在后端, 强化了SIMD性能, 前端基本保持一致

#### Skylake SP/X/W - 2017/5

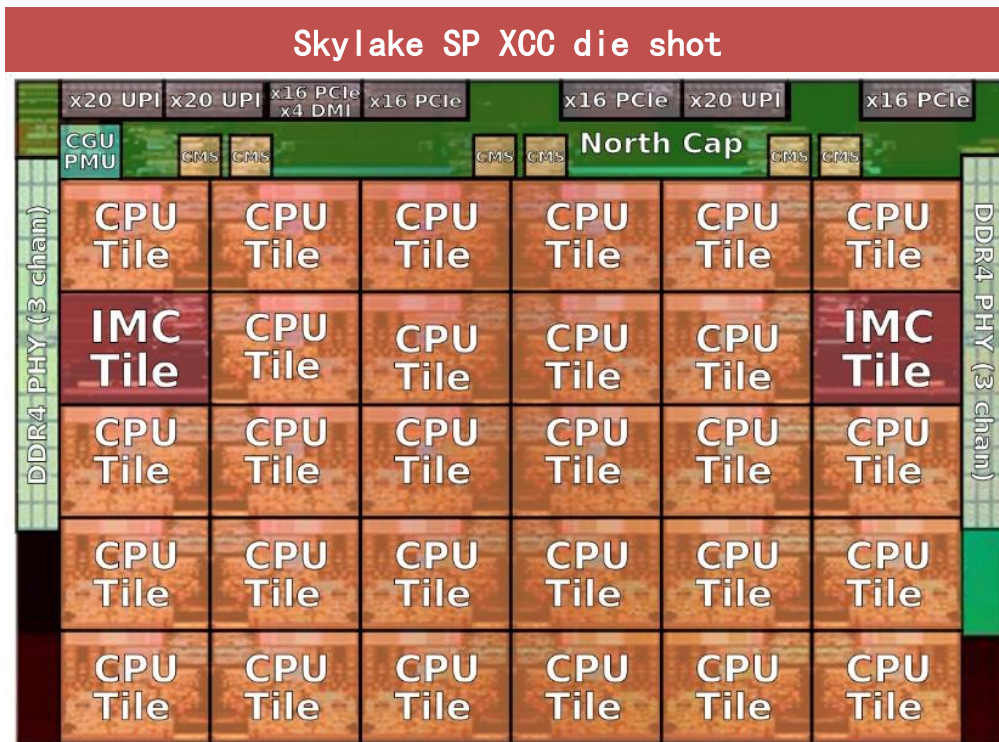
- 工艺: 14nm FinFET, 面积694mm<sup>2</sup> (28核)

首次支持AVX-512, port 0/1可融合支持512位指令, port 4/5直接支持512位操作

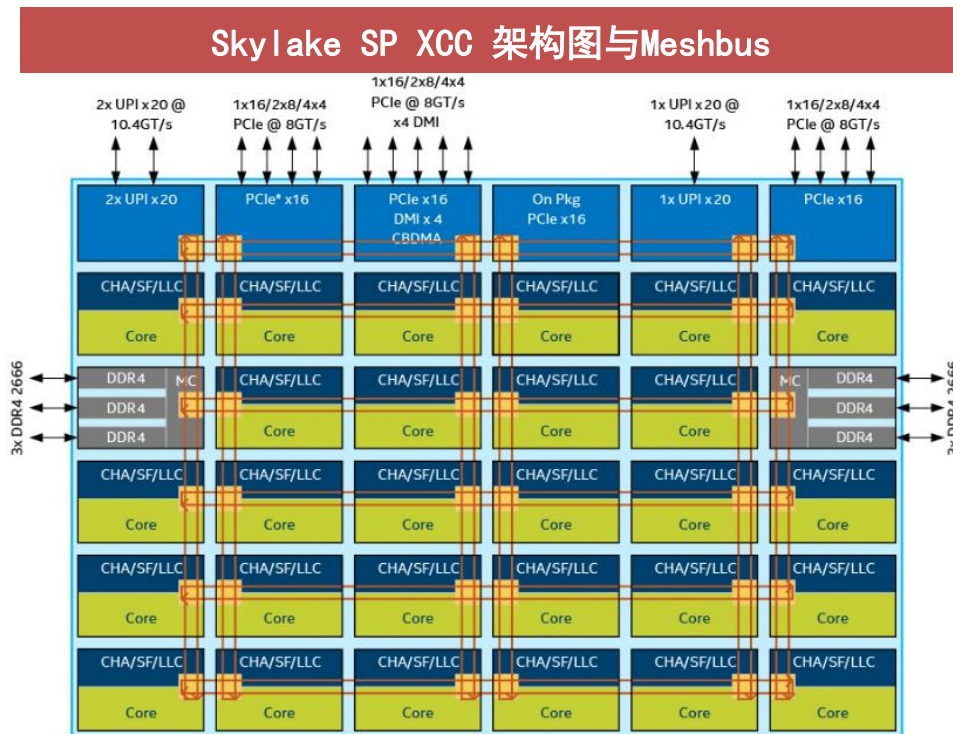


### 3.5.5. Skylake: 服务器端使用可扩展设计方便堆核

- 服务器端在SoC层面的改进：核心间互联从ringbus改为meshbus，采用高度可扩展设计，可便捷组成不同核心数的设计，处理器间使用UPI互联。这一类改进主要方便堆核。
  - Mesh架构主要构成要素包括Mesh（横向与纵向的半个ringbus构成的网），Tile（模块化可复制的核心IP块，其中又分为Core Tile和IMC Tile，即integrated memory controller Tile），CHA（Caching/Home Agent，用于维持缓存一致性），CMS（Converged/Common Mesh Stop）



资料来源: wikichip: Skylake (Server)

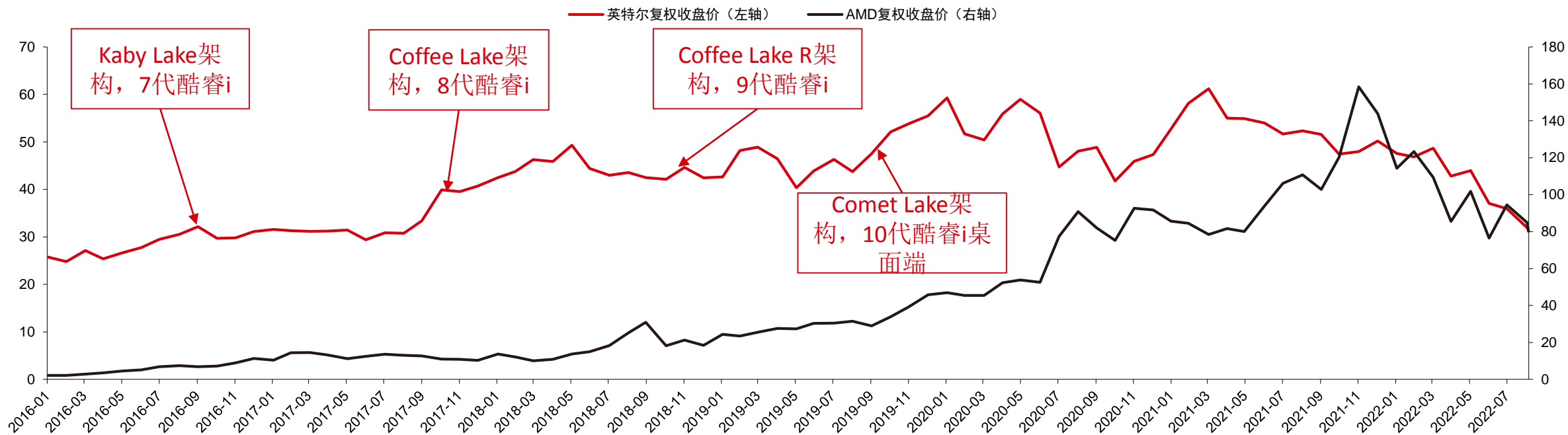


资料来源: wikichip: Skylake (Server)

### 3.6 减速时代：架构改进取决于工艺，集成与异构成为新趋势

- Skylake架构后，Intel工艺进展不顺，连带架构也难以迭代，导致产品性能逐渐被赶超，AMD利用开放大生态是一个关键原因。
  - 官方宣布Tick-Tock两年周期变为PAO（工艺，架构，优化）三年周期，实际周期明显超过三年
- 工艺放缓与单核架构成熟已成为明显趋势，通过增加核心、异构集成等方式提升系统整体性能成为不得不走的道路。

2016-2022 Intel与AMD股价

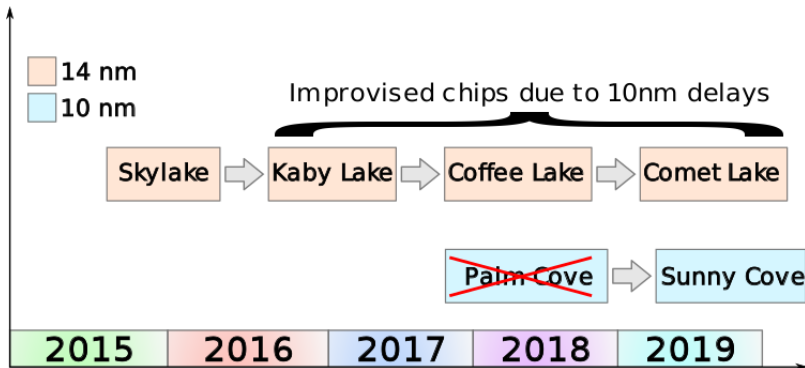


资料来源：wind，中信证券研究部

### 3.6.1. 多核时代的停滞：Skylake后，工艺停滞，架构基本不变

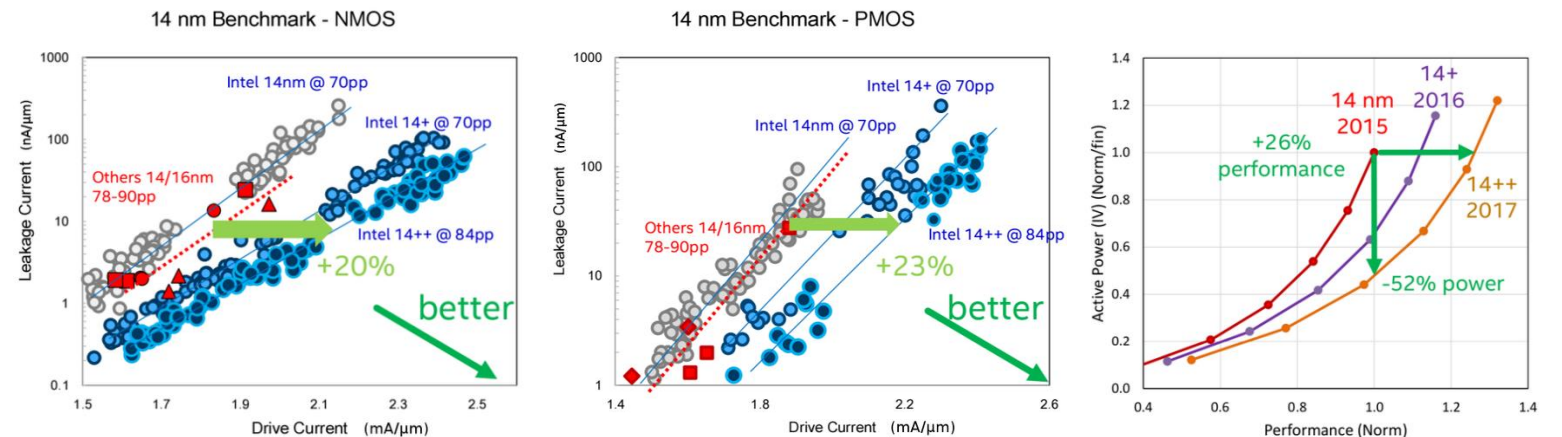
- 更先进的微架构需要晶体管来实现，更多晶体管势必要求更大的面积，更大的面积带来更低的良率与更高的成本
- 工艺的停滞导致面积无法缩小，对架构的提升有明显制约作用
- 原计划接替Skylake的第一代10nm处理器Cannon Lake由于制程延迟而未真正大规模量产，对应的Palm Cove核心也被取消，仅有一款Core i3-8121U双核芯片在2017年底进行了少量生产，并应用在一款面向教育市场的联想笔记本Ideapad 330和Intel Crimson Canyon NUC等极少数产品，且该芯片无法使用核显，2020年Linux中上万行服务Cannon Lake核显的代码被删除
- 2019年量产10nm产品，直到2021年7月Intel才官方证实10nm晶圆产量超过14nm，期间Intel为保持产品节奏临时增加了Kaby Lake、Coffee Lake（包含Amber Lake、Whiskey Lake两款低功耗核心）、Comet Lake三代14nm产品，而架构层面几乎没有变化，均维持着与Skylake相同的IPC，仅有主频、内存频率、chipset、核心数量、核显等方面提升

Intel临时增加的14nm架构



资料来源: wikichip: Sunny Cove

Intel历代14nm工艺主要增强了驱动电流，有利于提高频率并降低同频功耗

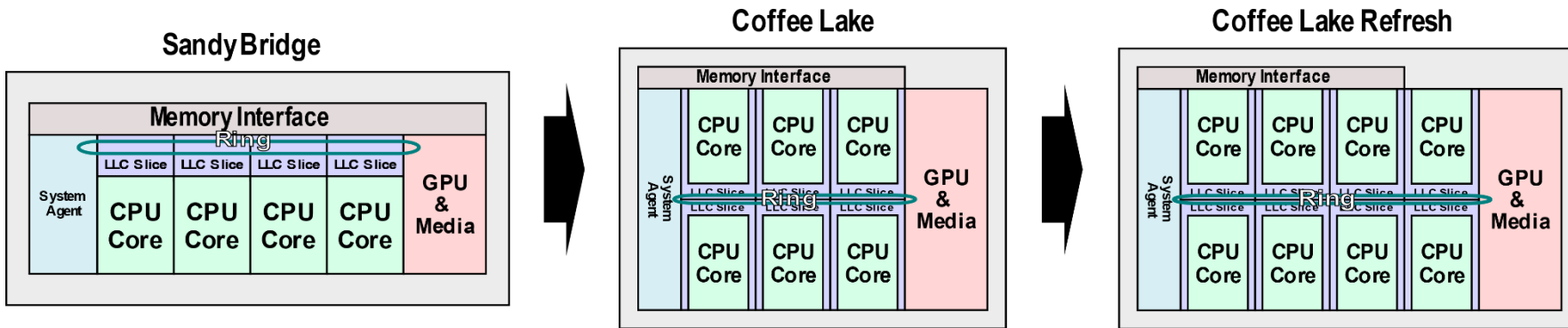


资料来源: wikichip: Coffee Lake

Matched leakage/fin @ 0.7V  
Highest performance device

### 3.6.1. 多核时代的停滞：Skylake后，工艺停滞，架构基本不变

Kaby Lake – 2016/8	Coffee Lake – 2017/10	Coffee Lake Refresh– 2018/10	Comet Lake – 2019/8
<ul style="list-style-type: none"> <li>工艺：14nm+，126mm<sup>2</sup>（4核GT2, 24EU）</li> <li>变动：沿用Skylake核心架构，核显从Gen9升级为Gen9.5，主频提升15%，内存频率从2133升级到2400，增加Optane支持，台式奔腾增加超线程支持</li> </ul>	<ul style="list-style-type: none"> <li>工艺：14nm++，126mm<sup>2</sup>（4核GT2, 24EU）</li> <li>变动：沿用Skylake核心架构，沿用Gen9.5核显，相比上代4核心，增加6核产品，LLC相应从8MB增加到12MB，（i3从2c到4c，i5/i7从4c到6c），chipset升级USB/WiFi</li> </ul>	<ul style="list-style-type: none"> <li>工艺：14nm++，174mm<sup>2</sup>（8核）</li> <li>变动：沿用Skylake核心架构，增加8核产品，LLC相应从12MB增加到16MB</li> </ul>	<ul style="list-style-type: none"> <li>工艺：14nm++</li> <li>变动：沿用Skylake核心架构，沿用Gen9.5核显，核心数从8增加到10，LLC相应从16MB增加到20MB，chipset升级2.5G以太网与WiFi6支持，芯片减薄以增加散热</li> </ul>



资料来源：wikichip：Coffee Lake，中信证券研究部

- 工艺停滞时代的产品受到面积限制，为维持良率和成本，给新架构提供新空间较为困难，如果只是堆核心，则成本比较可控，可屏蔽损坏的核心，将产品放到下一档次出售

### 3.6.1. 多核时代的停滞：Skylake后，工艺停滞，架构基本不变

- 服务器端，随着工艺制程的停滞，架构也随之停滞，Skylake SP后两代产品Cascade Lake和Copper Lake均沿用Skylake架构，导致产品性能提升缓慢，相对AMD的原有优势逐渐减弱，乃至被反超

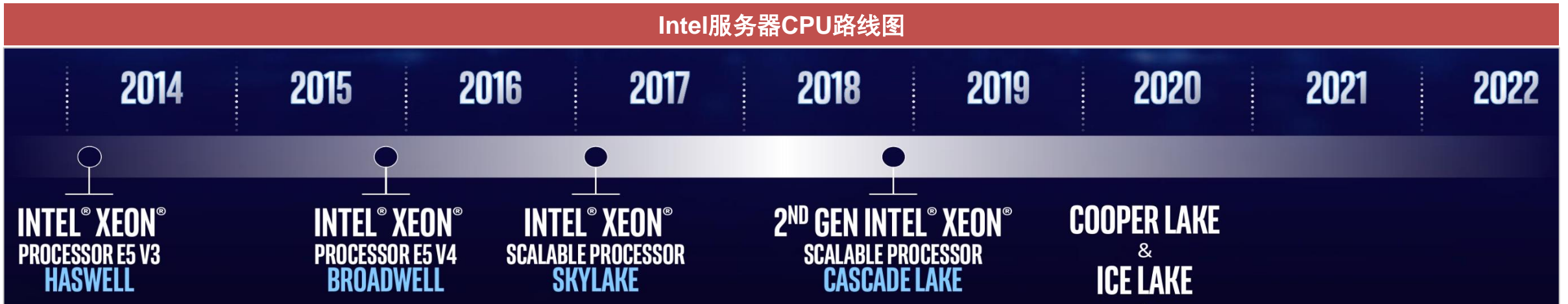
#### Cascade Lake – 2019/4

- 工艺：14nm FinFET
- 变化：沿用Skylake SP内核，芯片产品与Skylake引脚兼容（LGA-3647），增加9200系列（Cascade Lake AP，核心数量增加，最多可达56核以及12个DDR4通道），继续使用UPI连接，主频提升，内存频率与容量提升，增加Optane支持

#### Copper Lake – 2020/6

- 工艺：14nm FinFET
- 变化：单CPU支持UPI连接数从3提升到6，内存频率升高，封装变为LGA-4189，支持BFloat16数据格式以增强AI性能

Intel服务器CPU路线图



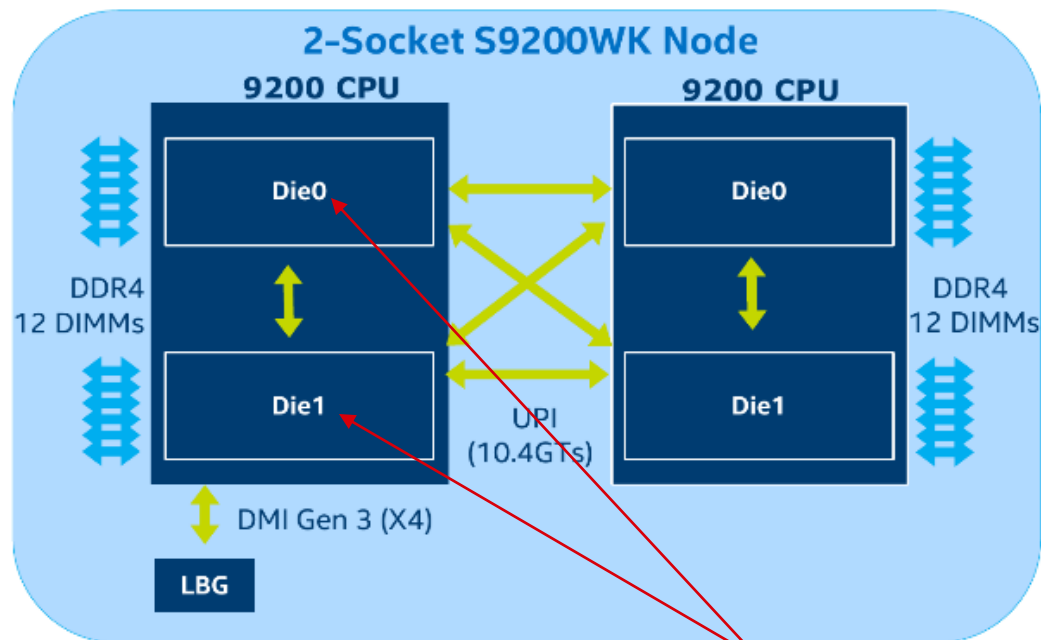
资料来源：Intel 2019 Investor Meeting, wikichip, 中信证券研究部

三代产品架构本质上都是Skylake，四年内性能提升较小

### 3.6.1. 多核时代的停滞：Skylake后，工艺停滞，架构基本不变

- 服务器端，随着工艺制程的停滞，架构也随之停滞，Skylake SP后两代产品均沿用Skylake架构，Intel开始采用集成和堆核的方式提高产品性能，比如至强9200系列是由2个8200封装而成，达到核心数翻倍的效果。

两个8200封装成一个9200，并可采用UPI互联



每个9200内部都是两个8200CPU

- Intel® Xeon® Platinum 9200 Processors consist of two die in a BGA package
- Multi-chip processor with single hop latency for any of the CPU die to memory in a 2S node
- Key IO/mem features include:
  - 12 ch DDR4 2933 MT/s per CPU
  - 4 UPI x20 wide at 10.4GT/s per CPU
  - x80 PCIe G3 lanes per 2S Node in Intel® Server Systems S9200WK\*



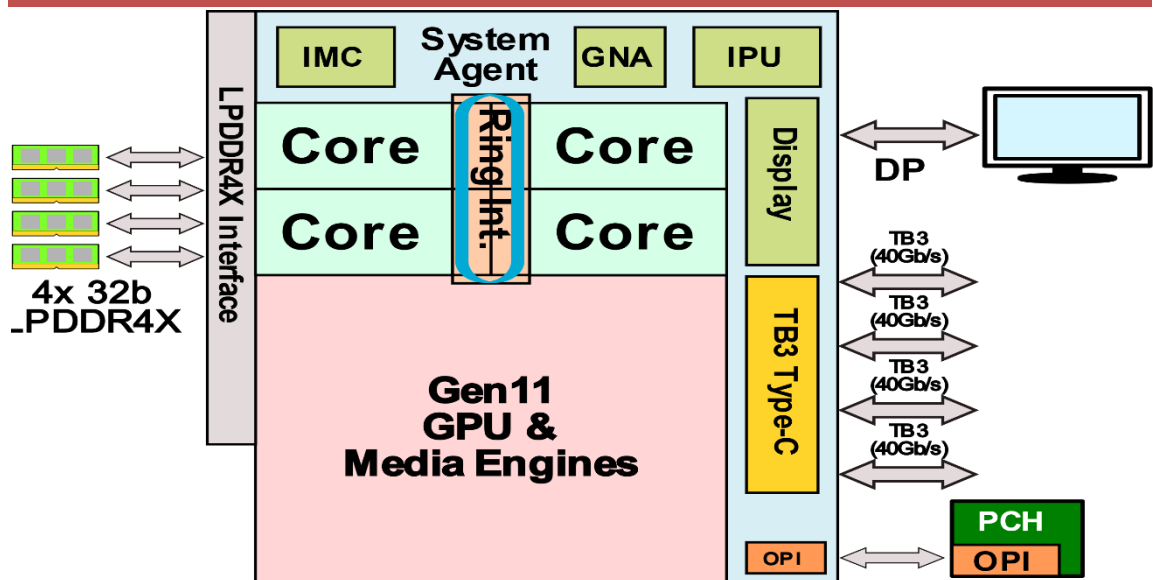
### 3.6.2. Ice Lake: 工艺重启带动架构迭代, CPU集成雷电接口

- 工艺提升带动集成度和架构再次提升。Ice Lake集成雷电3 (TB3) 接口和神经网络加速器 (GNA), 为近年来最大规模集成, 同时核心提升也是近年来最大, 可见工艺对架构的重要性

2019/5

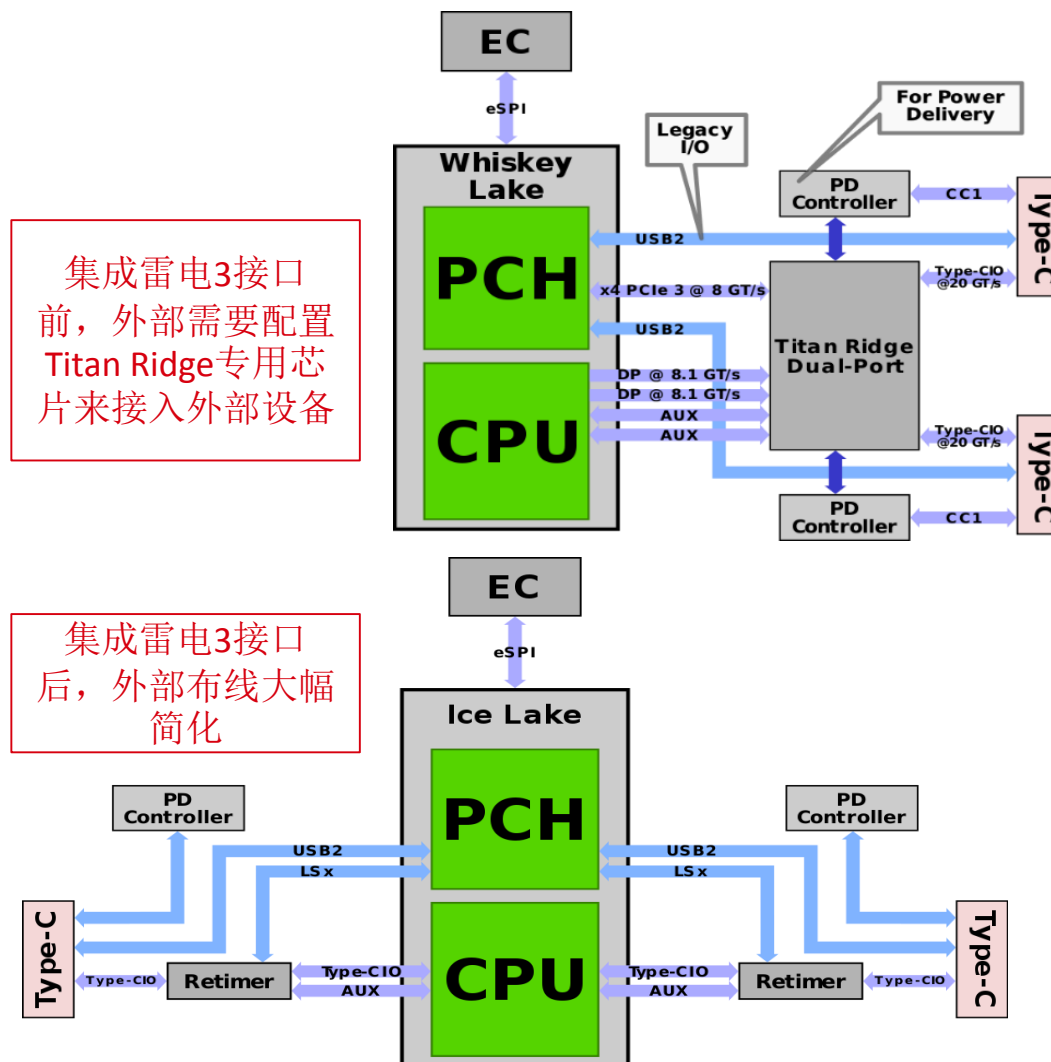
- 工艺: 10nm, 122.52mm<sup>2</sup> (4核)
- 技术突破: 采用全新Sunny Cove核心, IPC大幅提升, 集成Thunder Bolt 3控制器, 集成神经网络处理器GNA、第四代IPU, 与PCH共封装, 采用OPI互联

Ice Lake SoC架构



资料来源: wikichip: Ice Lake (client)

集成TB3前 (上) 与集成后 (下) 外部布线情况



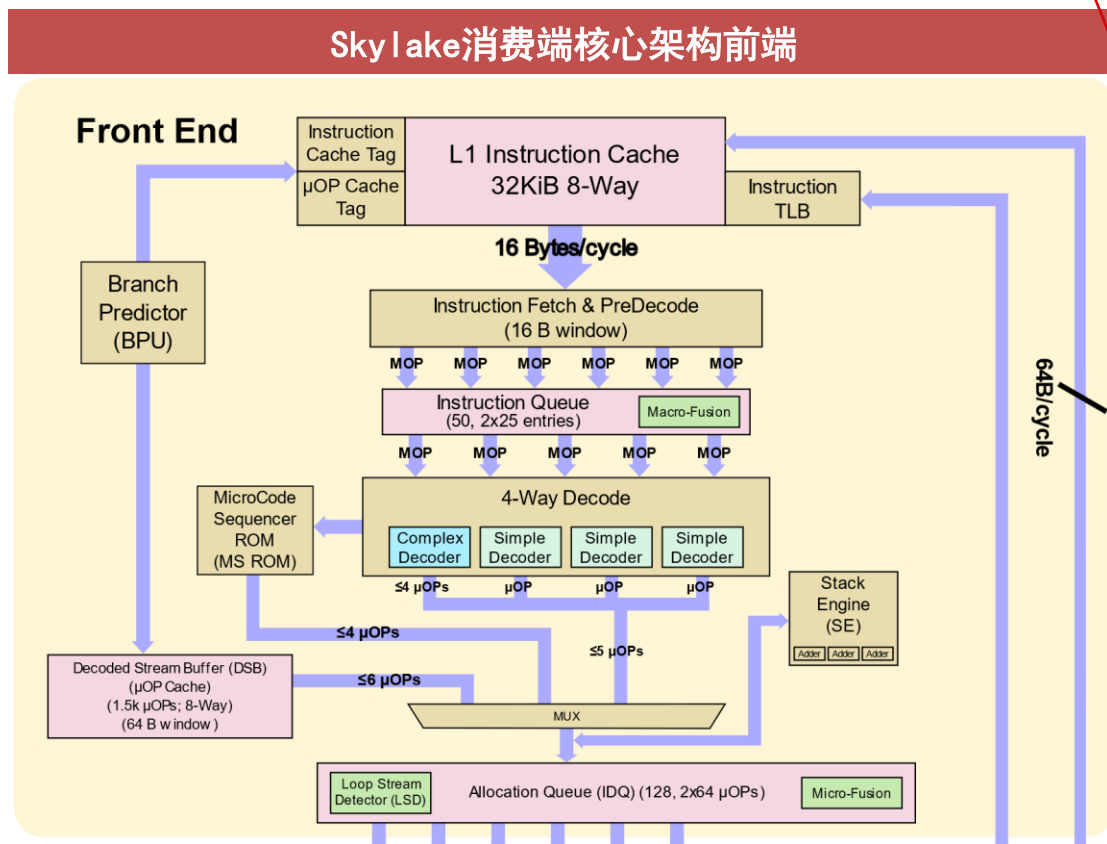
集成雷电3接口前, 外部需要配置Titan Ridge专用芯片来接入外部设备

集成雷电3接口后, 外部布线大幅简化

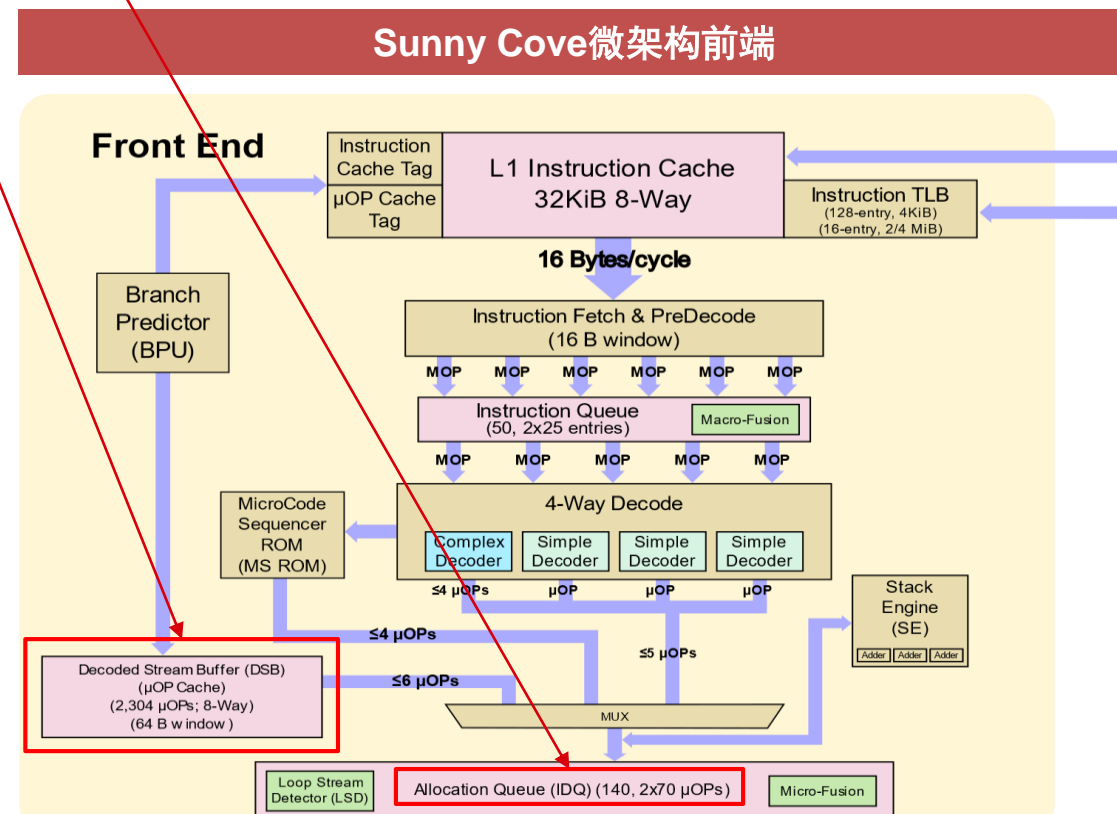
资料来源: wikichip: Ice Lake (client), 中信证券研究部

## 3.6.2. Sunny Cove: 工艺重启带动架构迭代, IPC提升18-20%

- Sunny Cove用于Ice Lake架构的10代移动端酷睿, 工艺制程提升带来充足的架构升级空间, 为Skylake后第一次大改, SPEC测试中IPC提升18-20%, 10代酷睿暂时在一定程度上缓解了来自AMD的进攻势头
  - 指令集方面推出SHA指令与AVX-512扩展, 支持神经网络计算, 服务器端还包含内存加密指令等
  - 相比Skylake微架构全方位提升, 从前端来看, 解码缓存和指令队列增加, 能够让后端利用率更高



资料来源: wikichip



资料来源: wikichip: Sunny Cove, 中信证券研究部

## 3.6.2. Sunny Cove: 工艺重启带动架构迭代, IPC提升18-20%

- Sunny Cove用于Ice Lake架构的10代移动端酷睿, 工艺制程提升带来充足的架构升级空间, 为Skylake后第一次大改, SPEC测试中IPC提升18-20%, 10代酷睿暂时在一定程度上缓解了来自AMD的进攻势头

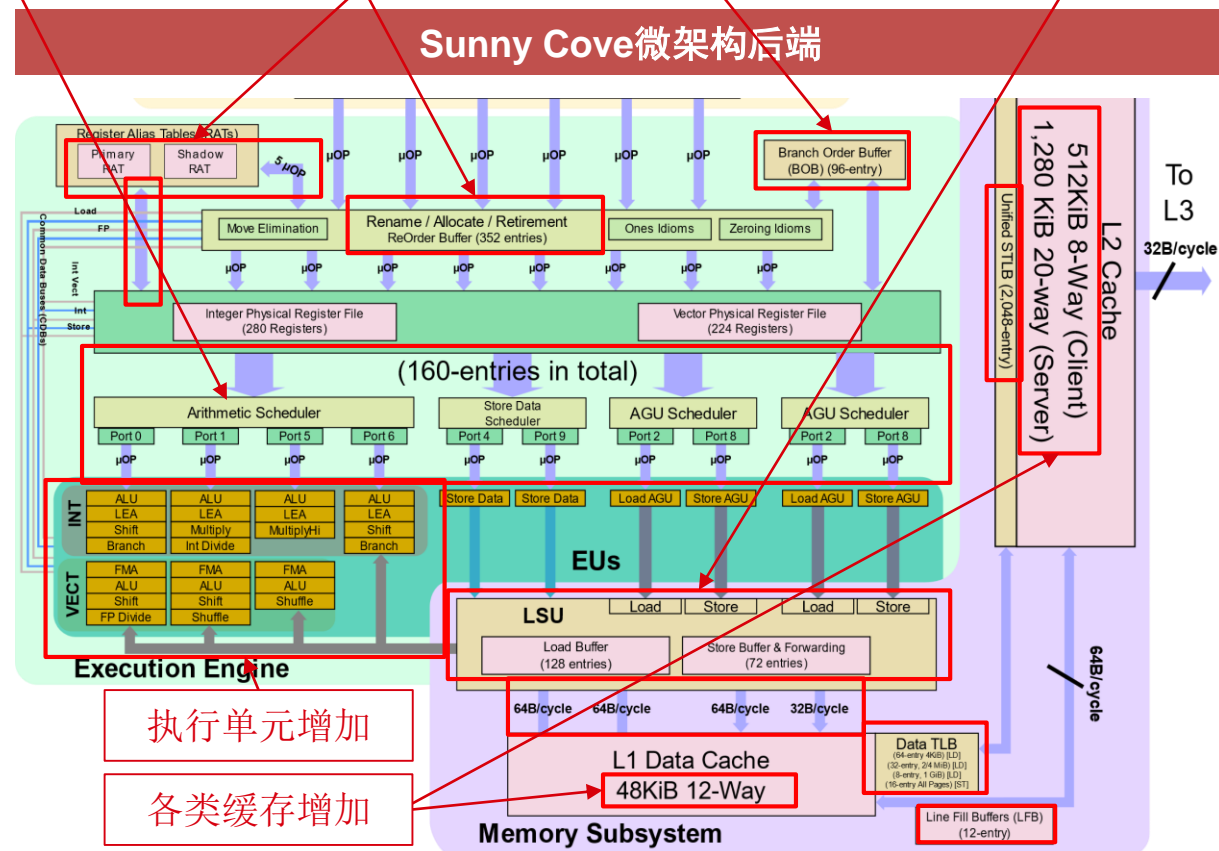
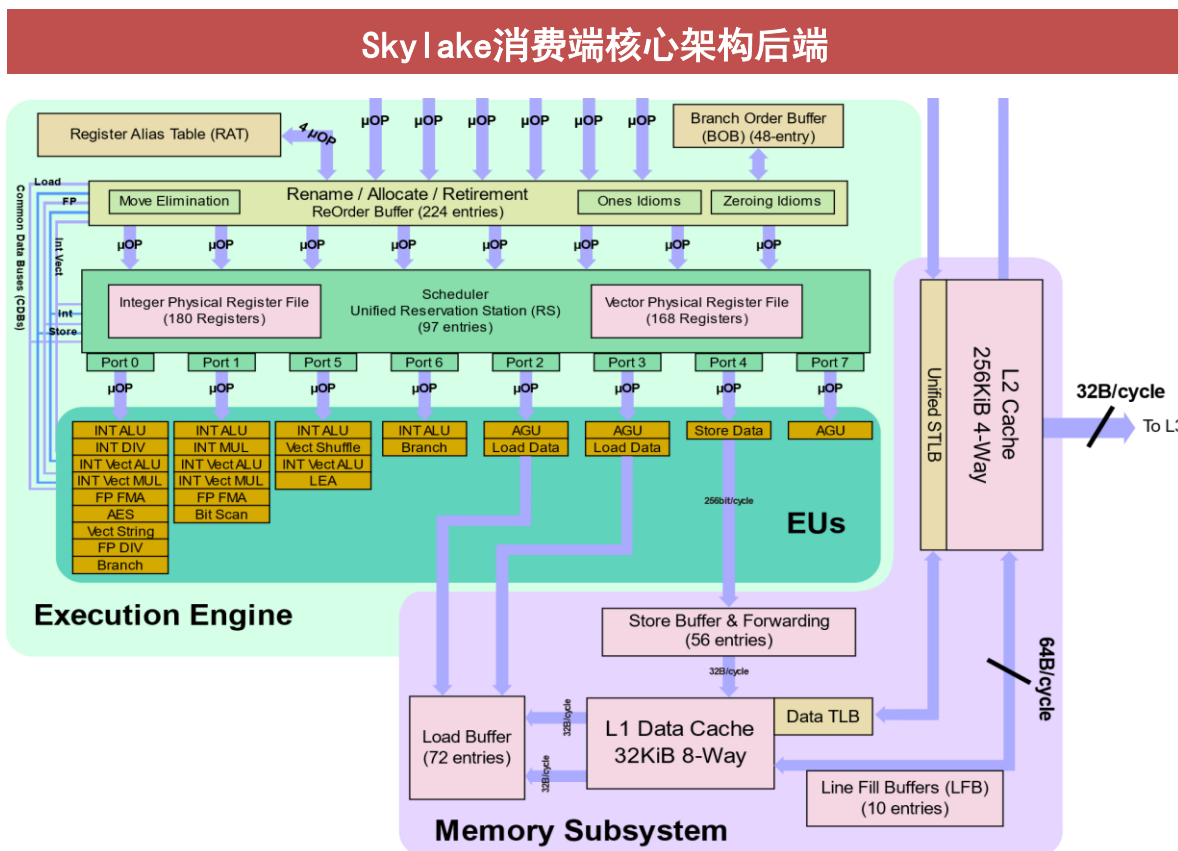
➢ 相比Skylake微架构全方位提升, 后端发射端口数量增加到10个, 分支预测与乱序执行相关缓存也大幅增加, LSU、AGU增加

发射端口增加

乱序执行强化

分支预测强化

读写性能强化



执行单元增加

各类缓存增加

### 3.6.3. Rocket Lake / Tiger Lake: Sunny Cove基础上小改，提升不大 中信证券 CITIC SECURITIES

- Tiger Lake和Rocket Lake分别用于11代酷睿的移动端和桌面端，本质上都是Sunny Cove的小改版，性能提升不明显，因此在上市上也未能取得良好进展，市场进一步被AMD占据。

#### Tiger Lake – 2020/9

- 工艺：10nm
- 变化：换用**Willow Cove**核心，该核心在Sunny Cove基础上扩大了L2/L3缓存，增加了LPDDR5支持，提高内存带宽，增加内存加密功能

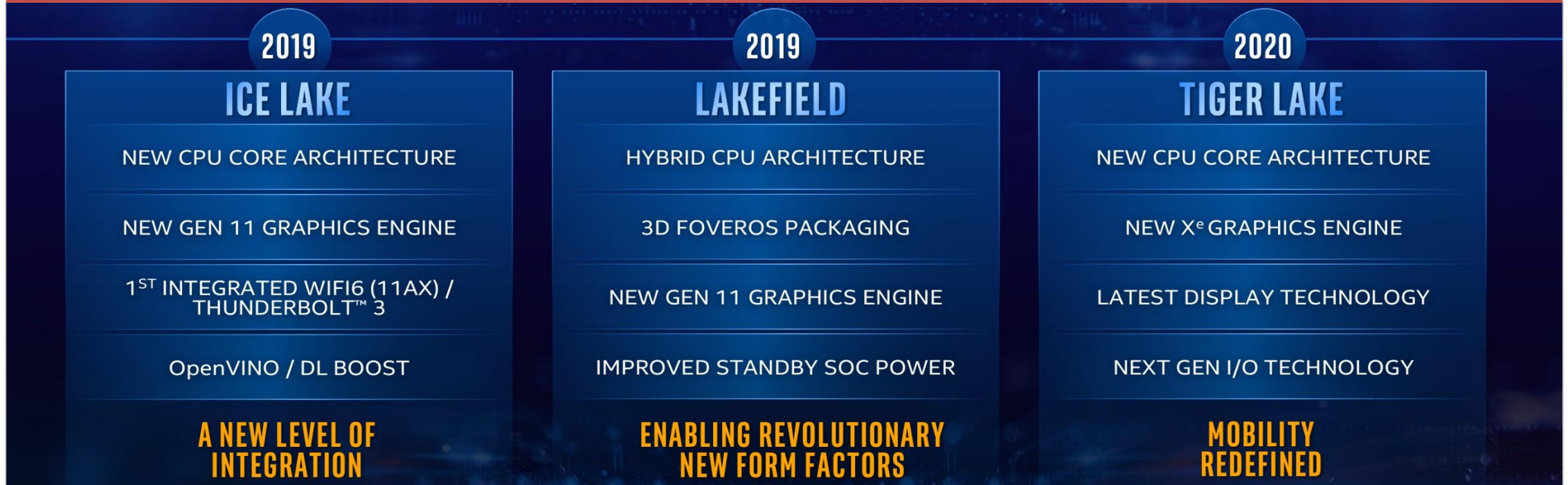
资料来源：Intel 2019 Investor Meeting，中信证券研究部

#### Rocket Lake – 2021/3

- 工艺：14nm
- 变化：采用**Cypress Cove**核心，该核心实际为Sunny Cove的14nm放大版，用于桌面端

资料来源：wikichip，中信证券研究部

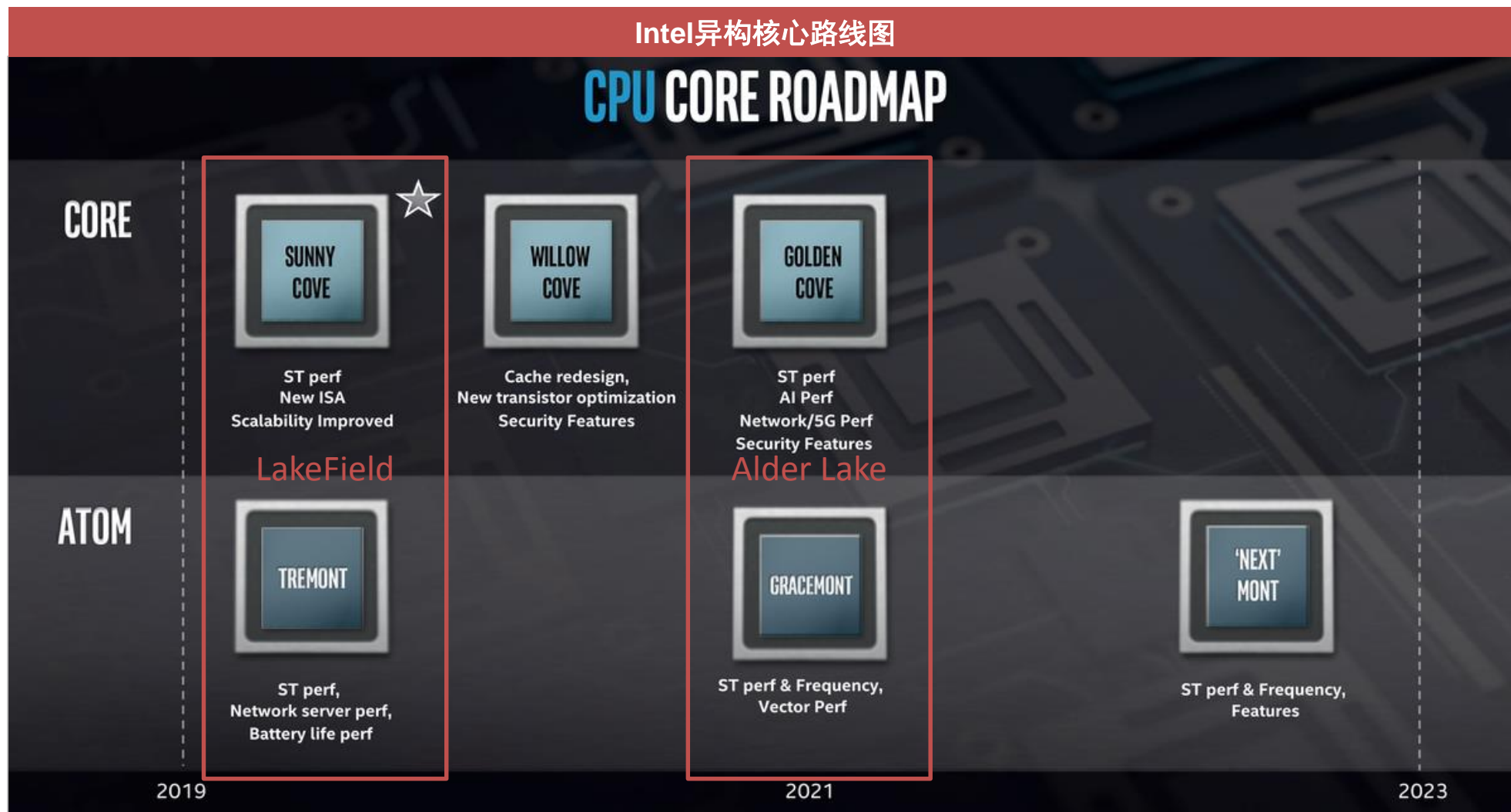
#### Ice Lake到Tiger Lake路线图



资料来源：Intel 2019 Investor Meeting

### 3.7.异构时代：核心微架构基本成熟，场景优化成为关键

- 自Sandy Bridge后，SoC架构演进有所放缓，Skylake后进一步放缓
- 单核微架构主要技术在多年前就已成熟
- 指令集发展也较为成熟，边际效用递减，AVX-512等新指令集在大多数场景未收到良好效果
- 借鉴ARM领域，异构集成提高能效成为下一步的合理选择



资料来源：Intel Architecture Day 2018（含预测），wikichip，中信证券研究部

# 3.7.1. Lakefield: 1 Sunny Cove + 4 Tremont, 异构集成牛刀初试

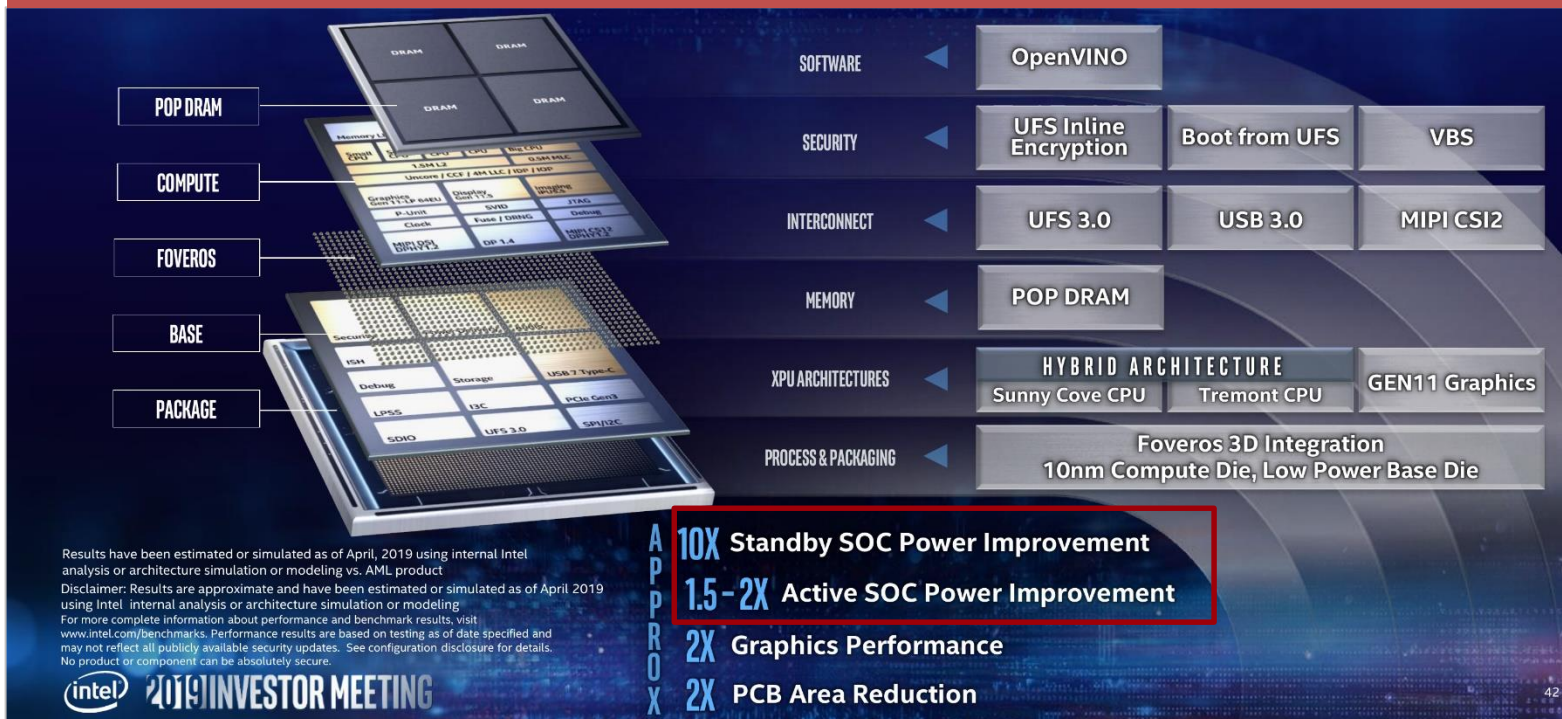
- 作为Intel首款异构集成产品，初步验证了异构集成的可行性和优越性

## Lakefield – 2019

- 工艺：10nm计算核心+22nm基础电路
- 变化：采用1 Sunny Cove + 4 Tremont的一大四小异构集成设计，能够针对不同应用发挥最佳效果，能效比显著提升，采用Foveros先进封装，10nm和22nm共同封装降低成本
- 根据2020架构日，混合架构给LakeField降低91%待机功耗，提高24%高功率能效比，操作系统优化可进一步提高33%网络表现，提高17%能效

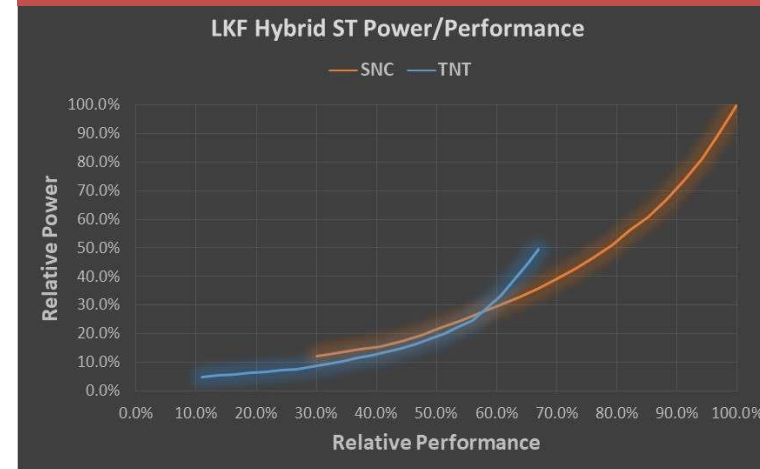
资料来源：Intel 2019 Investor Meeting，Intel architecture day 2020，wikichip，中信证券研究部

## Intel Lakefield产品主要特点



资料来源：Intel 2019 Investor Meeting，wikichip，中信证券研究部

## Sunny Cove大核提升单核性能



资料来源：IEEE Hot chips 2019，wikichip

## 4个Tremont小核心有更好的多线程表现



资料来源：IEEE Hot chips 2019，wikichip

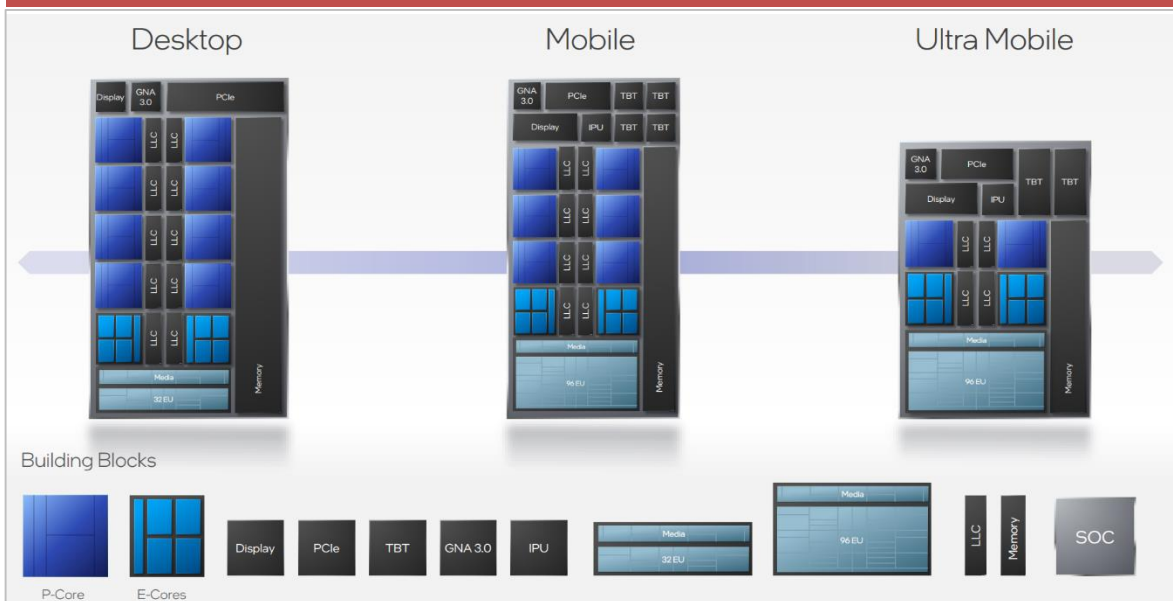
## 3.7.2. Alder Lake : 深度改进大小核异构, 模块化设计便于扩展

### Alder Lake – 2021

- 工艺: Intel 7 (10nm Enhanced SuperFin)
- 技术突破: 异构集成, 同时具备大核心 (P Core) 和小核心 (E Core); 采用模块化可扩展设计方式, 不同功能单元可灵活拼装, 1个P核与4个E核面积相当; 采用全新设计的Golden Cove大核心 (微架构大幅改进, IPC+19%) 和Gracemont小核心 (能效比显著提升); 开发线程调度器ITD, 使程序能够灵活使用大小核

资料来源: Intel Architecture Day 2021, 中信证券研究部

### Alder Lake 模块化设计



资料来源: Intel Architecture Day 2021

- 英特尔为异构处理器同步开发线程调度器ITD(Intel Thread Director), 调度协调两类核心, 并与微软合作, 优化了ITD在Windows 11上的性能
- ITD应用全新的EcoQoS分类, 使调度程序能够判断线程是更倾向于能效还是性能, 决定线程是否会被调度到能效核。优先任务使用P核, 后台任务使用E核, AI线程使用P核, 循环等待线程使用E核。

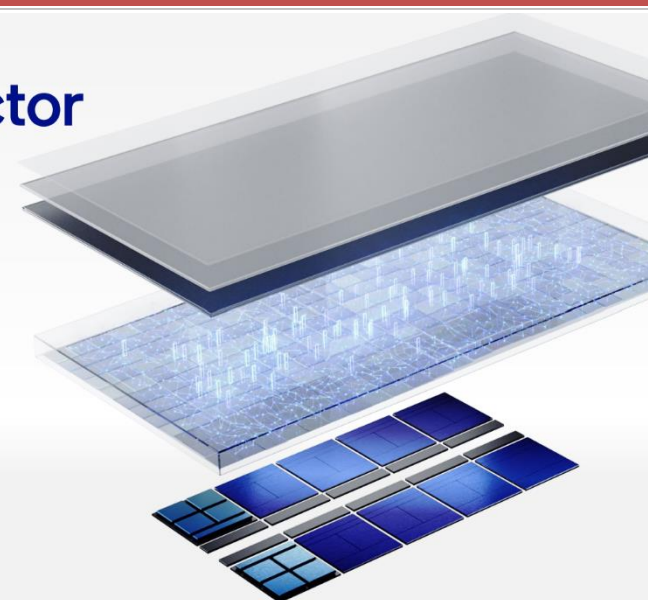
### Intel线程调度器逻辑

Introducing

## Intel Thread Director

Scheduling Examples

- 1 Priority tasks scheduled on P-cores
- 2 Background tasks scheduled on E-cores
- 3 AI thread prioritized on P-core
- 4 Spin loop wait moved from P to E-core



资料来源: Intel Architecture Day 2021

## 3.7.2. Golden Cove: Sunny Cove后又一力作，超宽架构IPC+19%

### ■ 性能核代号为Golden Cove，将单线程性能推向极致

- Golden Cove核心采用超深前端+超宽后端+智能分支预测设计，前端解码器数量从4增加到6，微指令缓存从2.25K增加到4K条；指令调度部分，重排序缓存ROB容量从352增加到512，发射端口数量从10增加到12，整数ALU从4个到5个；新增向量加法单元FADD，向量乘加单元支持FP16数据格式.....

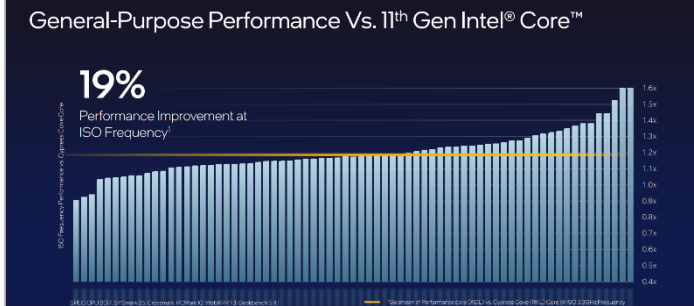
Golden Cove性能核心具有12发射、5整数ALU超宽后端，512指令ROB超深前端



- **Golden Cove核心新增矩阵运算扩展单元**（Intel Advanced Matrix Extensions, AMX），适用于数据中心等场景，可大幅增强AI等任务表现

- **Performance(性能)**：Golden Cove在结构上具有巨大变化，依据SPEC rate 2017测试得到的IPC较上一代大核心Willow Cove提升约19%

Golden Cove比上一代 IPC提升19%





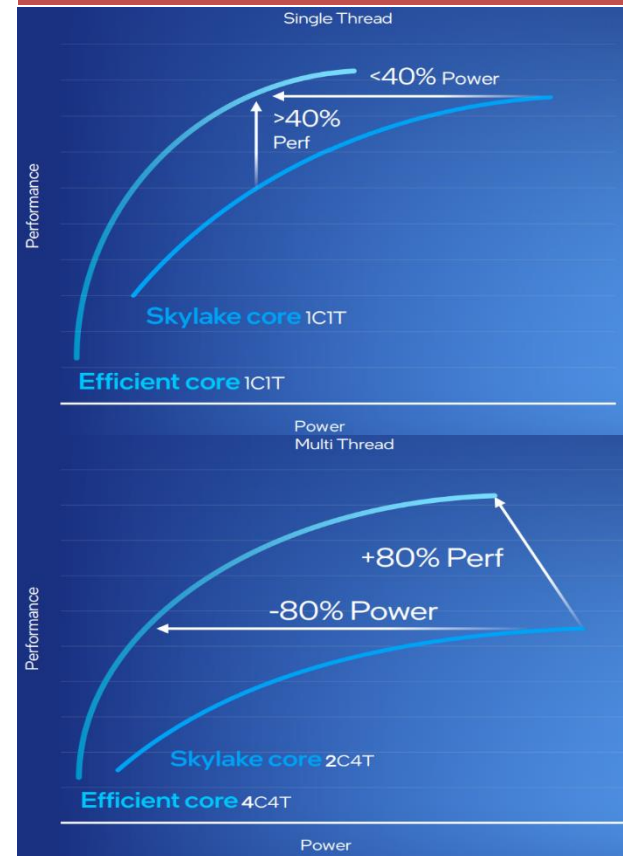
## 3.7.2. Gracemont: 17发射超宽设计, 小核心能效翻倍提升

- E核属于Atom系列: **Bonnell**→**Saltwell**→**Silvermont**→**Airmont**→**Goldmont**→**Tremont**→**Gracemont**
  - **Power(功耗):** 单线程方面, Gracemont在同性能下可节约40%功耗; 多线程下, 比4核4线程的Gracemont 可比2核4线程的Skylake, 同功耗性能提升80%, 同性能功耗降低80%
  - **Area(尺寸):** Gracemont微架构的核心非常小, 在1个Golden Cove大核心的空间里可以塞进4个Gracemont小核心

Gracemont能效核具有6解码17发射的超宽架构, 甚至比苹果的Fire Storm核心架构更宽



E核能效表现出色



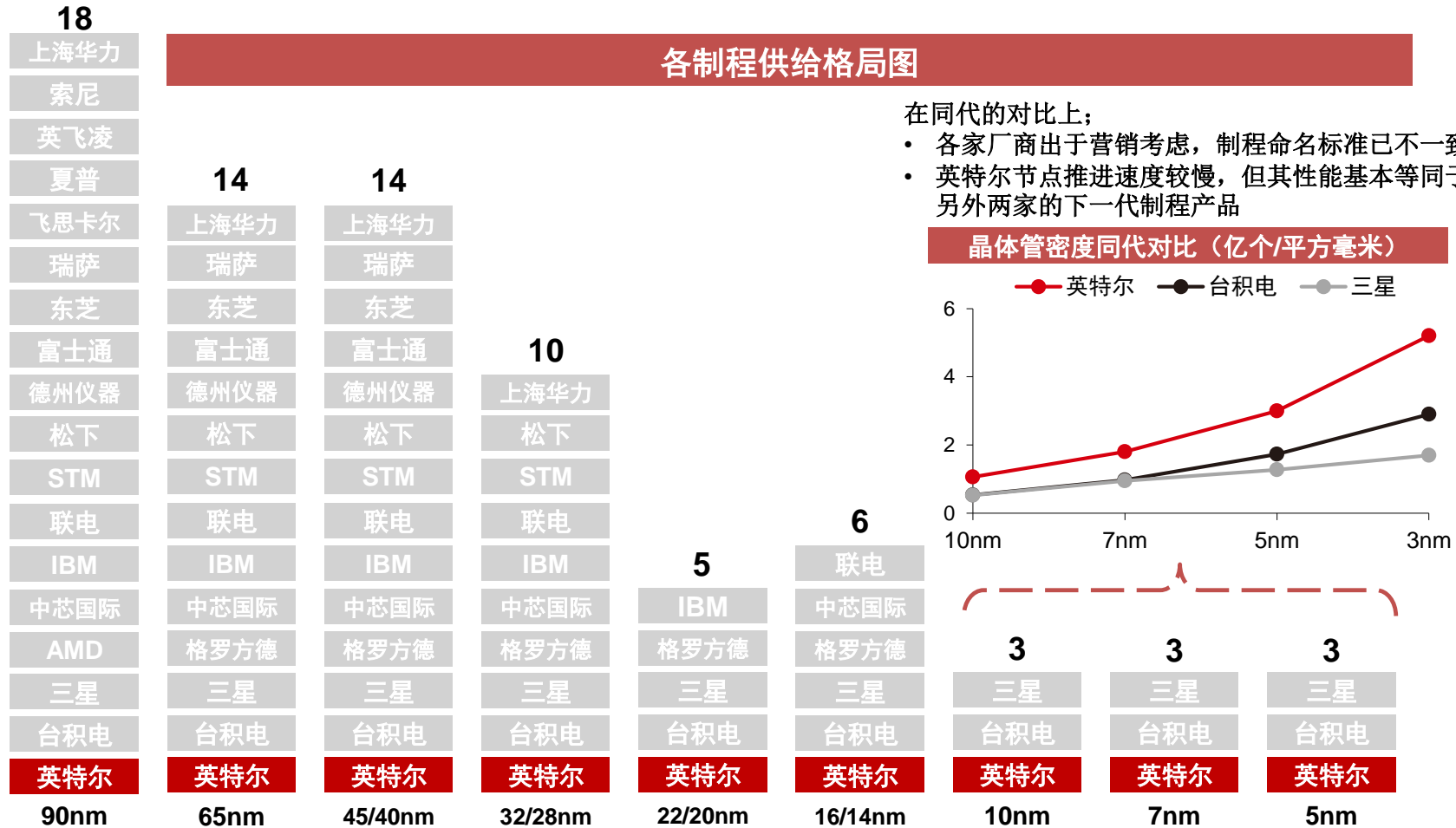
## 四、基石技术：工艺推进核心性能，封装+片内总线发力后摩尔时代

---

- 4.1 制程工艺：10nm受阻拖慢研发节奏，5年4节点公司望王者归来
- 4.2 先进封装：后摩尔时代焦点，IDM模式下发展领先
- 4.3 片内总线结构：信息传输的通道，多核堆叠的关键

# 4.1. 制程工艺：技术路线复杂，投入巨大，供给极其有限

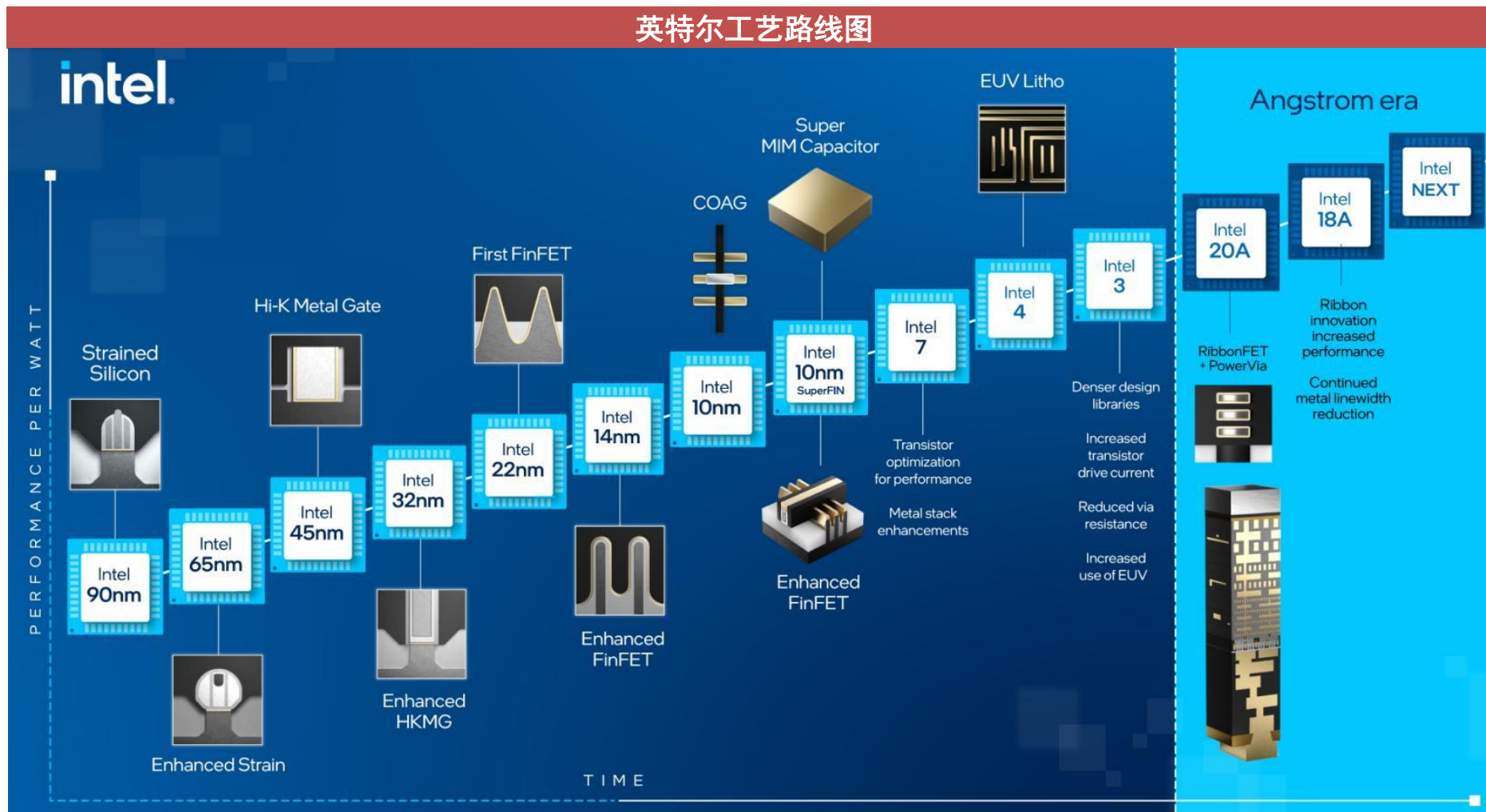
- 先进制程研发投入巨大，各IDM/代工厂陆续放弃推进，前沿玩家仅剩三家。
  - 随着晶体管尺寸的缩小，发热与漏电问题愈加显著，先进制程的推进成本大幅上升，联电与格罗方德等厂商宣布放弃先进制程的推进，转而专注于45-14nm制程中。
- 目前仍在局的玩家仅剩英特尔、台积电与三星，行业供给极其有限



资料来源：Wikichip, Digitimes, 半导体在线（微信公众号），中信证券研究部

## 4.1. 制程工艺：公司工艺迭代缓而持续，2025年望重回巅峰

- 作为IDM厂商与摩尔定律开创者，自有工艺制程革新是英特尔与AMD之间的显著差异
  - 工艺革新是晶体管密度提升的关键。由90nm到如今的Intel 7（10nm），英特尔在制程工艺上经过了“应变硅、增强型应变硅技术、HKMG（High-K值绝缘层/金属栅极）、增强型HKMG、FinFET、增强型FinFET、”等工艺升级

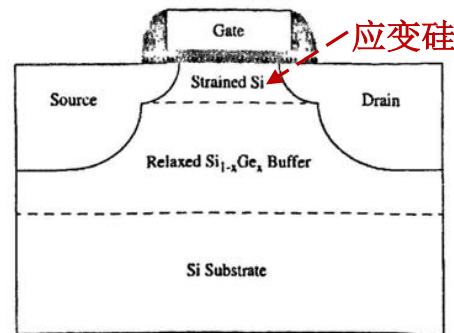


# 4.1.1. 制程工艺：90、65nm应变硅技术，提升载流子迁移率

- 应变硅技术（2003年）——90nm：利用一层仅为几纳米的超薄应变层，替代原本的高纯硅制造晶体管内部的通道

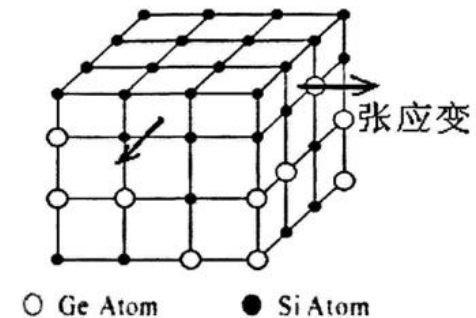
使用超薄应变层进行替代  
↓  
晶体管原子距离拉长，单数长度数量减少  
↓  
减小有效质量，降低散射概率  
↓  
增强载流子迁移率

应变硅经典器件结构



资料来源：《深亚微米应变硅器件的模拟研究》-施昊，中信证券研究部

双轴应变的形成



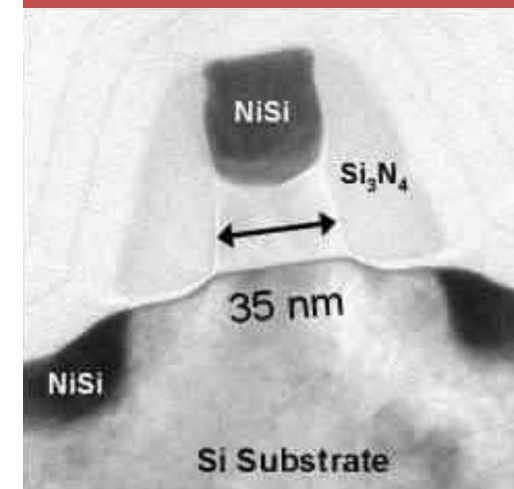
- 增强型应变硅技术（2005年）——65nm：而后英特尔首次在65nm制程，300mm晶圆上使用增强改进后的应变硅技术，特别有利于多内核处理器的制造

增强型应变硅技术主要改进维度

1. 提供超过“第一代应变硅技术”10%-15%的驱动电流，提升性能。
2. 晶体管门长度为35nm，门和通道间的氧化物绝缘层度为1.2nm，提升集成度
3. 在晶体管顶部使用NiSi化合物，进一步降低电阻
4. 继续使用了Low K互连层技术，让Low K材料担任金属互联线路间使用的主要绝缘材料。互联线路使用了“8层铜互连”。
5. 使用了晶体管睡眠技术，大幅减少电能浪费。
6. 继续坚持没有使用SOI技术，而是使用耗尽型衬底晶体管(depleted substrate transistor, DST)代替。

资料来源：《Intel65nm工艺实现与45nm工艺预览》-濮元恺，中信证券研究部

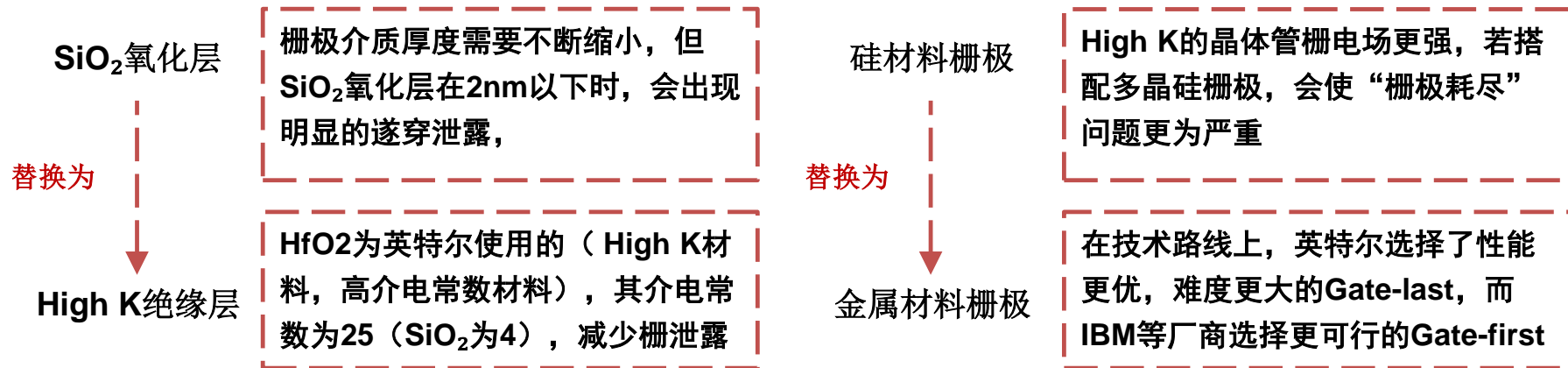
65nm增强型应变硅显微图



资料来源：《Intel65nm工艺实现与45nm工艺预览》-濮元恺

## 4.1.2. 制程工艺：45、32nm材料革命，HKMG突破硅材料参数限制

- **HKMG（High-K值绝缘层+金属栅极）（2008年）——45nm：**应变硅没有引入新的革命性材料，栅极介质厚度已达极限，“更换材料以突破介电常数”成为45nm工艺的关键



- **增强型HKMG（2010年）——32nm：**第二代High-K值绝缘层+金属栅极，采用第四代应变硅技术，针对漏电电流进行进一步优化

### 增强型HKMG主要改进维度

1. 与45nm工艺相比，32nm工艺由于首次使用沉浸式光刻技术，等效氧化层厚度仅为0.9nm（45nm技术为1nm）
2. 金属栅级工艺流程更新，
3. 30nm栅极长度，第四代应变硅
4. 当时业内最紧凑的栅极间距（112.5nm）
5. 晶体管性能提升22%
6. 同比封装尺寸将是45nm工艺产品的70%

资料来源：中关村在线-刘坎《抛开表面看本质 32nm移动处理器全解析》，中信证券研究部

### 英特尔32nm Core i5—520M处理器实物图

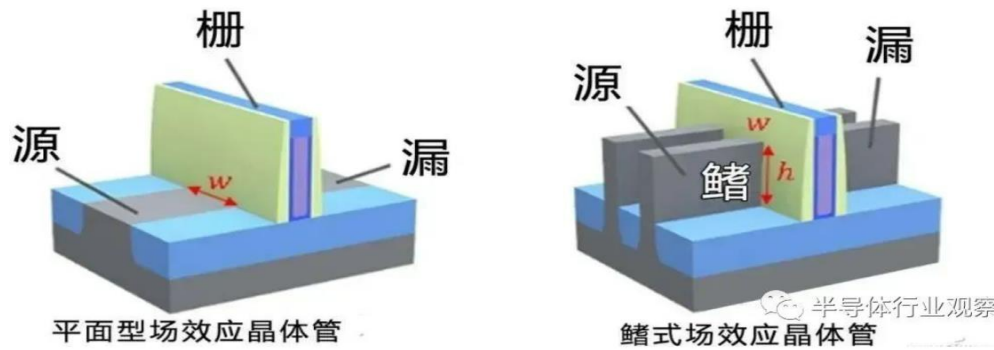


资料来源：中关村在线-刘坎《抛开表面看本质 32nm移动处理器全解析》

## 4.1.3. 制程工艺：22nm结构由平面变立体，FinFET经久不衰

- FinFET（2011年）——22nm：随着制程的不断缩小，“短沟道效应”愈加明显，采用立体式的FinFET工艺，能够有效扩大沟道宽度，减少漏电流与降低短沟道效应

平面晶体管与FinFET结构对比



平面型场效应晶体管

鳍式场效应晶体管

资料来源：Lam Research，半导体行业观察-李晨光

平面架构下：

有效沟道宽度= $w$

↓  
制程缩小与沟道宽度相悖

立体结构下：

有效沟道宽度= $w+h*2$

↓  
有效沟道宽度由Fin（鳍）的高度决定

FinFET工艺优缺点及应用场景

优点：

1. 更好的渠道控制
2. 抑制短通道效应
3. 更快的切换速度
4. 更高的漏极电流
5. 较低的开关电压
6. 更低的功耗

适合  
高投入  
高价值  
高性能  
领域

缺点：

1. 电压阈值难以控制
2. 三维轮廓导致更高的寄生效应
3. 电容高
4. 造价高

资料来源：英锐恩官网，中信证券研究部

FinFET后续工艺寿命长，经久不衰

	22nm	22FFL	14nm
晶体管	FinFET	FinFET	FinFET
鳍片间距(nm)	60	45	42
栅极间距(nm)	90	108	70
金属间距(nm)	80	90	52
逻辑单元高度(nm)	840	630	399
晶体管密度(百万个/mm <sup>2</sup> )	15.3	17.8	37.5
SRAM单元(nm)	0.092	0.088	0.05

资料来源：英特尔官网，中信证券研究部

## 4.1.4. 制程工艺：目标激进技术保守，10nm研发多年终突破

- **DUV+SAQP（2019年）——10nm**：英特尔10nm工艺原定2016年量产，但最终至2019年方量产，使得公司在制程端的优势被逐渐追平，甚至被超越

### ➢ 激进的高目标

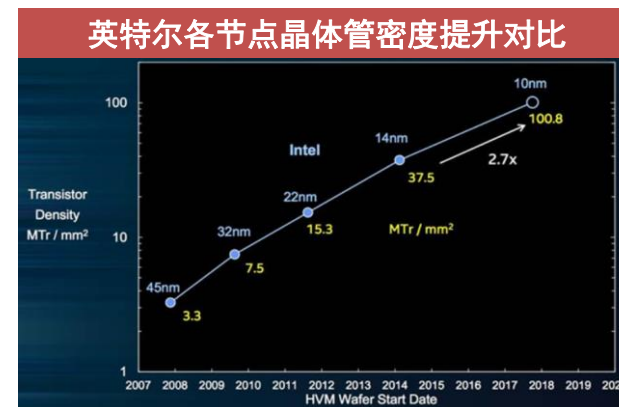
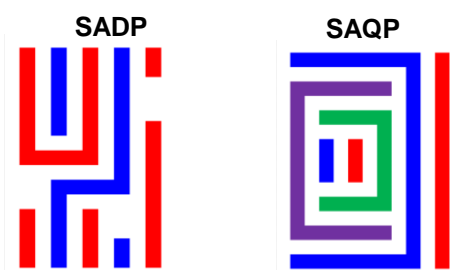
- 在原先摩尔定律的假定下，每一个节点的推进将使得晶体管密度提升两倍左右。然而，英特尔在10nm工艺上的规划是14nm的2.7倍，目标过于激进，即使后期将目标密度下调至2.4倍，效果仍不理想
- 英特尔CEO布莱恩·科再奇也承认该目标“略有些激进”

### ➢ 保守的技术——选择DUV，而非EUV

- **光刻设备**：英特尔的10nm性能接近于台积电与三星的7nm工艺，但英特尔采用的是190nm的深紫外光刻技术（DUV）结合四重图案曝光（SAQP）的技术路径，而非像台积电与三星一样，采用波长13nm的深紫外光刻技术（EUV）的方案。
- **英特尔选择DUV的原因**：①技术考量，英特尔的10nm工艺开始较早，当时EUV技术尚未成熟，可见在制程推进上，先发不一定有优势。②成本考量，根据东京电子测算，DUV+SAQP方案的曝光工艺标准化晶圆成本约是EUV+单次曝光的3/4，约是EUV+SADP的1/2

**SADP与SAQP**：SADP将所需要刻蚀的图案分解成两次曝光利用图形的叠加来实现更小的分辨率，SAQP则是连续使用两次SADP以实现四重图像曝光与更小分辨率。

资料来源：WikiChip，中信证券研究部



资料来源：英特尔官网

**各曝光工艺标准化晶圆成本对比（相对值）**

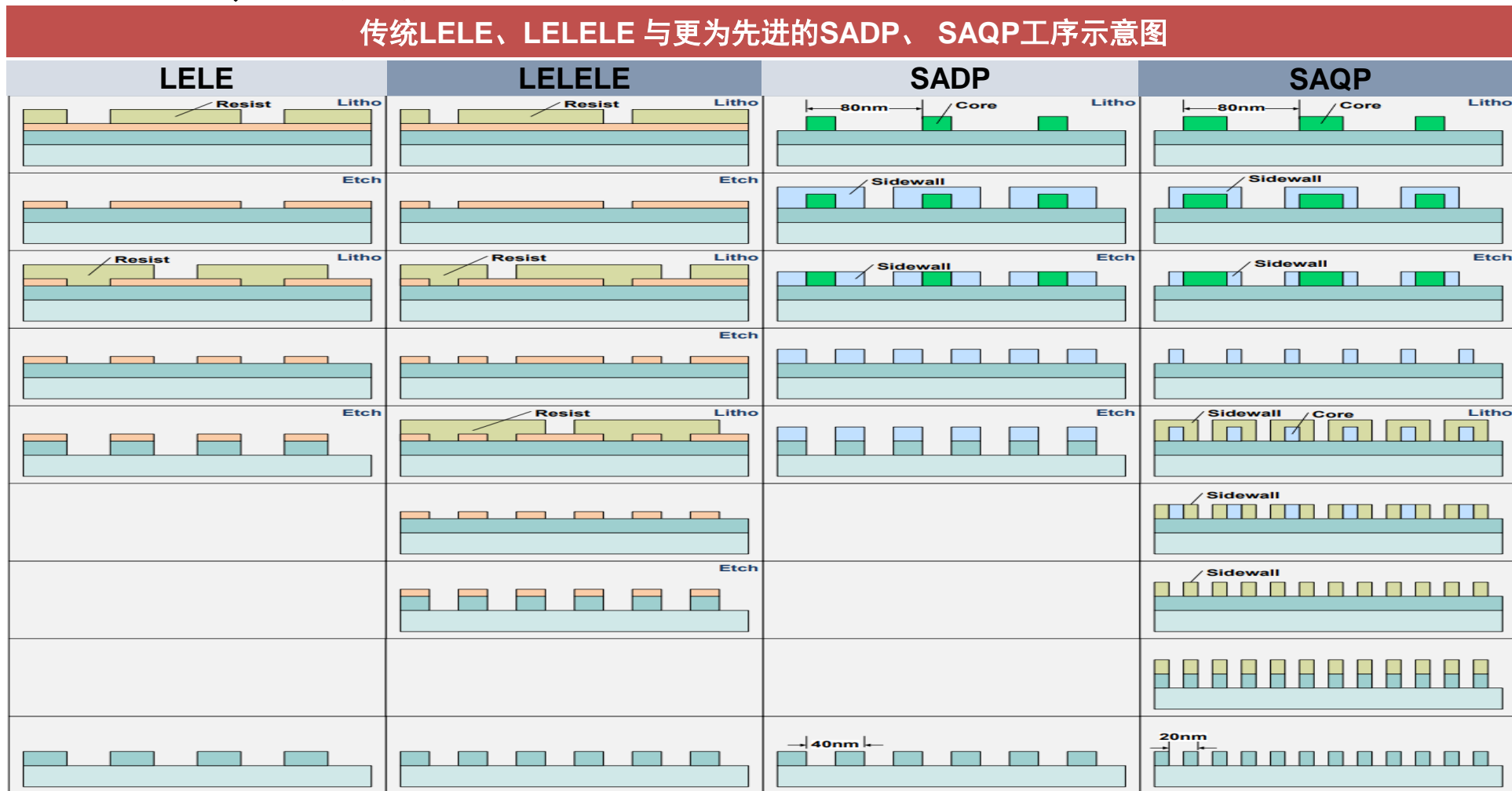
图案化技术	标准化晶圆成本
193i 单次曝光 (SE)	1
193i LELE (DP)	2.5
193i LELELE (TP)	3.5
193i SADP	2
193i SAQP	3
EUV 单次曝光 (SE)	4
EUV SADP	6

资料来源：A. Raley et al., Proc. SPIE 9782, 97820F (2016), Wikiwand, 中信证券研究部



## 4.1.4. 制程工艺：目标激进技术保守，10nm研发多年终突破

- 保守的技术——选择DUV，而非EUV
- DUV的波长更长，光源更容易发生衍射，使得Pattern图形无法做得更小，因此在英特尔10nm工艺上，选择了DUV就需要搭配SAQP，从而提高分辨率



资料来源：Hiroshige，中信证券研究部

## 4.1.4. 制程工艺：目标激进技术保守，10nm研发多年终突破

### 保守的技术——后段多重曝光的良率低

- 通过对英特尔10nm，台积电7nm与三星7nm的工艺对比我们可以发现，三者的前段工艺相似，主要差别在后段工艺中
- 前段工艺中，鳍片的形成三家均采用多重四图案曝光（SAQP），栅极形成均采用多重双图案曝光（SADP），Contact层英特尔与台积电采用LE/LE2/LE3/LE4等方法，三星则采用EUV方法。
- 但在后段的金属层形成上，三家厂商技术路线有明显区别，台积电7nm采用多重双图案曝光（SADP）、三星采用EUV方法，而英特尔选择了多重四图案曝光（SAQP）的方法。由于后段M1金属层是光刻中尺寸最小的瓶颈，SAQP较SADP的难度大幅加大
- 同时多技术同时代入导致量产良率低。英特尔还在Contact层和M1金属层首次采用金属Co。在10nm上，英特尔引入了多种技术（COAG+SDB+Co+SAQP），最终良率仅为50%~60%，无法满足量产要求，使得量产推迟

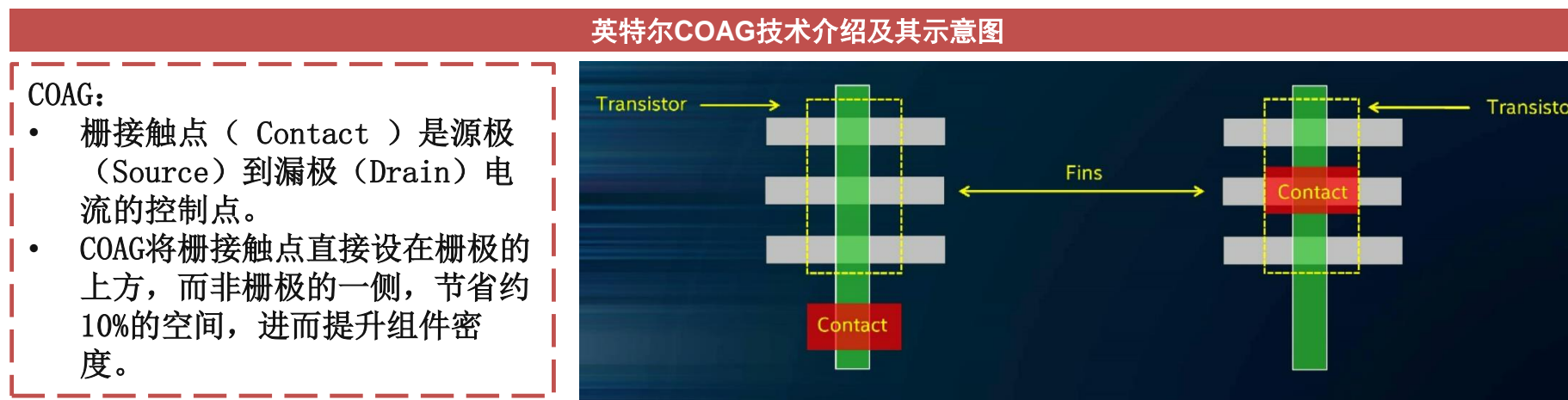
英特尔与台积电、三星多重图案曝光工艺比较

公司	逻辑制程	最小金属间距	曝光工艺对比	量产时间
英特尔	14nm	52 nm	SADP + 切割	2014
英特尔	10nm	36 nm	<b>SAQP</b> + LELE	2019
台积电	7FF	40 nm	SADP + 切割	2017初
三星	8LPP; 7LPP	44 nm	LELELELE	2018末

资料来源：Wikiwand，中信证券研究部

## 4.1.5. 制程工艺：Intel 7后命名规则对标友商，消除营销劣势

- **Intel 7（2021年）——原10nm Enhanced SuperFin**：从Intel 7开始，公司将采用全新的命名方式，而后的“7nm”也更名为**intel 4**。事实上，英特尔10nm性能与台积电7nm性能接近，英特尔7nm性能与台积电4nm性能接近，此次更名，意在消除营销对比上的劣势
  - **Intel 7能耗比相对于10nm SuperFin提升约10%—15%**，首次应用于21年年底的Alder Lake 12代酷睿以及22年第一季度的Sapphire Rapids四代可扩展至强
  - Intel 7 同样导入SAQP与COAG（Contact Over Active Gate）技术，以提升晶体管密度



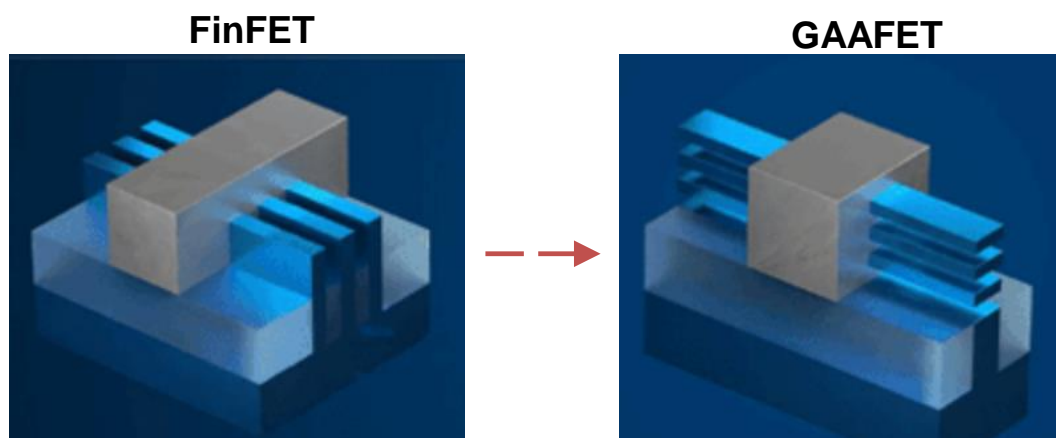
资料来源：电子工程专辑-欧阳洋葱，英特尔官网，中信证券研究部

- **Intel 4（2022年）——7nm：拥抱EUV，使用EUV，大幅减少光罩数量和制程步骤，降低工艺复杂性，相比Intel 7，Intel 4 预计可达成20%的每瓦性能提升，成为公司推进先进制程的又一里程碑**
  - 将应用于PC端的Meteor Lake 处理器与数据中心的 Granite Rapids
  - 英特尔表示，Intel 4 在Fin的间距、接触点间距以及低层金属间距等关键尺寸都持续朝着微缩方向前进，并导入设计技术协同优化（DTCO）
  - Intel 4采用新金属强化铜（Enhanced Cu），取代Intel 7的钴，外层用钴、钽包覆。因此兼具铜的低电阻特性，并降低自由电子撞击原子使其移位的情况

## 4.1.6. 制程工艺：未来4年5节点，重回芯片制造巅峰

- **Intel 3（23年H2）——对应此前7nm+工艺：同样基于EUV光刻，每瓦性能提升约18%**
  - 对EUV技术的使用将进一步优化，并在芯片面积上改进，公司预计在2023年下半年投产
  - Intel 3工艺节点仍将使用FinFET技术。三家厂商中，仅三星在“3nm”节点上选择GAAFET结构晶体管（三星称其为MCBFET）
- **Intel 20A（24年H1）——对应此前5nm工艺：应用RibbonFET和PowerVia两大突破性技术，芯片制造进入埃米时代**
  - **RibbonFET**是英特尔对于自家GAA FET晶体管的命名。其与FinFET结构相似，能沿用此前设备与技术，并扩大了栅极与通道的接触面积从而实现对通道更好的控制。
  - **PowerVia**为英特尔独有技术，其将电源线由晶体管顶部移至底部，消除晶圆正面供电布线需求，优化信号传输。
- **Intel 18A（24年H2）：若如期完成，Intel 18A将成为英特尔重回领导者地位的标志性节点**
  - 继续改进RibbonFET及PowerVia技术
  - 可能会采用 ASML 最新的 high-NA（高数值孔径）EUV 光刻机

FinFET与GAAFET结构示意图



资料来源：英特尔官网，中信证券研究部

三巨头未来路线规划对比

英特尔	23H2量产Intel 3 工艺芯片 24H1量产20A（埃米）工艺芯片 24H2量产18A（埃米）工艺芯片
台积电	计划22H2量产3nm FinFET工艺 计划25年量产2nm GAA芯片
三星	22年6月30日，宣布量产3nm GAA芯片，成为首家量产3nm的厂商

资料来源：芯智讯（微信公众号），中信证券研究部

## 4.2. 先进封装：后摩尔时代下的纵向延伸，IDM模式下发展领先

- **先进封装，后摩尔时代焦点：**进入后摩尔时代，制程推进难度变大，研发成本升高。2.5D/3D等先进封装成为半导体“超越摩尔”的重要路径。其为芯片提供纵向维度的扩张，进一步提升晶体管数量，降低生产成本。
- **英特尔先进封装技术全球领先：**在先进封装领域，英特尔与台积电等厂商进行了较早的布局，因此在量产、应用及技术上都占据领先地位。目前英特尔的先进封装主要供自家使用，已具备EMIB、Foveros、Co-EMIB、ODI、MDIO等技术。

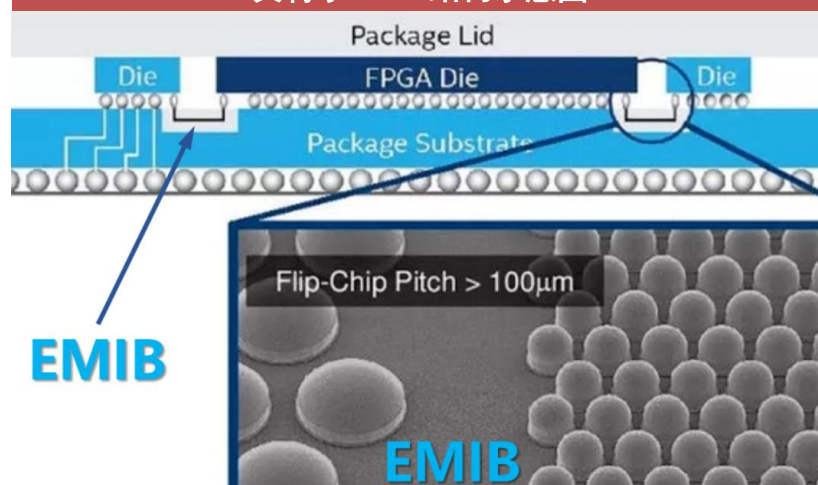
### EMIB

**EMIB**为高密度的2D平面式封装技术，其结构类似SoC。英特尔于2017年发布，其嵌入在封装基板内、用来连接裸晶的硅桥（Silicon Bridge）

**优点：**高带宽；低功耗；对裸片尺寸无要求；成本经济

**缺点：**影响性能；不利于互连要求高的产品

英特尔EMIB结构示意图



资料来源：SiP与先进封装技术-Suny Li, 英特尔官网

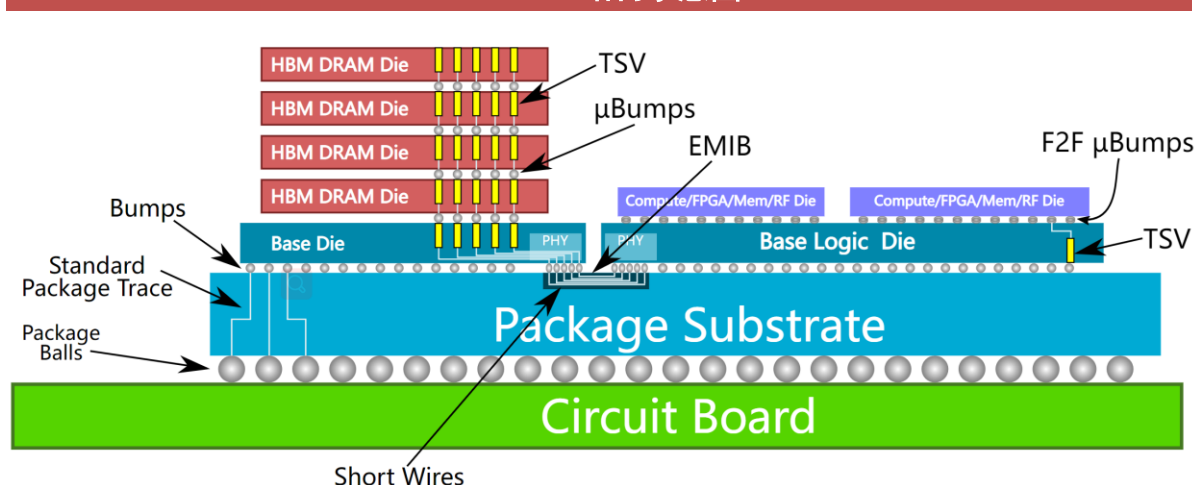
### Foveros

**Foveros**属于3D技术（纵向），其最下边是封装基底，基底之上为底层芯片（Bottom Chip），底层芯片之上则放置着各种不同的芯片或模块，两者通过Face-to-Face的方式连，而上层芯片和模块则通过TSV3D硅穿孔与系统其他部分连通。

**优点：**降低制造成本并降低能耗；充分利用纵向空间

**缺点：**硅穿孔(TSV)电阻大，顶层供电困难；散热难度大

Foveros结构示意图



资料来源：Wikichip

## 4.2. 先进封装：后摩尔时代下的纵向延伸，IDM模式下发展领先

### ODI

**ODI**全称Omni-Directional Interconnect,即Omni方向性互连技术，方向性指其能支持中小芯片之间实现全方位（水平+垂直）的相互链接。

顶部的芯片可以像EMIB一样，与其他小芯片进行水平通信，还可以像Foveros-样，通过TSV与下方的底部裸片进行垂直通信。

**优点：**互连通孔更大带宽高于传统TSV；电阻和延迟更低；供电稳定

**缺点：**技术难度大

英特尔ODI结构示意图



资料来源：硬件世界-上方文Q，中信证券研究部

### MDIO

基于高级接口总线（AIB）物理层互连技术，英特尔发布了**MDIO**（多裸片输入输出）技术，能为EMIB提供标准化的SiP PHY级接口，可互连多个芯粒。

**MDIO**推出于2020年，其较AIB技术在各个维度均有明显提升。英特尔表示，与同时期台积电的LIPINCON相比，MDIO仍具有竞争力

**优点：**其响应速度和带宽密度是AIB 技术的两倍以上；能效提升

**缺点：**技术难度大

英特尔MOIO相关性参数比较

裸片间IO界面对比	单位	AIB-第一代 (DARPA芯片)	MDIO第一代	台积电 LIPINCON
落地时间		2017	2020	2020
针速	Gbps	2	5.4	8
Shoreline 带宽密度	GBps/mm	63	200	67
Areal带宽密度	GBps/mm <sup>2</sup>	150	198	198
IO电压摆幅	V	0.9	0.5	0.3
PHY 功率效率	pJ/b	0.85	0.5	0.56

资料来源：硬件世界-上方文Q，中信证券研究部

## 4.2. 先进封装：后摩尔时代下的纵向延伸，IDM模式下发展领先

- **IDM便于协同**：目前IDM、Foundry、封测厂商均有参与先进封装的布局。Foundry与封测厂各有优势，但IDM能更好协同前后段工艺，在先进封装中兼具Foundry与封测厂优势，并进行紧密协同
  - Foundry：熟悉前段流程，具有自有工艺，方便后期集成
  - 封测厂：熟悉芯片摆放布局、硅中介层设计
  - IDM：兼具前两者有点，并能更好得完成前后段工艺的协同
- **公司先进封装资本支出巨大，技术领先持续卡位**：根据Yole数据，英特尔2021在先进封装领域的资本支出为35亿美元，投入规模占全球第一
  - 英特尔21年先进封装资本支出主要投入Foveros及EMIB等先进封装技术的研发及产能扩建

全球先进封装主要玩家

公司	地区	定位	先进封装
日月光	中国台湾	封测厂 (OSAT)	SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，为封测厂中技术涵盖最全且能力最强的厂商
安靠	美国	封测厂 (OSAT)	SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，SiP封装在消费及汽车电子大放异彩
长电科技	中国大陆	封测厂 (OSAT)	SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，SiP封装及2.5/3D为其重点发展目标
力成科技	中国台湾	封测厂 (OSAT)	SiP、2.5D/3D、晶圆级封装等均有涵盖，具量产能力，以存储器封装为主
通富微电	中国大陆	封测厂 (OSAT)	SiP、2.5D/3D、晶圆级封装等均有涵盖，以CPU/GPU/服务器等为主
华天科技	中国大陆	封测厂 (OSAT)	SiP、2.5D/3D、晶圆级封装等均有涵盖，以SiP、Fan-Out、Flip-Chip技术为主
晶方科技	中国大陆	封测厂 (OSAT)	SiP、2.5D/3D、晶圆级封装等均有涵盖，以TSV技术为基础的CIS封装为主
台积电	中国台湾	晶圆代工厂 (Foundry)	以2.5D、3D、晶圆级封装为主，对3D IC技术平台进行整合成3D Fabric，有全球最顶尖立体结构封测技术
三星	韩国	IDM	以2.5D、3D、晶圆级封装为主，设立SAFE主攻先进封装技术，以3D-TSV技术为核心开发一系列技术
英特尔	美国	IDM	以2.5D、3D、晶圆级封装为主，推出混合键合(Hybrid bonding)概念，围绕异质整合及堆叠开发技术

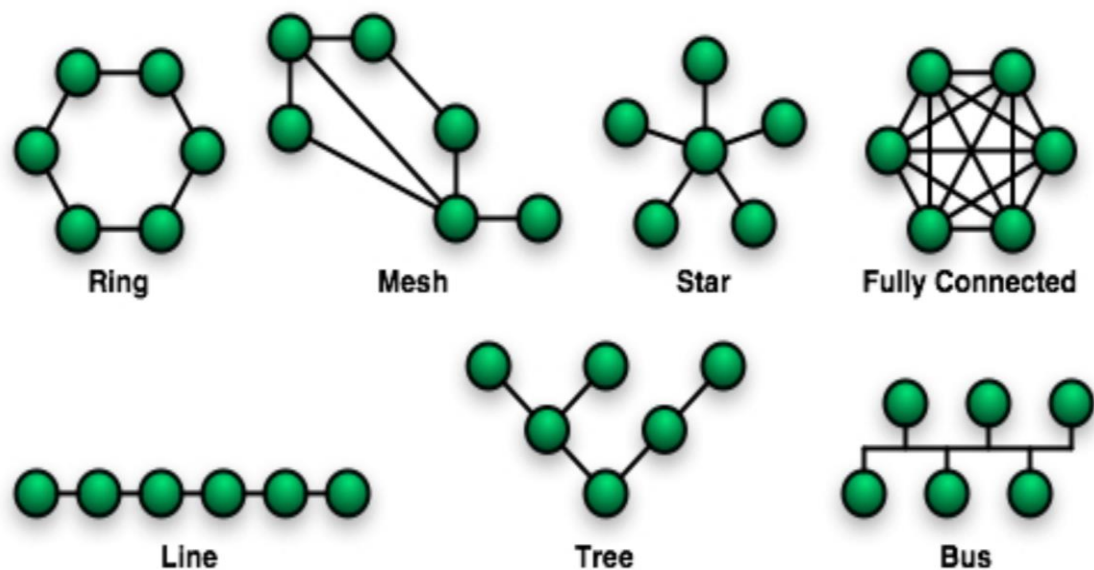
21年全球先进封装资本支出排名

	先进封装资本支出 (亿美元)	市占份额
英特尔	35	29%
台积电	30.49	26%
日月光	20	17%
三星	15	13%
安靠	7.8	7%
长电科技	5.93	5%
通富微电	4.87	4%
合计	119.09	100%

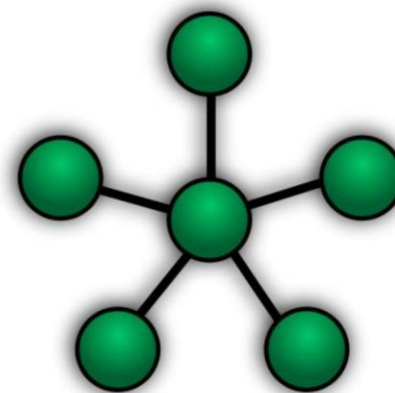
## 4.3. 片内总线结构：信息传输的通道，多核堆叠的关键

- 片内总线主要负责链接CPU内的各个模块，并负责互连通信的作用。这里的模块主要指计算核心（Core），此外还包括外部控制器等，不同的时期与不同的核心数对应不同的片内总线结构。
- 早期：核心数较少，主要为星状架构与全连接架构
  - 星状架构：早期由于模块较少，CPU内部采用星状结构，以Core核心位于中央，其他模块与之链接，各模块之间不直接交互，而是通过Core中转。
  - 全连接架构：在核心数（stop）达到4-6个，采用全连接的形式，具更高的互联性能，包括带宽和延迟，更高设计复杂度、更高成本和更高功耗

各类总线结构类型总览

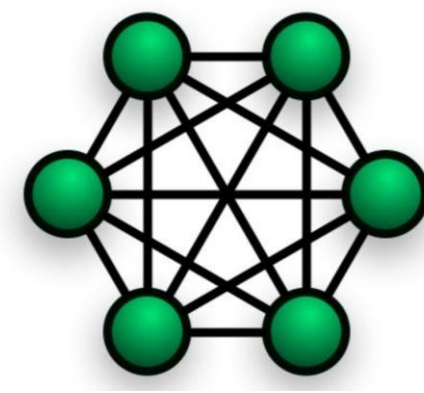


星状总线结构



主要应用于单核CPU，结构简单。周围的不同模块信息靠中央核心中转

全连接总线结构



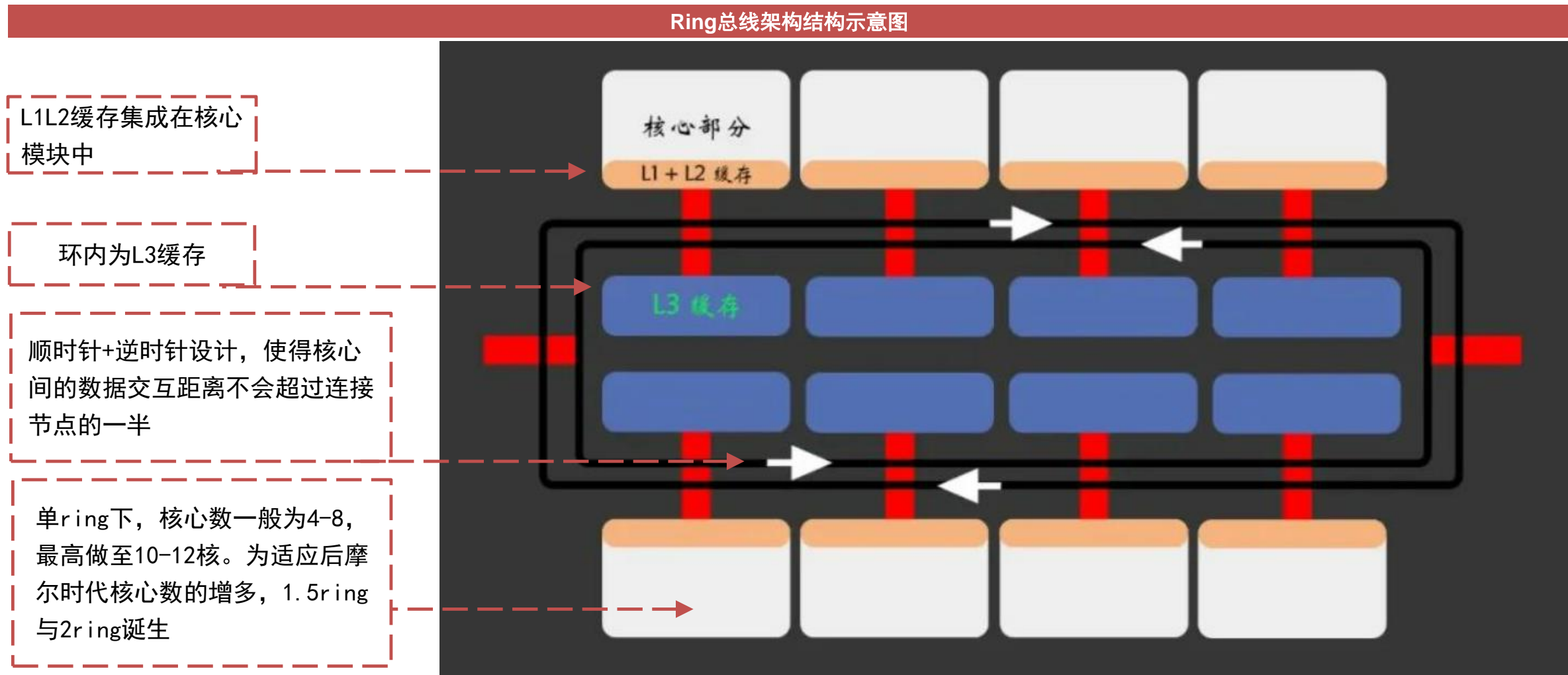
适合核心数较少的（4-6核），实现点对点链接，延迟低。但随着核心数的提升，设计复杂程度迅速增加。



## 4.3. 片内总线结构：信息传输的通道，多核堆叠的关键

- **环状总线（Ring）**：进入多核时代后，星形结构就不再适用，Ring总线应运而生。在Ring总线中，通常有两个闭环，分别为顺时针与逆时针，负责不同方向的通信。8核Ring总线结构，也可称作8C Ring bus
  - 相比早期的Star总线，ring总线具有更低的通信延迟，各处模块之间交互的效率也大大提升

Ring总线架构结构示意图



L1L2缓存集成在核心模块中

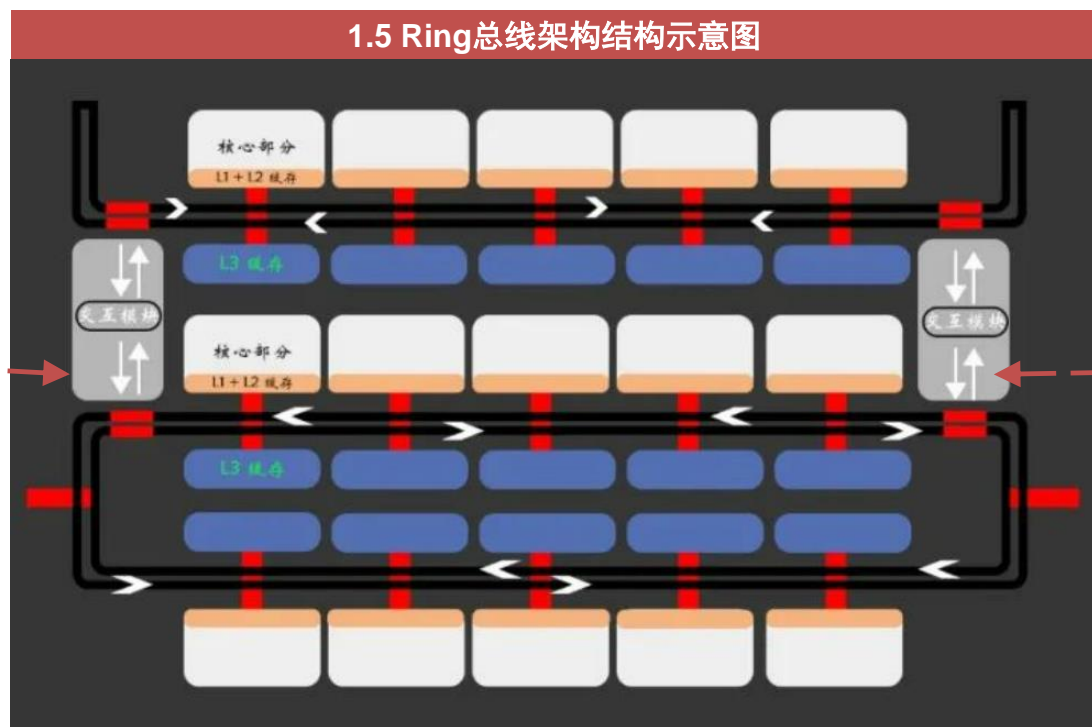
环内为L3缓存

顺时针+逆时针设计，使得核心间的数据交互距离不会超过连接节点的一半

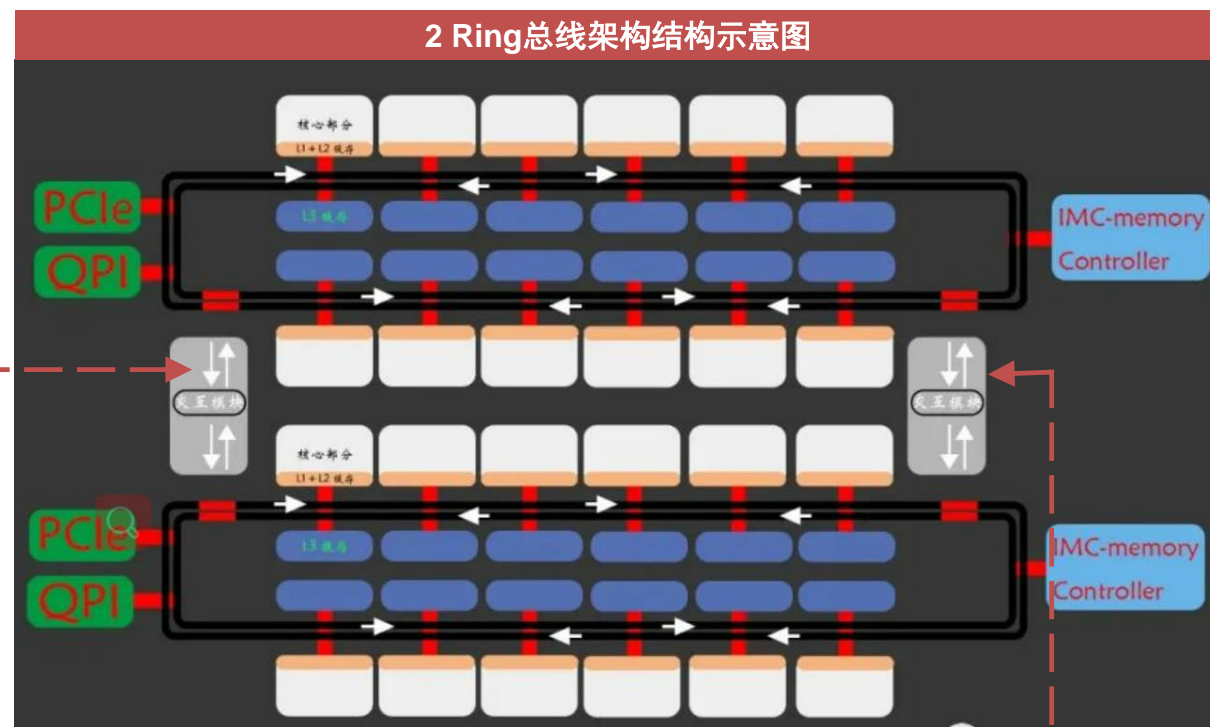
单ring下，核心数一般为4-8，最高做至10-12核。为适应后摩尔时代核心数的增多，1.5ring与2ring诞生

## 4.3. 片内总线结构：信息传输的通道，多核堆叠的关键

- **1.5Ring与2Ring，环状总线（Ring）同结构下的拓展：**通过外扩总线的方式，在ring的外部增加核心（stop），并将不同的ring利用双向的缓冲交换器并联起来。
  - 随着核心数量的增加，Ring总线不断拉长，且经过的核心多导致存在更多的“中断”，跨核延迟将不断上升，内部堆核的方法已与瓶颈。
  - 因此，技术路线上采用在外部新设1条或0.5条Ring，并利用缓冲交换器在两条Ring间进行交换数据。此方案能进一步提升核心数，但缺点是数据通过缓冲交换器的时间较长



资料来源：知乎@超合金彩虹糖，中信证券研究部

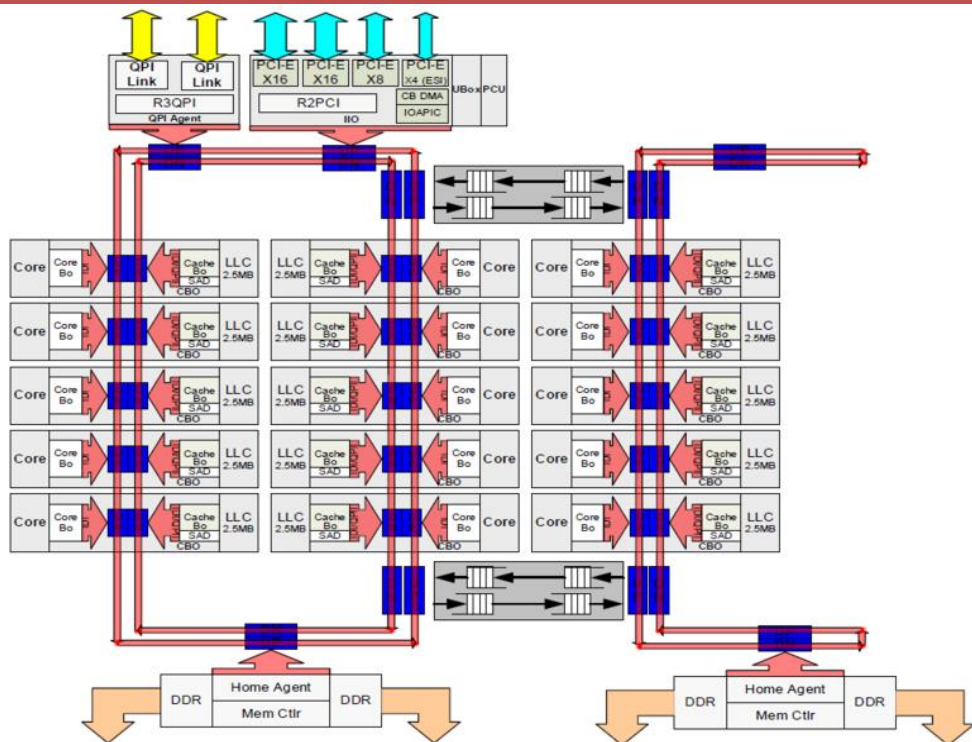


资料来源：知乎@超合金彩虹糖，中信证券研究部

## 4.3. 片内总线结构：信息传输的通道，多核堆叠的关键

- **1.5Ring与2Ring，环状总线（Ring）同结构下的拓展：** Ring架构适应于多核场景，主要应用于服务器（至强产品系列）与高性能PC处理器（酷睿产品系列）
  - **服务器：** 以至强E5 V4 MCC版本为例，其内部在1.5个Ring中包含了15个核心（Core）并通过双向缓冲交换器链接，从而突破单条ring中12个核心的上限，模块访问另一条Ring中的模块延迟会显著高于访问同Ring模块
  - **PC：** 以酷睿12代为例，其同样采用Ring结构，但不同的是，由于其采用P核（大核）与E核（小核），其4个E核构成一簇，作为一个stop。因此16核的酷睿12代仅有10个stop。

至强E5 V4 MCC版本片内架构图



资料来源：wikichip-Meshbus

i9-12900K 4个E-core构成一簇总线架构结构示意图



1个P核构成一个Stop

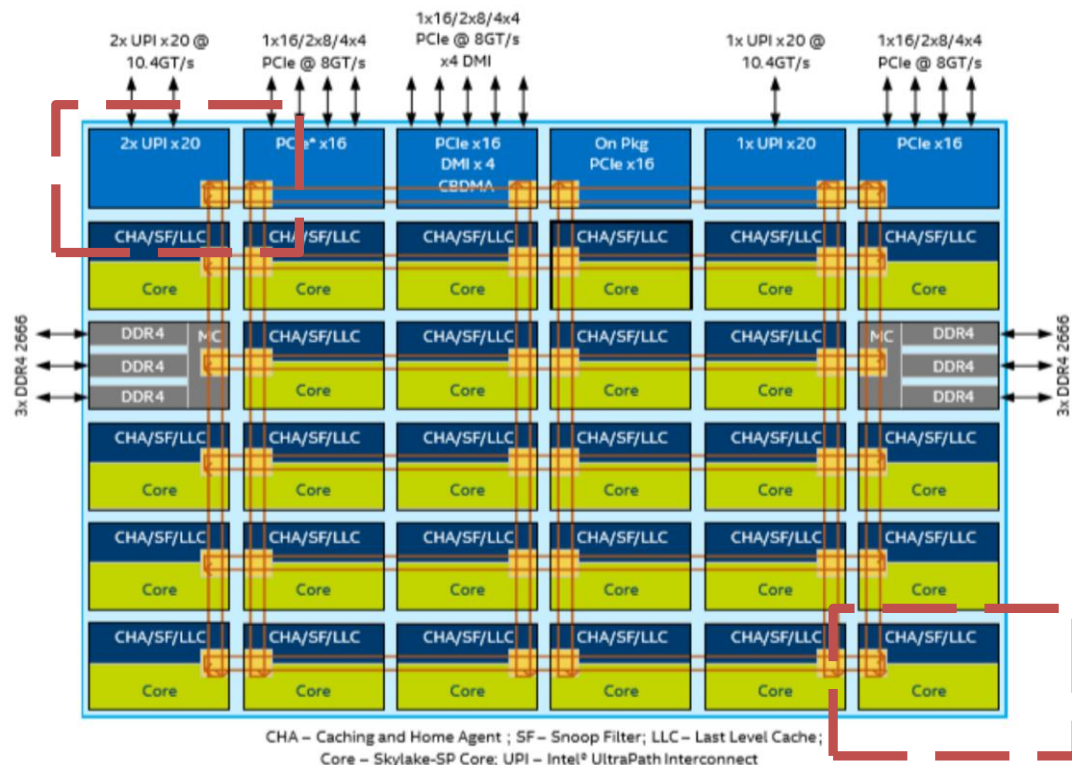
4个E核构成一个Stop

资料来源：电子工程专辑-黄焯峰，中信证券研究部

## 4.3. 片内总线结构：信息传输的通道，多核堆叠的关键

- **网状总线（Mesh）**：1.5Ring与2Ring只是小幅提高ring总线结构的上限，高核心数下依然存在通信延迟。因此，网状结构诞生，其是介于环形总线 and 全连接的方案，其能帮助更好地进行信息交互
  - Mesh总线更复杂，所以当核心数较少时，Mesh总线延迟比单Ring高。但随着核心数的增多，Mesh总线的低延迟优势将逐渐显现
  - 相比Ring总线，Mesh总线连接的layout简单，而且灵活性、可扩展性强
  - 英特尔在SkylakeX、Skylake SP等产品线中引入了Mesh总线

Skylake SP中的Mesh总线架构结构示意图



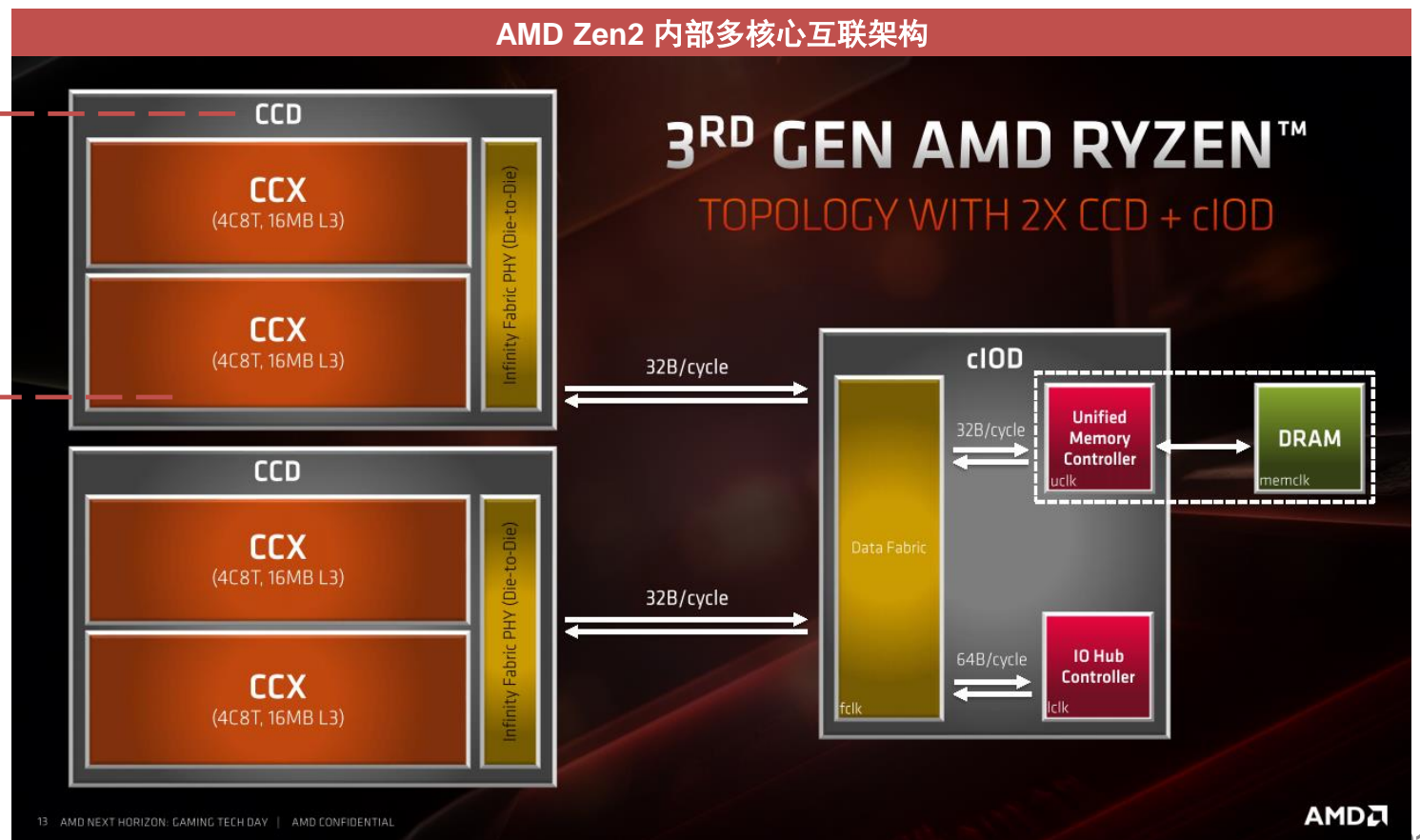
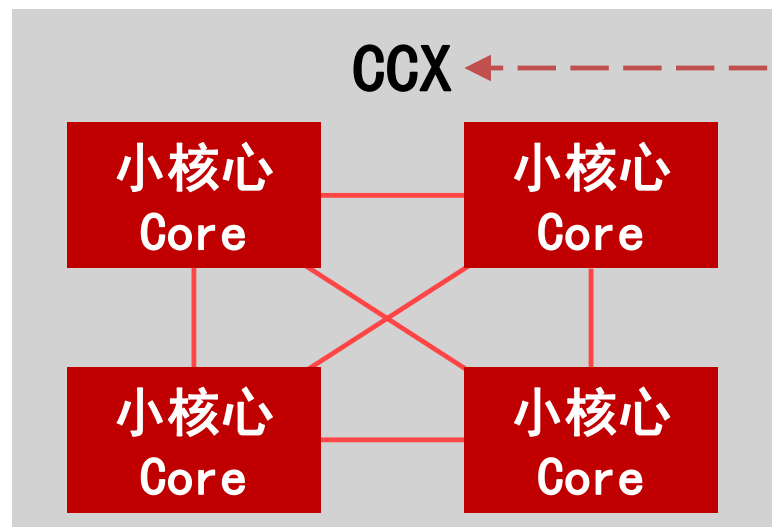
- 6×6 Mesh技术
- 类似井字结构
- 每个核心与周围的四个核心相连，边缘处核心则与周围2、3个核心相连

- 同时，若是实现2行1列的core与6行6列的core之间的互联，Mesh总线并不需要经过经过5个（横向）+4个（纵向）=9个Stop，而是直接跳至2行6列，再“跳”至6行6列
- 因此，Ring架构更像是“逢站必停”的“高铁”，而Mesh架构更像是“极少中转”的“飞机”，效率更高

## 4.3. 片内总线结构：信息传输的通道，多核堆叠的关键

- **同业比较：**在多核心堆叠上，竞争对手AMD则选择的是更接近于“弱化版全连接”的MCM技术，其在核心数上更容易突破上限，更节约成本，但也容易造成延时问题
  - 在Zen架构上，四个核心通过全连接的方式形成一个CCX，四个核心均有自己独立的L1与L2缓存，并与另外三个核心共享8MB L3缓存。CCX之间通过高速Infinity Fabric通信，以实现8核、16核、32核处理器的设计
  - 而Zen2则是由两个CCX组成一个CCD，将多个CCD与作为通讯中心（cIOD）的I/O die进行连接，形成多核心的互联

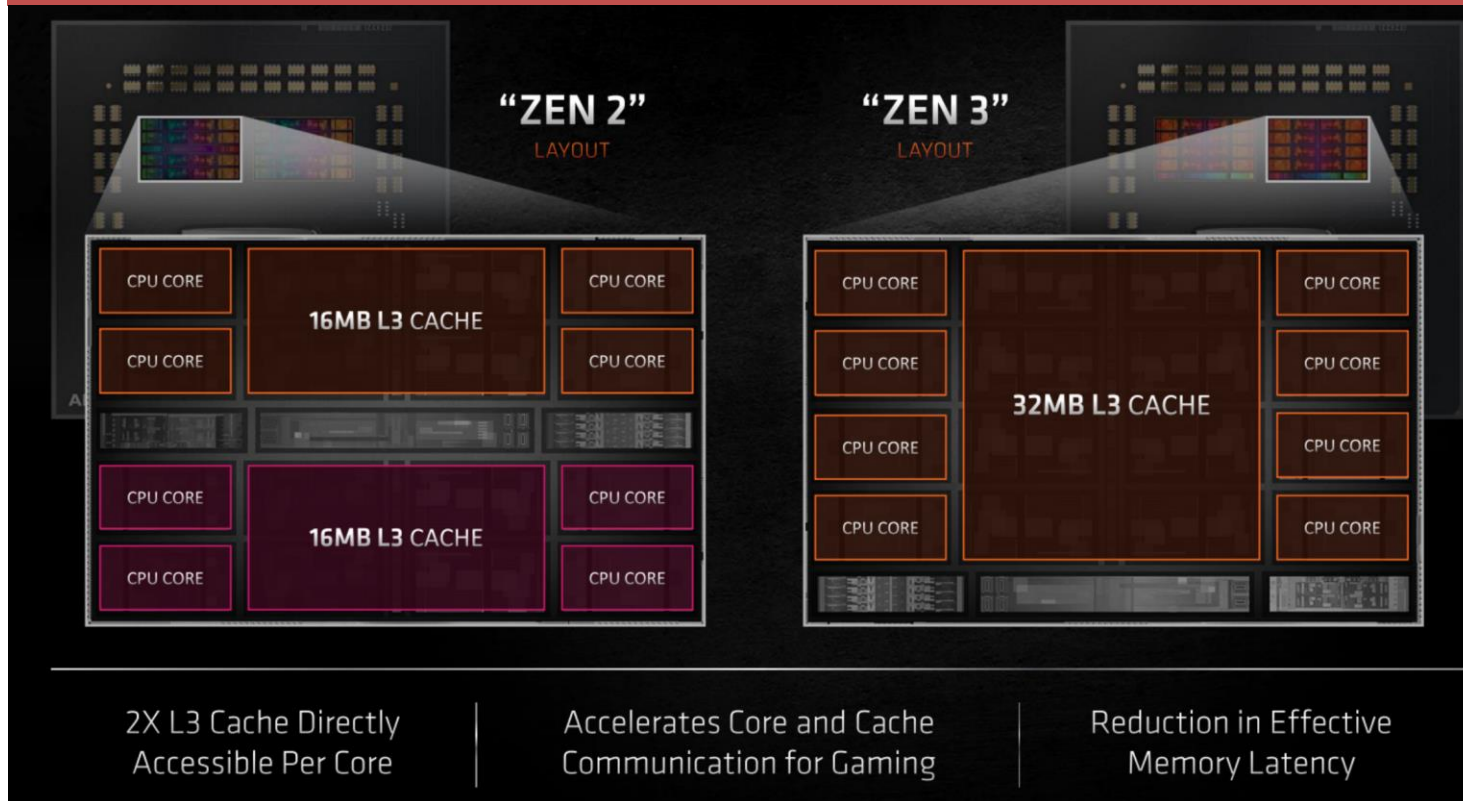
- CCD部分为7nm工艺，cIOD部分则为12nm工艺
- 体现chiplet/MCM技术节约成本的优越性



## 4.3. 片内总线结构：信息传输的通道，多核堆叠的关键

- **同业比较：**在多核心堆叠上，竞争对手AMD则选择的是更接近于“弱化版全连接”的MCM技术，其在核心数上更容易突破上限，更节约成本，但也容易造成延时问题
  - 而在Zen 3上，一个CCX中包含8个小核心，8个Core共享32MB L3缓存，Zen与Zen 2中一个CCX仅包含4个小核心
  - AMD表示其8个小核心的链接方式“没有完全连接（全连接），但已经足够接近了”，这一近似于“全连接”的方式使得Zen 3中核心之间的延迟将进一步降低

AMD Zen 2 与Zen 3内部结构对比



英特尔与AMD各维度性能差异

### 英特尔与AMD不同结构导致性能差异

- 1、**延迟性：**英特尔的Mesh技术更为简单，原生核心的延迟更低。
- 2、**功耗：**AMD更多的核心数意味着其功耗相对更大，同时要求更好的散热条件
- 3、**成本：**小核心对单片晶圆面积的利用率更高，良率也更高，从而降低成本
- 4、**灵活性：**Chiplet/MCM技术能够对不同的结构使用不同的制程工艺，进一步降低制造成本

## 五、产品体系：产品分化，同步实现广覆盖与高适应性

---

- 5.1 产品总览：CPU为业务基本盘，产品分化为适应细分市场关键
- 5.2 至强（服务器）：商业化应用场景，性能与成本为首要考量
- 5.3 酷睿（中高端PC）：取代奔腾成PC核心高端产品线
- 5.4 奔腾（中低端PC）：引领CPU历史变革，现用于教育/办公场景
- 5.5 赛扬（低价低端PC）：性能较奔腾低一级，帮助实现市场下沉
- 5.6 凌动（低功耗、物联网）：瞄准移动市场，集成化为迭代主线
- 5.7 Movidius视觉处理器：前瞻布局，针对边缘与AI设备

## 5.1. 产品体系：技术孕育多维产品线，处理器为基本盘

- 处理器为公司业务的核心，但除处理器外，公司产品已延伸至至数字芯片领域的多个应用场景，包括系统和设备、服务器产品、FPGA和可编程设备（来自收购的Altera）、结构化ASIC等11类产品与服务

### 英特尔各产品线业务情况

#### 处理器

英特尔® 至强®  
 英特尔® 至强® 可扩展  
 英特尔® 酷睿™  
 英特尔® 奔腾®  
 英特尔® 赛扬®  
 英特尔凌动®  
 英特尔® Movidius™ VPU  
 物联网和嵌入式处理器

#### 结构化 ASIC

英特尔® eASIC™ N5X 设备  
 英特尔® eASIC™ N3XS 设备  
 英特尔® eASIC™ N3X 设备  
 英特尔® easicopy™ 设备

#### 无线产品

英特尔® Killer™ 无线系列  
 英特尔® Wi-Fi 6E (Gig+) 系列  
 英特尔® Wi-Fi 6 系列  
 英特尔® Wireless-AC 产品

#### 系统和设备

英特尔® Evo™  
 轻薄笔记本电脑  
 游戏笔记本电脑  
 英特尔® NUC  
 台式机  
 工作站  
 英特尔® 物联网 RFP 就绪套件

#### 芯片组

移动式  
 台式机  
 服务器  
 嵌入式

#### 以太网产品

英特尔® 以太网技术  
 英特尔® 以太网产品  
 基础设施处理单元 (IPUs)  
 英特尔® 硅光子技术光纤收发器  
 可编程以太网交换机产品

#### 服务器产品

单节点服务器  
 多节点服务器  
 英特尔® 数据中心模块  
 服务器机箱  
 服务器主板  
 英特尔® RAID 产品  
 英特尔® 服务器管理

#### 图形处理单元

英特尔® 锐炫™  
 英特尔® 锐炬® Xe MAX  
 英特尔® 服务器 GPU

#### 技术

Thunderbolt™ 雷电技术  
 英特尔® vPro® 平台  
 英特尔® 实感™ 技术  
 英特尔® Unite® 解决方案  
 英特尔® 专项解决方案  
 视觉产品  
 芯片创新

#### FPGA 和可编程设备

英特尔® FPGA  
 边缘为中心的 FPGA  
 CPLDs  
 配置设备  
 英特尔® Quartus® Prime 设计软件  
 知识产权  
 主板和套件  
 加速卡

#### 内存和存储

英特尔® 傲腾™ 持久内存  
 英特尔® 傲腾™ 固态硬盘



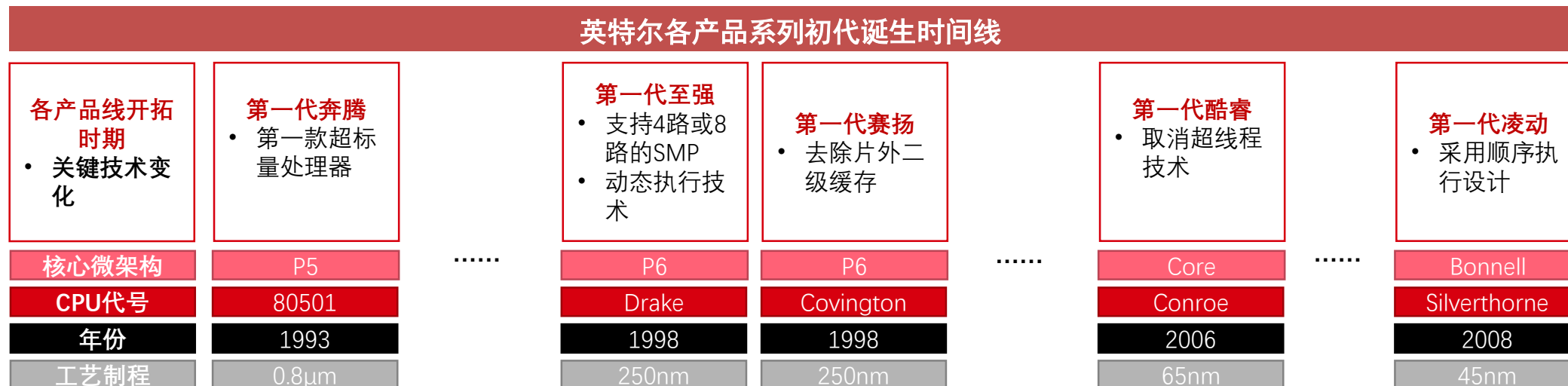
## 5.1.产品体系：技术孕育多维产品线，处理器为基本盘

- 公司的处理器产品已形成了极强的技术壁垒，拥有针对不同应用场景的不同处理器家族
  - 各处理器家族能为笔记本电脑、台式机、工作站和服务器提供支持，包括企业和个人用途、沉浸式游戏、内容创作、物联网、人工智能等

英特尔处理器产品系列情况		
产品名称	具体功能	应用场景
至强® 可扩展处理器	英特尔® 至强® 可扩展处理器家族在计算、存储、网络和安全方面提供不同凡响的扩展能力和性能。	服务器
至强® 处理器	专为数据中心和工作站打造，可处理云、大数据、建模、人工智能等的繁重处理需求。	服务器
酷睿™ 处理器	英特尔面向笔记本电脑和台式机推出的性能最高的 CPU，提供先进的响应能力、连接性和显卡。	中高端PC
奔腾® 处理器	结合速度、功耗和价值，用于在笔记本电脑、台式机和迷你电脑上的日常计算。	中低端PC
赛扬® 处理器	为入门级笔记本电脑和台式电脑提供经济的CPU性能，支持强连通性和长电池续航。	低价低端PC
凌动® 处理器	适合移动和物联网设备，以及高密度、低能耗的数据中心应用程序。	低功耗、物联网、工控机
Movidius™ 视觉处理器	能够高效完成要求苛刻的计算机视觉和边缘人工智能工作负载。通过在将数据移动最小化的独特架构中，将高度并行的可编程计算与面向特定工作负载的硬件加速相结合	人工智能
面向物联网和嵌入式应用的处理器	借助英特尔边缘就绪计算和连接技术产品系列，快速部署边缘应用程序，可支持边缘处理	物联网

# 5.1.产品迭代历程：产品分化适应各细分市场，性能依托架构制程升级

- 而从时间维度上看，90年代与21世纪初为英特尔处理器产品线的扩展时期，其将产品线进一步分化以提高对不同应用场景的适应性，各大产品系列均在此期间推出
  - 1993年，第一代“奔腾”：世界上第一款超标量处理器（每时钟至少执行2条指令），具更高的CPU吞吐量
  - 1998年，第一代“至强”：第一代至强名为“Pentium II Xeon”，由于面向服务器市场，所以其具更大的缓存与支持4路或8路的SMP（对称多CPU处理功能）。
  - 同年，第一代“赛扬”：其为“奔腾”的低价简化版。由于去除了片外二级缓存，因此整数性能低下，影响商业场景表现；但其浮点性能未受明显影响，适合游戏等家庭应用场景。
  - 2006年，“酷睿”推出：其面向高端消费者、硬件爱好者与工作站，以替代“奔腾”在中高端市场的应用。首代酷睿为两核心，无超线程，并共享L2缓存，因此具有较高的能耗比。
  - 2008年，第一代“凌动”：针对移动端场景，因此采用顺序执行设计以减少晶体管数量，从而控制面积大小



资料来源：Intel官网、中信证券研究部

# 5.1.产品迭代历程：产品分化适应各细分市场，性能依托架构制程升级

- 2006年公司启动“Tick-Tock”战略后，发力于架构与制程的快速迭代，实现产品性能的提升。在Tick-Tock战略前期，可以明显看到公司保持2年一个迭代周期，Tick年改善工艺，Tock年改善架构，两者交替进行
  - 公司沿着Tick-Tock的步伐，内部进行“架构+制程”的革新，这些技术最终都将表现为产品性能的持续升级
  - 以2008年的第1代Core i为例，其发布于Tock年，因此工艺仅作优化，架构则全面革新至“Nehalem”架构。此架构将北桥集成至CPU中，提高集成度与交互速度；内置L3缓存，每一个处理器共享最小4MB至最大12MB；重新采用超线程技术，处理器性能提升30%+。

英特尔架构、制程、产品迭代时间线（Tick-Tock战略时期）

桌面CPU产品 • 关键技术变化	第一代Core / Core 2 • 取消超线程技术	Core2 • 制程改进版	第1代Core i • 首次量产HKMG工艺 • 增加三级缓存 • 采用超线程 • 初代睿频 • 初代Ringbus	第1代Core i工艺改进版 • 第二代HKMG工艺	第2代Core i • 首次集成核显 • 第二代睿频 • 256位环形总线	第3代Core i • 首次采用三栅极晶体管(FinFET)工艺	第4代Core i • 支持DDR3 • 首次为SoC架构进行专门优化	第5代Core i • 首次采用14nm FinFET
核心微架构	Core		Nehalem		Sandy Bridge		Haswell	
微架构	Core	Penryn	Nehalem	Westmere	Sandy Bridge	Ivy Bridge	Haswell	Broadwell
年份	2006	2007	2008	2009	2010	2011	2013	2014
工艺制程	65nm	45nm		32nm		22nm		14nm
改进战略	Tock	Tick	Tock	Tick	Tock	Tick	Tock	Tick
服务器CPU产品				第1代Xeon E7	第1代Xeon E5	第2代Xeon E	第3代Xeon E	第4代Xeon E

资料来源：Chenfan Blog-Jcf94, Wikichip, 中信证券研究部

# 5.1.产品迭代历程：产品分化适应各细分市场，性能依托架构制程升级

- 此后，制程推进受阻不但影响晶体管密度的提升，同时也使架构长期停滞于Skylake，导致公司产品迭代速度放缓
  - 公司长期停留在14nm中，使得架构开发受限，第7、8/9、10代Core i，虽然分别使用Kaby Lake、Coffee Lake、Comet Lake架构，但其仅在第6代的Skylake进行改进，虽有性能的优化与提升，但实际差异较小
  - 因此第7、8/9、10代Core i系列在市场竞争中无明显优势，从而导致公司在CPU市场的份额出现一定程度的下降

英特尔架构、制程、产品迭代时间线（PAO战略至今后）

桌面CPU产品 • 关键技术变化	第6代Core i • 第三代DMI总线	第7代Core i • 提高主频与内存频率	第8/9代Core i • 提高主频与内存频率 • 增加缓存与核心数	第10代Core i • 增加缓存与核心数	第10代Core i • 增加新指令 • 核显大幅增强	第11代Core i • 缓存增加 • 核显大幅增强	第12代Core i • 使用大小核混合架构 • 支持DDR5	
核心微架构	Skylake				Sunny Cove	Willow Cove	Golden Cove	Golden Cove
微架构	Skylake	Kaby Lake	Coffee Lake	Comet Lake	Ice Lake	Tiger Lake	Alder Lake	Raptor Lake
工艺制程	14nm	14+n	14++n	14+++n	10nm	10+n	Intel 7	Intel 7
改进战略	架构	优化	优化	优化	工艺	架构	架构	优化
年份	2015	2016	2017	2018	2019	2020	2021	2022
核心微架构	Skylake				Sunny Cove	Golden Cove		
微架构		Sky Lake			Cascade Lake	Copper Lake	Ice Lake	Sapphire Rapids
工艺制程		14+n			14++n	14++n	10nm	Intel 7
服务器CPU产品 • 关键技术变化	第5代Xeon E3		第1代Xeon Platinum等 • Mesh总线		第2代新Xeon • 最大核心数从28增加到56	第3代新Xeon	第3代新Xeon • 工艺换代 • PCIe 4.0	

资料来源：Chenfan Blog-Jcf94, Wikichip, 中信证券研究部

## 5.2. 处理器至强（服务器）：商业化应用场景，性能与成本为首要考量

- **至强：设计针对服务器市场，商业化应用场景中，对于性能的优先级远高于其他应用场景**
  - 相比用于PC端的酷睿处理器，“至强”并不注重个人游戏，影音等娱乐需求，因此通常无集成核心显卡
  - “至强”注重稳定性与数据处理，因此主频通常不会太高，但具有更高的核心数与线程数，更适合服务器场景。例如，英特尔19Q2发布的至强铂金9282处理器可拥有56个核心与112线程
  - “至强”支持CPU多路互联，在单块主板上安装多块互相连接的处理器，多颗CPU同时工作，提升处理器运算能力

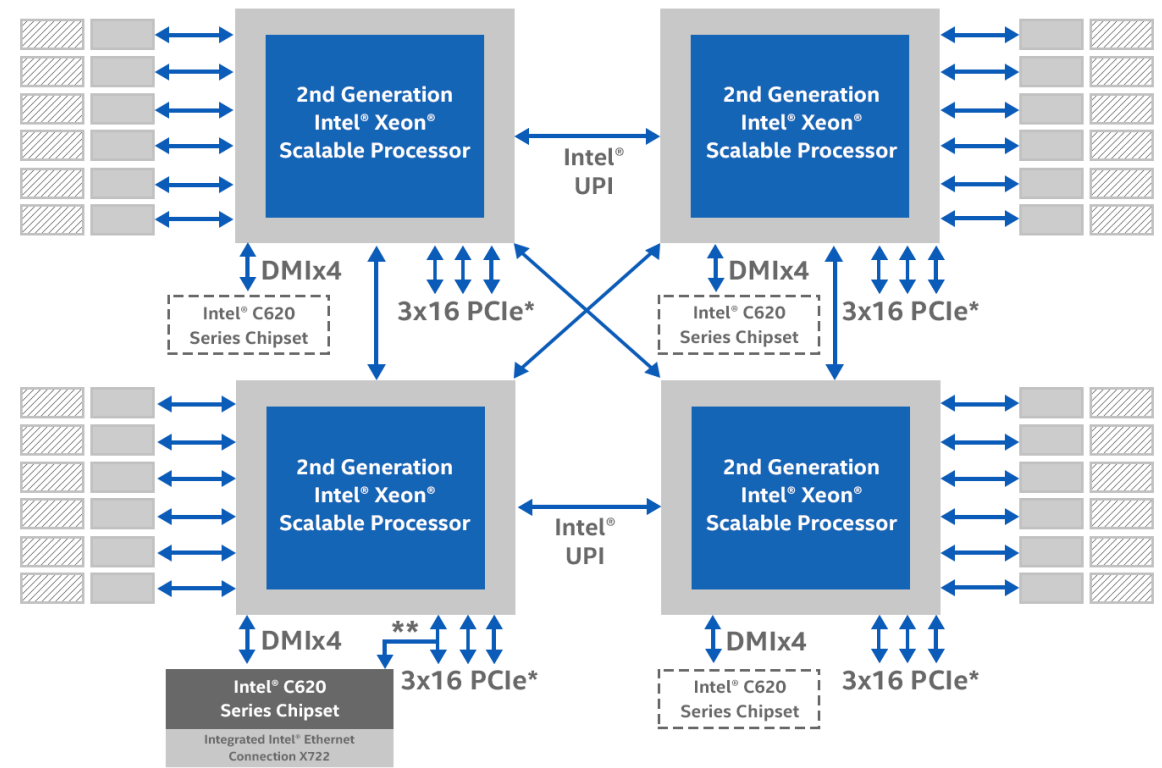
PC CPU与服务器CPU差异		
	电脑CPU	服务器CPU
指令集差异	通常为CISC，追求指令集的大而全	通常为RISC，调用速度和命中率高，针对性强，能效高
缓存差异	近年才用缓存技术	配一二三级缓存，运算能力强
接口差异	有显卡卡槽	配备的主板通常没有显卡卡槽
稳定性差异	连续工作72小时	365天开机运行
多路互联支持差异	一块主板一个CPU	单主板可安装多个CPU
价格差异	基本在千元左右	千、万元以上，甚至几十万

资料来源：国科科技，中信证券研究部

同期酷睿与至强产品参数对比		
	酷睿i9-9900	至强铂金9282
上市时间	19Q2	19Q2
制程工艺	14nm	14nm
内核	8	56
线程	16	112
基率	3.10 GHz	2.60 GHz
最大睿频	5.00 GHz	3.80 GHz
缓存	16 MB	77 MB
TDP	65 W	400 W
核心显卡	HD 630	无

资料来源：英特尔官网，中信证券研究部

### “至强”支持CPU多路互联



资料来源：英特尔官网

## 5.2. 处理器至强（服务器）：Pentium II Xeon低价策略赢得市场

- **第一代“至强” Pentium II Xeon，明确以独立产品线对标不同应用场景的策略，低价策略从早期服务器竞争脱颖而出**
  - Pentium II Xeon是英特尔第一代“至强”系列产品，其CPU架构为英特尔的P6架构，采用250nm制程
  - 同时，其支持**4路或8路的SMP（对称多CPU处理功能）**，即一台设备同时使用多个处理器，各处理器之间共享内存系统、总线系统等资源，提高数据处理能力。其采用P6架构，因此具有**动态执行技术**，能通过预测分析程序流程与数据流，选择最佳的指令执行顺序，提高运行效率。
  - 在至强系列推出之前，服务器行业竞争已激烈，DEC、Sun、MIPS、IBM均已布局该领域，英特尔利用其PC电脑业务的成本管控经验与规模效应，成功以低价策略逐渐获得市场
- **而后发布的Pentium III Xeon则进一步补全性能，巩固英特尔在服务器端的地位**
  - 采用P6架构，0.18微米工艺制造，Slot 2架构和SECC封装形式
  - 新增70条指令集，提高多媒体、流媒体软件执行速度，在缓存速度与系统总线结构上，也有同步改进

Pentium II Xeon与Pentium III Xeon性能参数对比

	架构	工艺制程	缓存	频率	接口	指令集	位数
Pentium II Xeon	P6	0.25微米	2MB二级缓存	450MHz	Slot 2	MMX	32
Pentium III Xeon	P6	0.25、0.18微米	2MB二级缓存	1GHz	Slot 2	MMX, SSE	32

资料来源：CPU-world，中信证券研究部

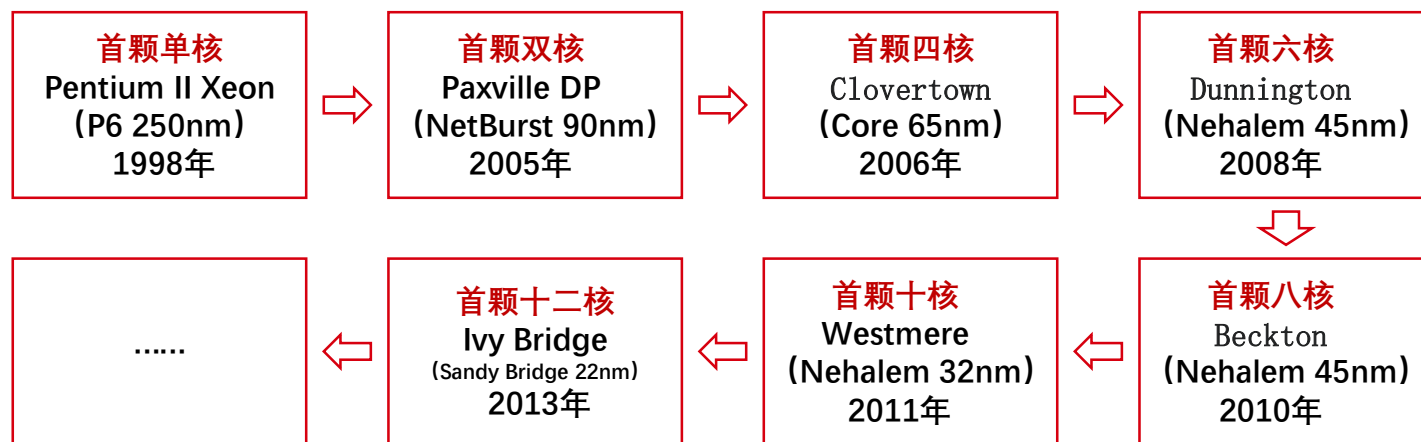
## 5.2. 处理器至强（服务器）：跟进位数兼容竞争，步入多核时代

- 英特尔于2005年推出Nocona至强处理器，其是一款32、64位混合模式计算平台，打破公司32与64位不兼容情况。
  - AMD于2003年推出Opteron皓龙处理器，兼容32位与64位计算，英特尔于2005年推出具同样功能的Nocona
  - Nocona采用EM64T技术使其能够同时支持32位和64位计算，并集成DBS，实现CPU运行频率与功耗的动态调节
  - 根据ZDNet China，Opteron通过超传输(Hyper Transport)技术与计算机的其余组件相联系，而Nocona依赖PCI Express。同时Nocona的速度更快，而Opteron在每一时钟周期可以处理更多任务。Opteron配置有集成的内存控制器，而Nocona的控制器是独立的芯片。
- 2005年10月，公司推出Paxville DP双核处理器，早期便体现公司封装技术优势，从而步入多核时代
  - Paxville DP同样采用NetBurst架构，制程为90nm，缓存为2×2MB二级缓存，频率为2.80 GHz，频率的运行速度
  - 由于两颗内核均配置高速缓存，大大减少了系统总线上的数据量，并加快内核存取数据的速度。
- 此后至强产品的核心数跟随架构的革新不断上升

Nocona性能参数

	架构	工艺制程	核心数	缓存	频率	位数
Nocona	NetBurst	90nm	1	1MB L2缓存	2.8/3.0/3.2/3.4/3.6 GHz等	32、64
Paxville DP	NetBurst	90nm	2	2×2MB L2缓存	2.8GHz	32

至强系列多核处理器发展历程



## 5.2. 处理器至强（服务器）：产品矩阵完备，实现高低端全覆盖

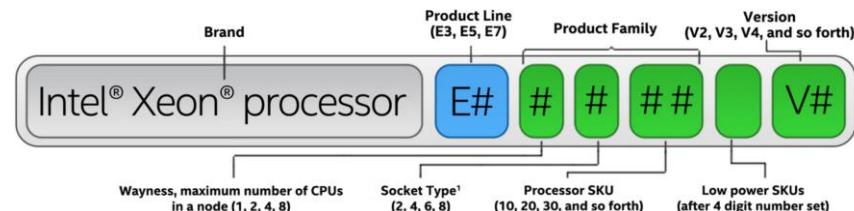
- 从目前的产品布局看，至强系列针对服务器市场，可分为“至强”与“至强可扩展”两个子系列
  - “至强”系列性能由低到高分至至强D、至强E、至强W
  - “至强可扩展”于2017年发布，在技术、规格上面进行了全面的更新，分为青铜、白银、黄金、铂金
    - 至强可扩展处理器拥有多达28颗内核，并能针对数据中心和通信网络中各种需求进行优化
    - 可提供2插槽到8插槽及更多插槽配置支持和充足的扩展空间

至强系列分类情况

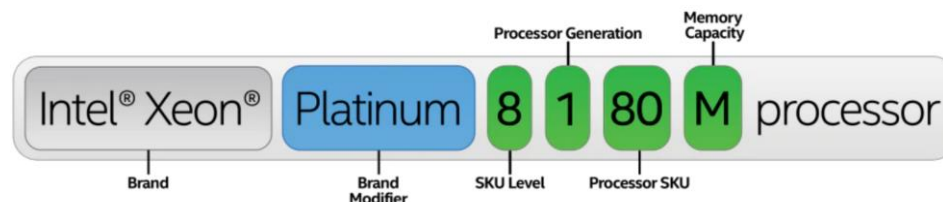
产品系列	具体应用
至强D	适应于空间和功耗非常宝贵的场景
至强E	为入门级服务器提供必要的业务。
至强W	专为创意专业人士设计，可在工作站上提供 VFX、3D 渲染和 3D CAD 所需的性能。
至强青铜	针对小型企业和存储服务器，具可靠性和可维护性。
至强白银	面向入门级计算、网络和存储，提升性能与能效。
至强黄金	多达 4 个插槽的可扩展性能，先进的可靠性，以及高级安全解决方案。
至强铂金	具先进的2、4、8路处理器性能，专为从边缘到云的要求苛刻的工作负载和服务而设计。

至强产品命名规则

品牌修饰符+处理器架构+性能等级+物理核心数量+产品线后缀



品牌修饰符+SKU 数值+代次指示符+产品线后缀





## 5.2. 至强可扩展处理器Sapphire Rapids：专为数据中心而生

- **Sapphire Rapids：下一代数据中心处理器的标准，采用Intel 7制程技术，结合性能核与全新加速器引擎，突破低时延和单线程性能极限**
  - Sapphire Rapids核心为一个分区块、模块化的SoC架构，同时采用嵌入式多芯片互连桥接（EMIB）封装技术和先进的网格架构（Mesh），在保有单晶片CPU接口优势的同时，具有显著的可扩展性
  - 该处理器能够提供单一、平衡的统一内存访问架构，每个线程都能够完全访问缓存、内存和I/O等所有单元上的全部资源，使得整个SoC具有一致的低时延与高横向带宽。
  - Sapphire Rapids同时提供多类针对数据中心的加速器，包括新指令集架构和集成IP。

### 至强可扩展处理器Sapphire Rapids

**New Standard in Data Center Architecture**

Multi Tile SoC for Scalability	Physically Tiled, Logically Monolithic	General Purpose & Dedicated Acceleration Engines
--------------------------------	--	--

**Designed for Microservices and AI Workloads**

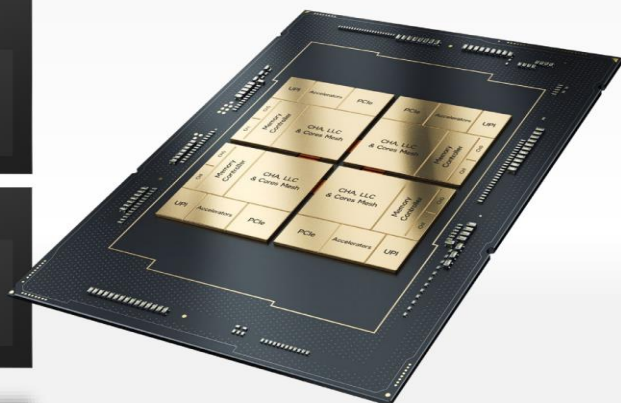
Performance Core Architecture	Workload Specialized Acceleration
-------------------------------	-----------------------------------

**Pioneering Advanced Memory & IO Transitions**

DDR 5 & HBM	PCIe 5.0	Enhanced Virtualization Capabilities
-------------	----------	--------------------------------------

## Sapphire Rapids

Biggest Leap in Data Center Capabilities in over a Decade



### Sapphire Rapids与数据中心相关的各类加速器

- **Intel加速器接口架构指令集（AiA）**：可以进行加速器调度，便于使用。
- **Intel高级矩阵扩展（AMX）**：张量计算，加速深度学习类任务。INT8算力达到AVX-512的8倍，BFP16算力达到AVX-512的16倍
- **Intel数据流加速器（DSA）**：将数据流处理/移动任务从CPU剥离出来，使CPU增加39%的可利用时间。
- **Intel加解密/压缩解压引擎（QAT）**：可解放98%的加密/解密/压缩/解压算力。

# 5.3. 酷睿（中高端PC）：取代奔腾成PC核心高端产品线

历代酷睿发展历程——与Tick-tock与PAO战略下快速成长

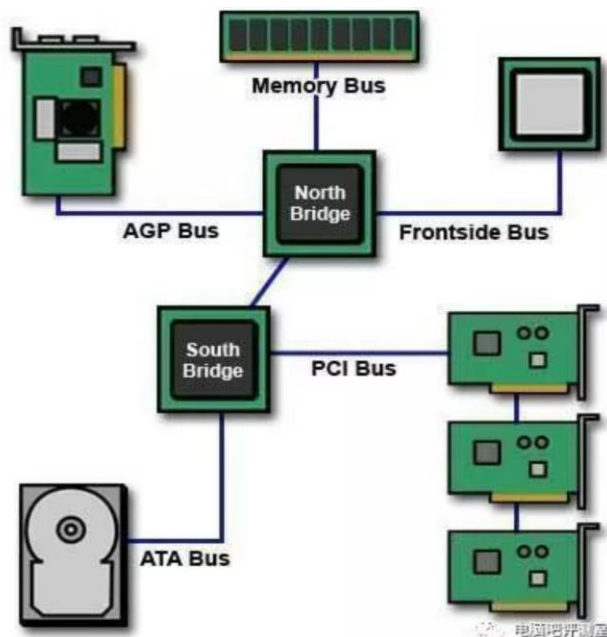
桌面CPU产品 • 关键技术变化	第一代Core / Core 2 • 取消超线程技术		Core2 • 制程改进版		第1代Core i • 首次量产HKMG工艺 • 增加三级缓存 • 采用超线程 • 初代睿频 • 初代Ringbus		第1代Core i 工艺改进版 • 第二代HKMG工艺		第2代Core i • 首次集成核显 • 第二代睿频 • 256位环形总线		第3代Core i • 首次采用三栅极晶体管(FinFET)工艺		第4代Core i • 支持DDR3 • 首次为SoC架构进行专门优化		第5代Core i • 首次采用14nm FinFET	
	核心微架构	Core		Nehalem		Sandy Bridge		Sandy Bridge		Sandy Bridge		Haswell		Haswell		
微架构	Core	Penryn	Nehalem	Westmere	Sandy Bridge	Ivy Bridge	Haswell	Broadwell								
年份	2006	2007	2008	2009	2010	2011	2013	2014								
工艺制程	65nm	45nm		32nm		22nm		14nm								
改进战略	Tock	Tick	Tock	Tick	Tock	Tick	Tock	Tick								
桌面CPU产品 • 关键技术变化	第6代Core i • 第三代DMI总线		第7代Core i • 提高主频与内存频率		第8/9代Core i • 提高主频与内存频率 • 增加缓存与核心数		第10代Core i • 增加缓存与核心数		第10代Core i • 增加新指令 • 核显大幅增强		第11代Core i • 缓存增加 • 核显大幅增强		第12代Core i • 使用大小核混合架构 • 支持DDR5			
	核心微架构	Skylake		Skylake		Sunny Cove		Willow Cove		Golden Cove		Golden Cove				
微架构	Skylake	Kaby Lake	Coffee Lake	Comet Lake	Ice Lake	Tiger Lake	Alder Lake	Raptor Lake								
年份	2015	2016	2017	2018	2019	2020	2021	2022								
工艺制程	14nm	14+nm	14++nm	14+++nm	10nm	10+nm	Intel 7	Intel 7								
改进战略	架构	优化	优化	优化	工艺	架构	架构	优化								

资料来源：Chenfan Blog-Jcf94, Wikichip, 中信证券研究部

## 5.3. 酷睿（中高端PC）：取代奔腾成PC核心高端产品线

- 自2006年第一代酷睿推出后，公司又于2008年推出第一代Core i系列，从此酷睿系列便以i3、i5、i7、i9划分产品性能，方便消费者进行选购与对比
- Core i7 965E/920为第一代酷睿，其进行大量革新，成为一代经典
  - 采用Nehalem架构，45nm制程，并采用原生四核以提高芯片性能
  - 超线程技术(hyper-threading technology)重新回归，多任务处理能力提升
  - 使用QuickPath Interface（英特尔智能互连技术(QPI)）取代此前的FSB（前端总线），将北桥整合进CPU中，使得CPU与芯片组具更快的连接速度

FSB（Front side bus）前端总线结构及与QPI对比



- FSB总线结构下，北桥位于CPU与内存、显卡、南桥芯片之间，负责数据交换，各部分呈现“CPU-北桥-内存/显卡/南桥芯片”排列，FSB总线用于连接CPU与北桥芯片，内存/显卡/南桥芯片上的数据传输必须经过FSB这一条总线，因此FSB的传输速度将直接影响CPU的数据处理速度。
- 而QPI结构，则是将北桥整合进CPU中，系统总线也将会被分成多条连接，各条总线的频率、速度可以不同，大大提升数据传输速度。

## 5.3. 酷睿（中高端PC）：取代奔腾成PC核心高端产品线

- **二代酷睿：**使用Sandy Bridge架构，并全线加入核显，大幅提高内存的兼容性。
- **五代酷睿：首次尝试14纳米制程，指令集Bug使其产品寿命短暂**
  - 五代酷睿使用Broadwell架构，并使用可与入门级独显媲美的P系列核显，开始支持DDR4；其在桌面端只有5775C和5675C两款产品CPU，更多的是应用于OEM及移动市场。
  - 根据电科技，五代酷睿由于指令集Bug问题（BDM101/BDM86错误），使其会出现MCE（机器异常检查）错误，用户在使用时会出现崩溃、蓝屏等状况。因此其也成为酷睿系列产品寿命最短的处理器
- **此后，AMD发布Zen架构，英特尔与AMD在PC市场竞争日益激烈**
  - 八代酷睿与ZEN+架构的二代锐龙同期发布；九代酷睿与ZEN2架构的三代锐龙同期发布；十代酷睿与ZEN3架构的5000系列锐龙同期发布
  - 十代酷睿的架构主体依旧是Skylake，仅在其基础上稍作修改。面对AMD的堆核设计与大缓存设计，十代酷睿开始出现降价，竞争日益激烈

十代架构Sunny Cove与前代、AMD架构对比

	Skylake	Cannon Lake	Sunny Cove*	Zen	Zen 2
L1-D Cache	32 KiB/core 8-way	32 KiB/core 8-way	48 KiB/core 12-way	32 KiB/core 8-way	32 KiB/core 8-way
L1-I Cache	32 KiB/core 8-way	32 KiB/core 8-way	32 KiB/core 8-way	64 KiB/core 4-way	32 KiB/core 8-way
L2 Cache	256 KiB/core 4-way	256 KiB/core 4-way	512 KiB/core 8-way	512 KiB/core 8-way	512 KiB/core 8-way
L3 Cache	2 MiB/core 16-way	2 MiB/core 16-way	2 MiB/core 16-way	2 MiB/core	4 MiB/core
L3 Cache Type	Inclusive	Inclusive	Inclusive	Non-Inclusive	Non-Inclusive
Decode	4 + 1	4 + 1	4 + 1	4	4
uOP Cache	1.5k	1.5k	2.25k	2k	4k
Reorder Buffer	224	224	352	192	224
Execution Ports	8	8	10	10	11
AGUs	2 + 1	2 + 1	2 + 2	1 + 1	2 + 1
AVX-512	-	1 x FMA	1 x FMA	-	-

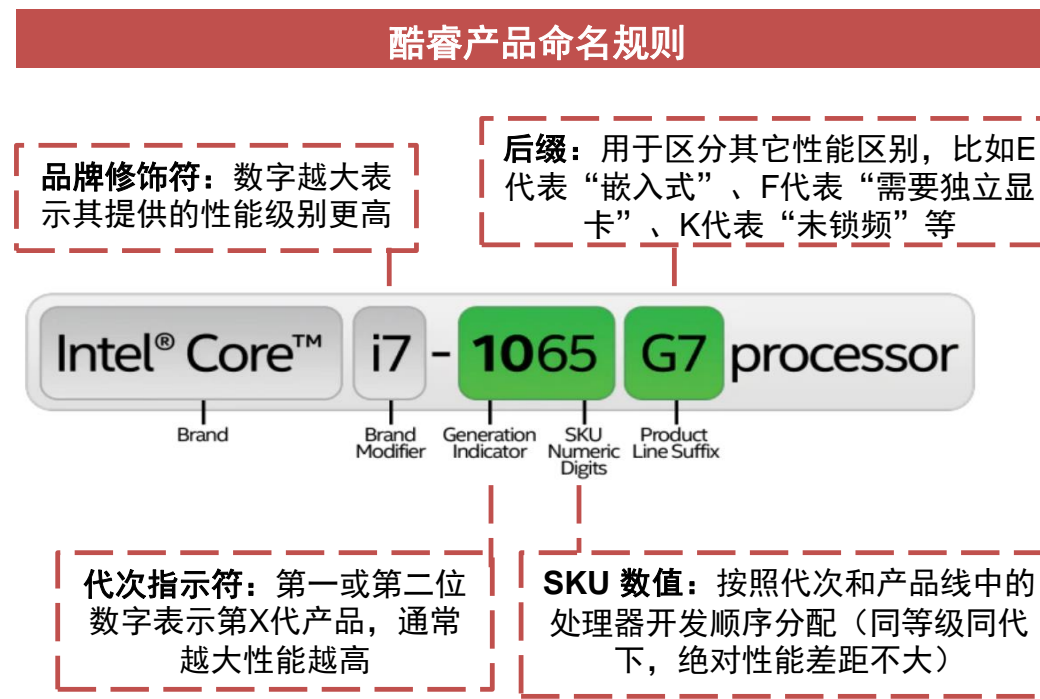
资料来源：知乎-（作者：老狼），Anandtech

## 5.3. 酷睿（中高端PC）：取代奔腾成PC核心高端产品线

- 目前，酷睿为英特尔面向笔记本电脑和台式机推出的性能最高的CPU
  - 产品性能由低端到高端分别为酷睿i3、i5、i7、i9四个系列，适应于商务、创意、游戏等场景
  - **X系列具有更高的核心数**，因此能够迅速响应多个CPU的密集型任务。如：开发CG游戏人物；图像处理、3D渲染、视频剪辑；电影级的3D渲染
  - 与性能类似的至强系列相比，**酷睿X更多应用于个人PC平台**，而非服务器等企业级场景
- 酷睿系列产品命名规则：
  - 品牌修饰符+代次指示符+SKU 数值+产品线后缀

酷睿系列分类情况	
产品系列	具体应用
酷睿i3	高性价比的处理器为日常任务提供出色的性能。
酷睿i5	专为数据中心和 workstation 打造，可处理云、大数据、建模、人工智能等的繁重处理需求。
酷睿i7	这款 CPU 集合了多达 14 个核心的能力来加速计算，支持高端游戏、连接性和安全性。
酷睿i9	为家用电脑和商用电脑提供卓越性能，用于游戏、创意和多任务处理。
酷睿 X	处理器未锁频的CPU可提供多达18个内核，用于最极端的的游戏、创意制作和多任务处理。

资料来源：英特尔官网，中信证券研究部



资料来源：英特尔官网，中信证券研究部

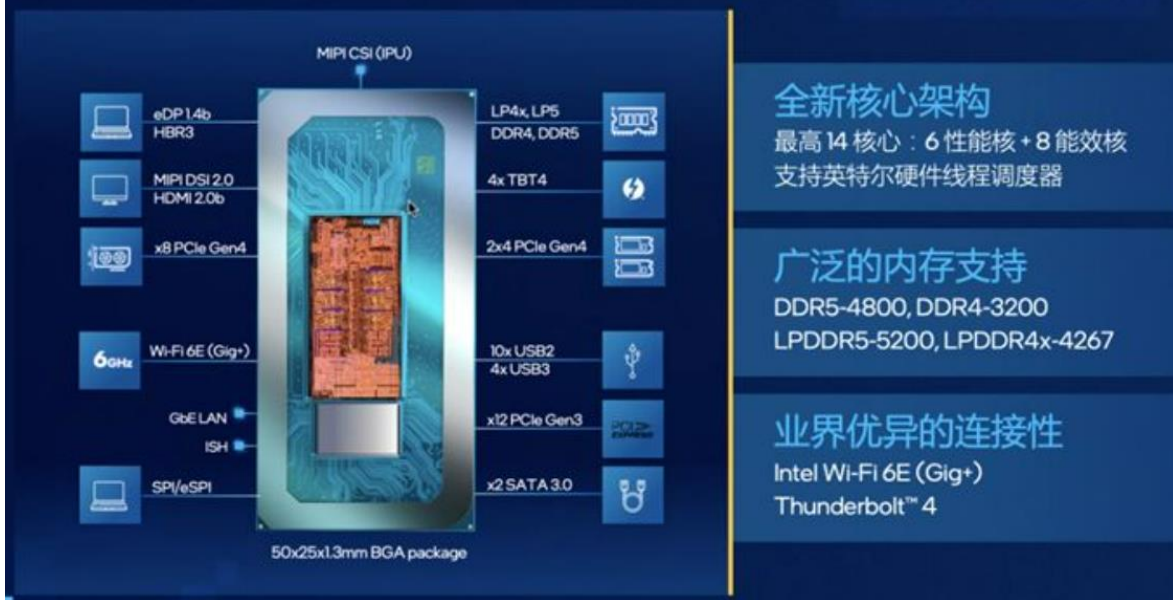
## 5.3. 处理器酷睿：异构趋势初现

### ■ 最新一代酷睿已发展到第12代处理器Alder Lake

- 采用intel 7（10nm）制程工艺
- 内存支持DDR5和LPDDR5
- 十年最大的构转型（性能混合架构），16核心24线程，内置性能核（P核）与能效核（E核）两种内核，充分平衡性能与能效
- 其中，性能核（P核）采用Golden Cove架构，IPC提升约19%；能效核采用Gracemont架构，性能接近Skylake，能效比高

#### 12代酷睿主要产品性能

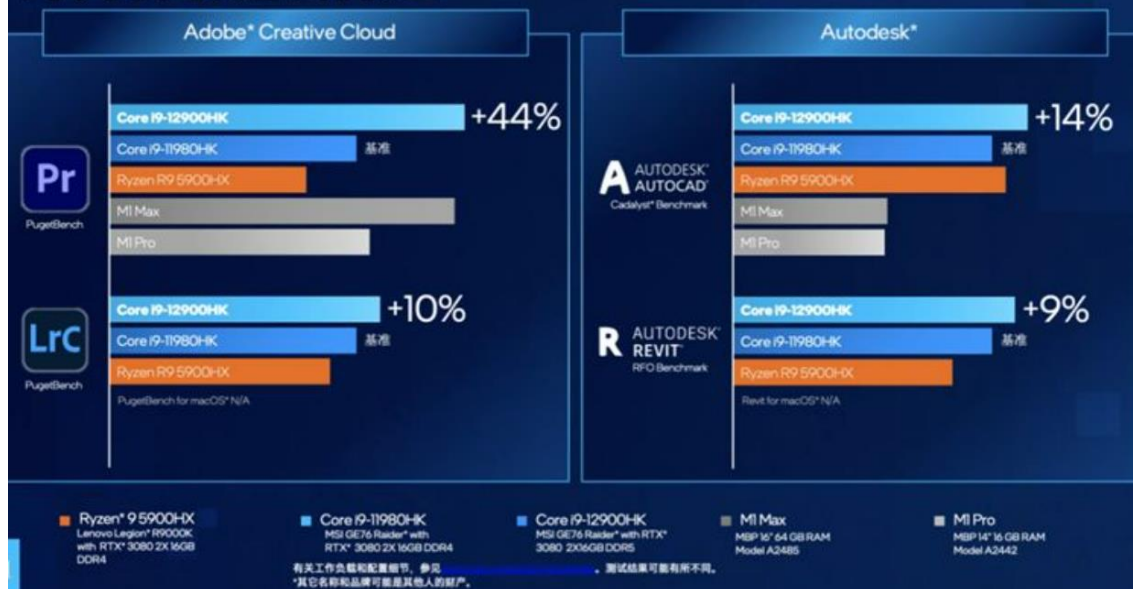
### 第12代英特尔® 酷睿™ 高性能移动版处理器 H 系列



资料来源：英特尔官网，中信证券研究部

#### 专业软件性能优于11980HK、Ryzen 9 5900HX、M1 Max

### 第12代英特尔® 酷睿™ 高性能移动版处理器 H 系列 为内容创建者打造



资料来源：英特尔官网，中信证券研究部

## 5.4. 奔腾（中低端PC）：引领CPU历史变革，现用于教育/办公场景

- 在8086等处理器取得成功，英特尔于1993年发布第一代奔腾，其非数字形式的名字是为了申请商标，防止友商模仿式命名，从而强化自身品牌
  - 英特尔的8086、80286、80386产品取得成功，为防止竞争对手使用相似的命名（如AMD的Am386、Am486等），便希望将80586申请商标，而由于数字无法申请商标，因此公司将80586取名为“Pentium”，由此“奔腾”诞生
- 奔腾为英特尔早期的唯一产品，而后由其衍生出至强、赛扬等系列

早期奔腾迭代历史

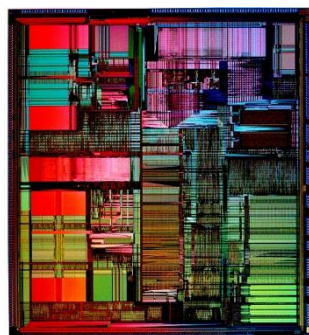
核心微架构	P5		P6			NetBurst		P6	Core
<b>CPU产品</b> • 关键技术变化	<b>Pentium</b> • 第一款超标量处理器	<b>Pentium MMX</b> • 使用MMX指令	<b>Pentium Pro</b> • 16KB L1缓存 • 256KB L2缓存	<b>Pentium II</b> • 改进16位数处理能力	<b>Pentium III</b> • 扩充SSE指令	<b>Pentium 4</b> • 前端总线频率达800MHz	<b>Pentium D</b> • 具两个奔腾4处理核心	<b>Pentium M</b> • 低功耗，高性能，为笔记本而生 • 架构更接近Pentium III的短流水线设计	<b>Pentium Dual-Core</b> • 双核双线程，功耗低，处理能力更强
<b>CPU代号</b>	P5、P54CS	Tillamook	P6	Deschutes	Tualatin	Cedar Mill	Presler	Dothan	Wolfdale-3M
<b>年份</b>	1993	1996	1995	1997	1999	2000	2005	2003	2006
<b>工艺制程</b>	350nm	250nm	350nm	250nm	130nm	65nm	65nm	65nm	45nm

资料来源：英特尔官网，wikichip，中信证券研究部

## 5.4. 奔腾（中低端PC）：引领CPU历史变革，现用于教育/办公场景

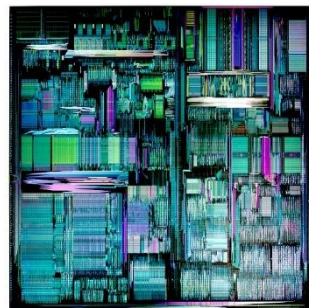
- 随着处理器性能要求的提升，在英特尔2006年推出酷睿系列后，奔腾推出产品的市场定位逐渐转向中低端PC
- 从目前的产品特点看，奔腾的特点为性价比高。注重性能、体验和价值的平衡，适用于从笔记本电脑、台式机和迷你电脑的多种设备，下分奔腾金牌与奔腾银牌，老版命名方式可分为G、D、J系列
  - 金牌：适用于日常计算，例如基本办公任务和浏览视觉效果丰富的网页，同时可进行轻量照片编辑、视频编辑和多任务处理
  - 银牌：为入门级电脑市场带来经济实惠的解决方案，提供出色的视频会议功能、更快的无线连接和较长的电池续航时间。教师和学生可以快速完成日常任务并节约宝贵时间

早期：初代奔腾与奔腾Pro，分别面向个人与服务器市场



### 第一代奔腾处理器

发布于1993年，采用0.60微米工艺，晶体管数量为320万



### 奔腾pro

发布于1995年，32位，面向服务器与工作站，晶体管数量550万  
地址总线扩展至36位，增加PAE技术，能够支持64GB的RAM

资料来源：wikichip，中信证券研究部

现为入门级应用：搭载奔腾金牌8505的DELL灵越5411一体机



显卡型号：集成显卡

适用场景：会议教学一体机/广告机

全新升级|奔腾8505 8G 256G

¥ 3299.00

资料来源：京东商城，中信证券研究部

- 8505于22Q1推出，是英特尔最新一代的奔腾处理器。
- 现如今，奔腾处理主要应用于办公场景。
- 所应用的机型价格相对较低



## 5.5. 赛扬（低价低端PC）：性能较奔腾低一级，帮助实现市场下沉

- **第一代“赛扬” Covington与“至强”同年（1998年）推出，但其无L2缓存等设计，旨在进一步做出差异化**
  - 与Pentium II Xeon一样，Covington同样采用P6架构与250nm制程，但其不配备L2缓存，因此对硬件的保护需求，散热需求较低。
  - 由于缺少二级缓存，第一代“赛扬”的整数性能受影响较大，浮点性能影响较小
  - 但结构简化使得Covington具有更低的价格与更强的超频能力，能够更适应低端市场
- **第二代“赛扬” Mendocino设计则带有L2缓存，其成功夺回大量市场，竞争力强大**
  - 第二代“赛扬” Mendocino配备128KB片内全速L2缓存，因此频率由300MHz升至533MHz
  - 其SLOT 1也改为专用于低成本处理器的Socket 370接口
  - 其成功的设计快速抢占亚洲各国PC组装市场，与同代对手AMD的K6-2相比依旧保有竞争力
- **Covington是个人电脑普及，低端CPU价格战的产物，有效帮助公司早期实现市场下沉**
  - 1998年前后，个人电脑渗透率快速提升，大量的低价CPU需求使得各厂商在低端领域展开激烈的价格战，英特尔推出赛扬系列与AMD的K6-2系列在该领域展开激烈竞争，并打击了Cyrix、Centaur、Rise等一众CPU厂商

Covington与Mendocino性能参数对比

	架构	工艺制程	核心数	缓存	频率 (MHz)	总线频率 (MHz)	接口	指令集	位数
Covington	P6	250nm	1	无	266-300	66	Slot 1 / SC242	MMX	32
Mendocino	P6	250nm	1	128 KB L2	533	66	Slot 1/Socket 370	MMX	32

资料来源：CPU-world，中信证券研究部

## 5.5. 赛扬（低价低端PC）：性能较奔腾低一级，帮助实现市场下沉

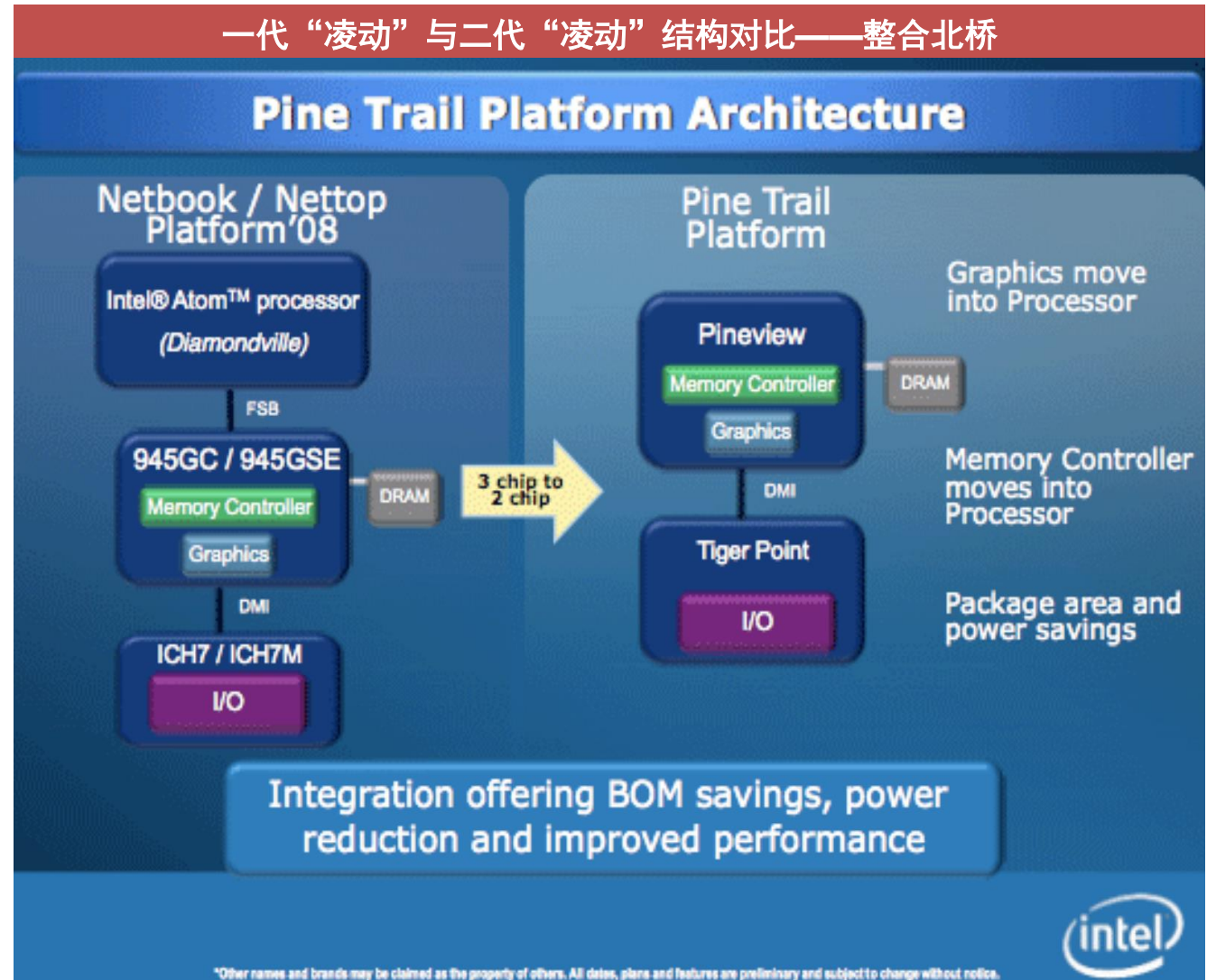
- 目前低端、低价、较强稳定性的赛扬系列，主要用于入门级电脑
  - 赛扬系列性能较低，适用于入门级电脑、嵌入式应用，核心数普遍为2，部分为4，且为单线程。
  - 其性能较奔腾更低一级，主要可分为G、J、N系列
- 但其价格普遍较低，例如22Q1推出的赛扬G6900，价格区间为42-52美元，较酷睿、奔腾系列经济实惠

英特尔部分新品参数、价格对比								
	i9-12900	i3-12100	G7400	D1702	D1739	8505	G6900	G6900TE
系列	酷睿i9	酷睿i9	奔腾金牌	至强D	至强D	奔腾金牌	赛扬	赛扬
发行日期	Q1'22	Q1'22	Q1'22	Q1'22	Q1'22	Q1'22	Q1'22	Q1'22
垂直市场	Desktop	Desktop	Desktop	Server	Server	Mobile	Desktop	Embedded
光刻	Intel 7	Intel 7	Intel 7	Intel 7	Intel 7	Intel 7	Intel 7	Intel 7
使用条件	PC/Client/ Tablet Workstation	PC/Client/Tablet	PC/Client/Tablet	Server/Enterprise...	Server/Enterprise...	/	PC/Client/Tablet	Embedded Broad Market Commercial Temp
内核数	16	4	2	2	8	5	2	2
性能核数	8	4	2	2	8	1	2	2
能效核数	8	0	0	0	0	4	0	0
线程数	24	8	4	4	16	6	2	2
缓存	30 MB Intel® Smart Cache	12 MB Intel® Smart Cache	6 MB Intel® Smart Cache	5 MB	15 MB	8 MB Intel® Smart Cache	4 MB Intel® Smart Cache	4 MB Intel® Smart Cache
提供嵌入式方案	是	是	否	否	否	否	否	是
最大内存大小	128 GB	128 GB	128 GB	256 GB	384 GB	64 GB	128 GB	128 GB
美元价格	489-519	122-129	64-74	113	743	161	42-52	44

资料来源：英特尔官网，中信证券研究部

## 5.6. 处理器凌动（低功耗、物联网）：瞄准移动市场，集成化为迭代主线 中信证券 CITIC SECURITIES

- 凌动为英特尔的超低电压处理器，其主要应用场景为智能手机、平板电脑和低成本PC
  - 凌动于2008年首次发布，一开始的Z系列全为单核
- 第一代“凌动”：产品针对上网本移动市场，面积与功耗成为设计的重要考量。
  - 第一代凌动采用Bonnell微处理器架构，45nm制程。其放弃乱序执行单元，而采用顺序执行设计。此举牺牲了部分处理器性能，但减少大量的晶体管数量，从而大幅减小芯片体积。同时，45nm制程工艺也有助于进一步缩小产品面积
  - 虽然其能耗比出色，但性能相对孱弱，一定程度上影响第一代“凌动”的销量
- 第二代“凌动”：尝试同步提升性能与减少面积的设计，弥补一代缺陷
  - 2009Q4，英特尔推出第二代“凌动” Pine Trail，其架构同样为Bonnell，制程为45nm。
  - 但相较于一代凌动，其采用双芯片设计——将北桥芯片整合进CPU中，此举既能大幅降低内存延迟，提升运算速度；又能将芯片体积减小60%-70%。



资料来源：Intel官网，unwire

## 5.6. 处理器凌动（低功耗、物联网）：瞄准移动市场，集成化为迭代主线 中信证券 CITIC SECURITIES

- 第三代“凌动”：面对手机市场的巨大机遇与ARM的强大地位，英特尔推出新一代产品Medfield，成效显著
  - Medfield由Menlow迭代而来，其微架构为Saltwell，但制程升级至32nm，处理器频率达1.80GHz或1.86GHz
  - 其将处理器与芯片整合为SoC（名为Penwell）进一步提升集成度，整个SoC的尺寸为12mm x 12mm，较前代缩小一半；
  - 同时其功耗表现也普遍由于同期产品，根据Anandtech数据，与苹果三星同期手机相比，Medfield在待机、通话、浏览等应用场景功耗均表现优异

Medfield迭代历程

### Major Reductions in Power and Form Factor

2008



Menlow

Board Size 8,500 sq mm  
Standby Power 1.6W

2009/2010



Moorestown

Moorestown

Board Size - Reduced 2x  
Standby Power Up to 50x

2011



Medfield

Medfield

Board Size - Reduced  
Standby Power - Lower

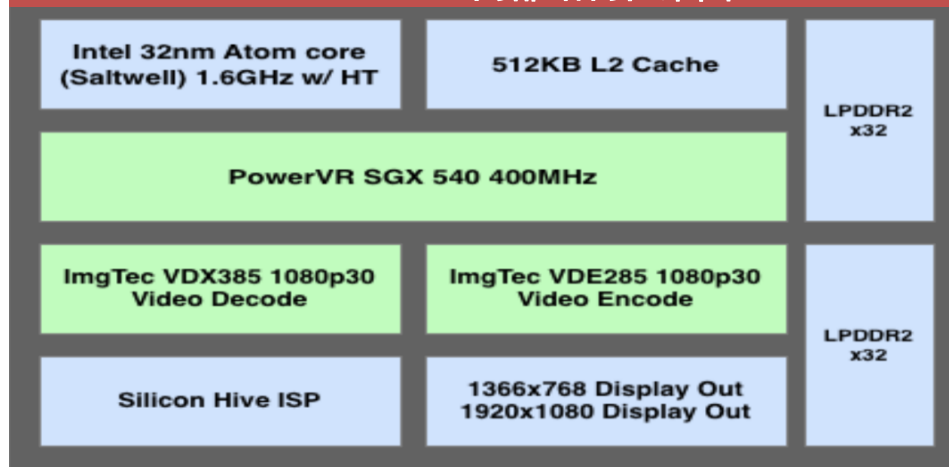
Forecast →

Power and Form Factor Reductions On Track  
Moorestown Idle Is Similar To Phone Level Power



资料来源：Intel 2009投资者会

Penwell SoC 内部结构框架图



资料来源：Anandtech

Medfield与同期产品功耗对比

	待机 (3G)	谈话 (3G)	浏览 (3G)	视频播放 720p
苹果 iPhone 4S	~38mW	~800mW	~1.3W	~500mW
英特尔 Medfield 参考	~18mW	~700mW	~1.0W	~850mW
三星盖乐世 S II	~19mW	~675mW	~1.2W	~650mW

资料来源：Anandtech, 中信证券研究部

## 5.6. 处理器凌动（低功耗、物联网）：瞄准移动市场，集成化为迭代主线 中信证券 CITIC SECURITIES

- 此后，“凌动”陆续推出多代处理器，但在智能手机市场依旧不敌ARM
  - 在Medfield之后，“凌动”推出了Baytrail、Braswell、Apollo Lake等平台，并投资约100亿美元用于产品折扣、联合营销、设备商补贴等。根据21IC，补贴结束后，凌动出货量同比下降44%，巨额投资让利并未强化客户粘性与提升市场地位
- 我们认为，生态、兼容性、X86适配性不足等因素是英特尔在移动端市场开拓不顺的主要原因
  - 生态：“凌动”入局较晚，ARM生态已初步建立
  - 兼容性：“凌动”对安卓系统的兼容性问题始终存在，生态突破难度提升
  - 功耗与能效：英特尔的功耗高于ARM，在移动端竞争中劣势大

“凌动”系列在移动端发展阻碍

阻碍维度	具体内容
生态	“凌动”入局较晚，ARM生态已初步建立。“凌动”产品线2008年方成立，彼时ARM已成功铸造自己的生态壁垒，大量的开发商与软件已与ARM形成深度绑定，Arm+Android的合作一如当年的“Wintel”联盟，先到先得、赢者通吃
兼容性	“凌动”对安卓系统的兼容性问题，使得生态突破难度提升。“凌动”系列依旧为X86架构，而大多数移动端应用开发者不愿意为X86手机提供针对性的安装包。无论英特尔如何优化，其由于架构不同产生的兼容性问题依旧存在
功耗与能效	英特尔的功耗高于ARM，在移动端竞争中劣势大。应用于PC端的英特尔处理器具有更高的功耗，无法满足移动端的功耗需求，需要重新设计，其设计方案往往以牺牲性能为代价实现功耗的降低，但其能耗比依旧低于ARM

## 5.6. 处理器凌动（低功耗、物联网）：瞄准移动市场，集成化为迭代主线

- 目前，“凌动”系列逐渐边缘化，但相关架构应用于12代酷睿的能效核中
  - 2016年4月底，英特尔公司发言人证实原定在2016年推出的移动处理器凌动产品线的两个新版本将会取消发布，换言之英特尔将会退出智能手机芯片市场
  - 而后由于公司布局调整，其Atom的N系列被并入奔腾与赛扬中；目前所保留的C系列、P系列主要针对服务器、基站等应用领域；后整个系列的核心数跨度也逐渐变大，最小为2核，最大为24核（如凌动P5900系列的P5962B）
  - 智能手机市场逐渐被ARM所占据，Atom系列不再更新，但在12代酷睿中，Atom则作为高能效比的“小核”（能效核），再次出现，在“大小核”时代发挥其作用。

### 凌动P5900系列产品特点



- 英特尔第一款为5G基站打造的SoC单颗芯片，专为5G的高带宽和低延迟而设计。
- 功耗完全满足基站要求
- 将计算、连接、加速器集成到单颗SoC片上系统中。采用英特尔10纳米
- 延续英特尔的专长，拥有极强的计算能力；在连接上，具有内置的交换，速度高达440T。

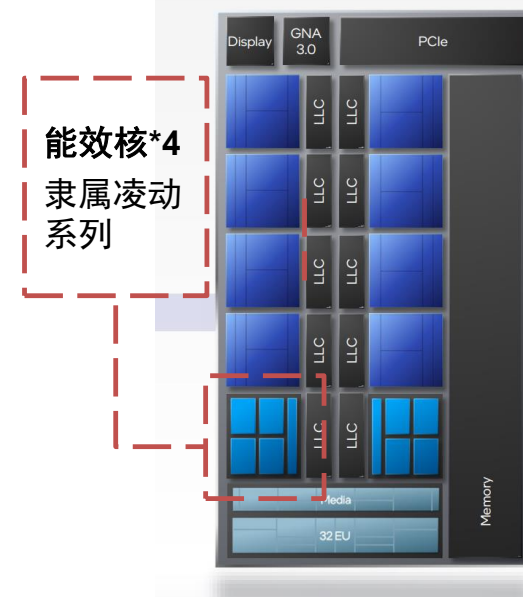
资料来源：英特尔官网，中信证券研究部

### 凌动P5962B性能参数

	P5962B
系列	凌动P
发行日期	Q1'20
垂直市场	Server
光刻	10 nm
使用条件	Base Transceiver Station
内核数	24
基本频率	2.20 GHz
线程数	24
缓存	27 MB L2 Cache
提供嵌入式方案	是
UPI 链接数	0
QPI 链接数	0
最大内存大小	128 GB

资料来源：英特尔官网，中信证券研究部

### 12代酷睿大小核设计



资料来源：IAD 2021，中信证券研究部

## 5.7. Movidius视觉处理器：前瞻布局，针对边缘与AI设备

### ■ Movidius视觉处理器(VPU) 用于计算机视觉和边缘人工智能工作负载

- 通过独特架构，将高度并行的可编程计算与面向特定工作负载的硬件加速相结合，并可实现电源效率和计算性能之间的平衡
- 借助深度神经网络和基于计算机视觉的应用程序，为智能摄像头、边缘服务器和人工智能设备提供支持
- 目前，英特尔官网仅子公司Movidius推出的Myriad X一颗VPU产品

#### Movidius Myriad X性能参数



- 工艺制程为16nm FinFET
- 引入了被称为神经计算引擎（Neural Compute Engine）的片上 DNN 加速器，在 Myriad X 的理论 4+ TOPS 计算能力的基础下，可以实现每秒超过 1 万亿次操作 (TOPS) 的峰值 DNN 推理吞吐量
- 拥有四个 C 编程 128 位 VLIW 矢量处理器
- 支持 30 Hz (H.264/H.265) 和 60 Hz (M/JPEG) 的 4K 硬件编码。
- 在接口方面，支持 USB 3.1 和 PCIe 3.0

## 六、行业演变：多年积累，竞合不断，成就行业两大龙头

---

- 6.1 发展演变：相互竞合，初始禀赋与体量决定不同发展战略
- 6.2 竞争格局：差距逐渐缩小，笔记本服务器市场公司优势显著



## 6.1. 发展演变：AMD，同根同源的对手，竞合不断

- 英特尔在CPU上主要竞争对手是AMD，两者在各个发展阶段联系紧密，竞合不断
- 公司创立——英特尔与AMD的创始人均来自“仙童半导体”。“英特尔”创立后，仙童半导体销售部主管杰里·桑德斯加入无果，便与其它7名仙童半导体员工共同创立了“AMD”



- 同根同源，拥有相似的产业资源、趋势研判
- 罗伯特·诺伊斯曾以个人信用为AMD做担保，帮助解决前期筹资问题
- 相似且紧密的关系为后续的竞合埋下伏笔

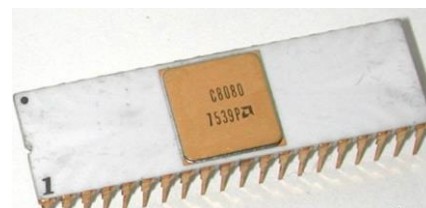
- 错位成长——作为英特尔的“第二供应商”，重学习追赶，轻正面对抗。AMD推出的第一款CPU AM9080，实质是对Intel 8080A的逆向参考，并具有增强的电气特性和更低的功耗



AMD AM9080

资料来源：Wikichip，中信证券研究部；注：Logo来自各公司官网

模仿逆向于



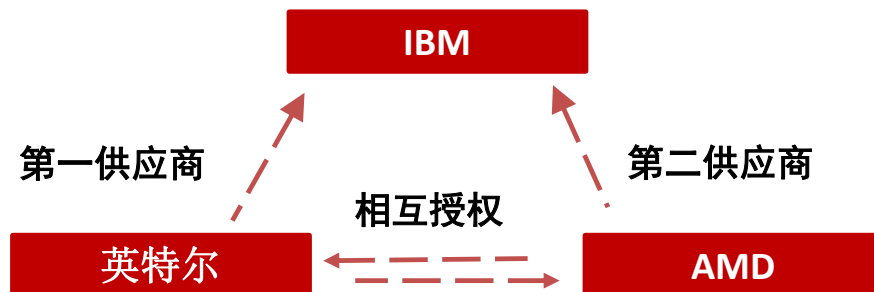
Intel 8080A

资料来源：cpu-world，中信证券研究部

- AMD不与英特尔竞争，而是通过产品性能打败其余竞争对手，成为“第二供应商”
- 符合当时下游厂商的“多供应商”需求，避免正面对抗
- 苹果等公司如今依旧采用“多供应商”的策略

## 6.1. 发展演变：由AMD追随模仿，到双方各展所长

- **共同发展——AMD作为“第二供应商”，与英特尔共同进入IBM供应链，收获X86架构。**为满足IBM“第二供应商”要求及打入IBM供应链，英特尔同意授权AMD生产X86处理器，同时AMD放弃自有产品，成为第二供应商



- 英特尔：逐渐意识到微处理器的重要性，并调整自身业务核心
- AMD：成功进入X86架构，并在后续以此为蓝本推出Am286处理器

- **产权对抗——“第二供应商”策略带来的知识产权风险：**模仿追随下，AMD迅速发展。英特尔开始对AMD“专利侵权”展开诉讼，最终英特尔败诉。AMD获得80386的任何知识产权（包括X86指令集）
- **各显神通——英特尔加快产品研发，并推出“Intel inside”运动，强化品牌。**AMD基于X86架构下的内研外并，构筑自有产品力，主打性价比

### 英特尔

- 陆续推出386、486、以及具有跨时代意义的奔腾（586）处理器
- 推出Intel inside：只要下游客户在其相关产品广告中打出Intel inside的标志，就能获得英特尔的“广告报销”

### AMD

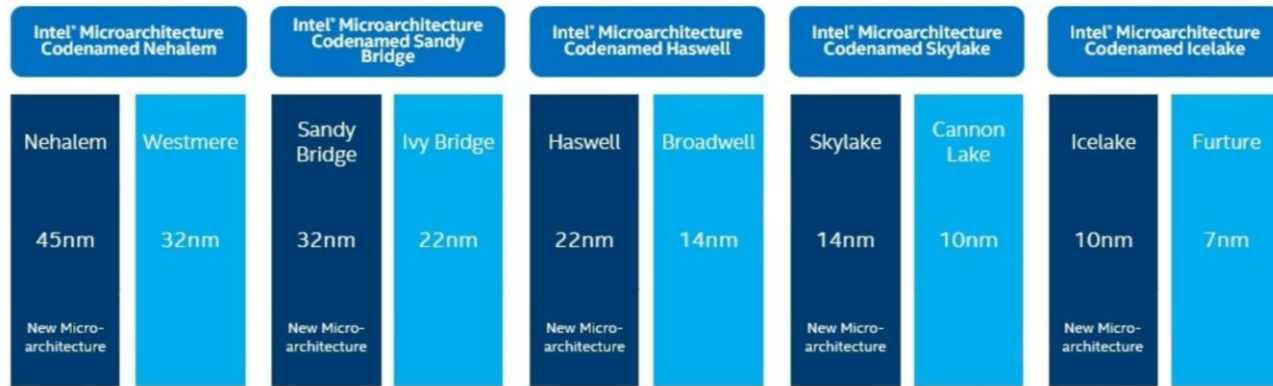
- 推出Am386，与intel的386兼容，性价比高
- 而后收购NexGen，推出“速龙”处理器，前于英特尔发布全球首款1GHZ的处理器

- 双方开始根据自身行业地位制定市场战略
  - 英特尔旨在提高品牌辨识度，做出品牌差异
  - AMD瞄准中端市场，提升性价比
- 双方均重视CPU性能的提升，开始在产品迭代上进行竞争。

## 6.1. 发展演变：英特尔——加速研发，拉开差距

- **英特尔Tick-Tock策略——2006年，英特尔提出“Tick-Tock”战略。**公司以两年一个周期进行工艺与架构的交替更新，从而保证产品性能的持续提升
- **“Tick-Tock”→“PAO”：**技术无法跟上迭代节奏，延长为三年一周期，多添加“优化”环节

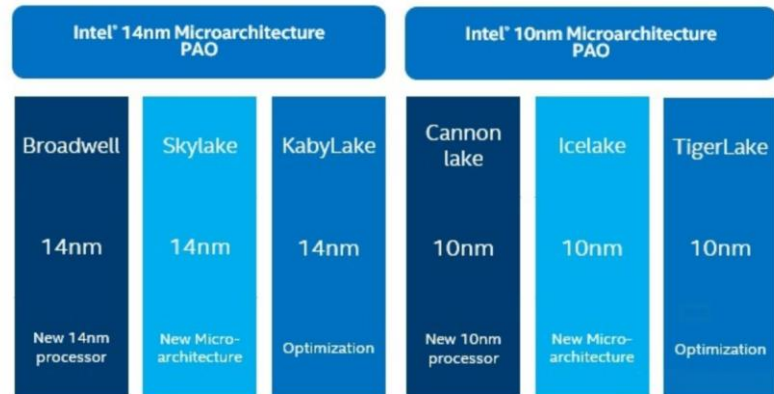
英特尔“Tick-Tock”战略产品规划图



资料来源：CSDN-CHENG Jian, 英特尔官网

- **工艺年（Tick）：**使用新的制程，架构方面仅做微小调整
- **架构年（Tock）：**主要针对架构进行较大改进，并优化前一年线程

英特尔“PAO”战略产品规划图



资料来源：CSDN-CHENG Jian, 英特尔官网, 中信证券研究部

- 2016年，由于14nm、10nm工艺进展不顺，英特尔放弃“Tick-Tock”战略，而采用PAO”战略
- 采用“PAO”战略，以三年为一周期，进行“工艺-架构-优化”的交替迭代

- **保证产品迭代速度：**使得AMD无法跟随英特尔快速的产品迭代速度，有效拉开与AMD的差距。
- **更具稳定性：**将工艺与架构交错升级，避免工艺与架构同时更新失败的风险

## 6.1. 发展演变：AMD——内研架构，外寻工艺，实现追赶

- **AMD由IDM转为Fabless**：2009年，由于AMD资金紧张，无法继续在代工方面投入大量的资金，其将自有的代工厂“格罗方德”分拆出售，由IDM转为Fabless，专注于芯片的研发环节
- **借力于台积电，实现赶超**：英特尔10nm制程进展不顺，而AMD选择台积电进行代工，首次实现在制程维度的反超。借助台积电先进工艺，结合自身研发多年的Zen架构，AMD CPU性能提升明显，迅速抢占市场

AMD Zen架构CPU路线图



资料来源：知乎@半导体行业观察，tomshardware

AMD Zen霄龙服务器产品历程

- 17年，AMD推出了耗时4年研发的“Zen”架构，EPYC霄龙服务器处理器性能大幅提升
- 19年，推出“Zen2”架构的第二代霄龙，为首颗7nm制程的服务器处理器，由台积电代工
- 21年推出“Zen3”架构的第三代霄龙服务器处理器，同为7nm，实现19%的代际IPC提升

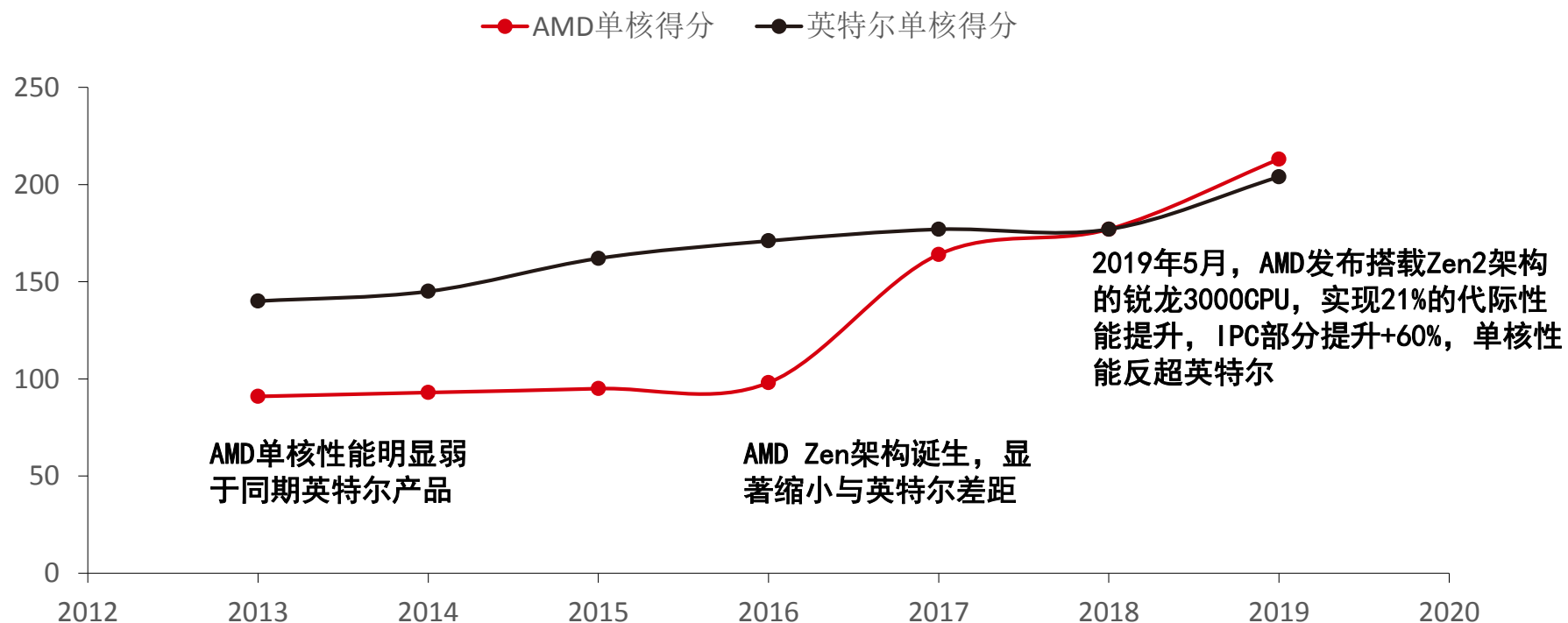
- 架构+制程：CPU性能提升的两大关键
- 无论是英特尔还是AMD，CPU厂商在进行向上突破时，都极大依赖于架构与制程的革新
- 专注研发的Fabless模式，更适合体量较小的CPU厂商

资料来源：AMD官网，中信证券研究部

## 6.1. 发展演变：AMD——内研架构，外寻工艺，实现追赶

- 在架构上，Zen架构快速提升单核性能，弥补自身产品长期以来的劣势；此后，Zen2实现性能反超
  - 一直以来，AMD的CPU都存在单核性能羸弱的特点，单核性能始终弱于同期同等级的英特尔产品，只能依靠“堆核”的策略缩小两者的差距
  - 根据Cinebench R15数据，AMD在2019年凭借其Zen 2架构，成功实现CPU单核跑分的超越

AMD与英特尔在同频下Cinebench R15单核跑分对比



资料来源：Cinebench R15，前瞻产业研究院，中信证券研究部

注：2018年及以前为（4.0GHz），2019年为4.1GHz

## 6.1. 发展演变：AMD——内研架构，外寻工艺，实现追赶

- 同时，Foundry厂商台积电专注于代工制造，能够具有充足的资本投入于制程的推进，因此能帮助AMD迅速补足工艺制程的不足
  - 2017年以前，AMD的各代产品在制程上都落后于英特尔的同期产品，英特尔在2013年已成功量产14nm产品，而同期AMD仍停留在32nm制程
  - 而在17年后，AMD借助台积电成功实现制程上的反超，率先量产7nm CPU

2008-2021 英特尔与AMD处理器架构与制程对比

AMD制程落后，产品性能不足，市场份额日益减少

AMD+台积电  
Fabless+Foundry  
各自聚焦架构与工艺  
实现反超

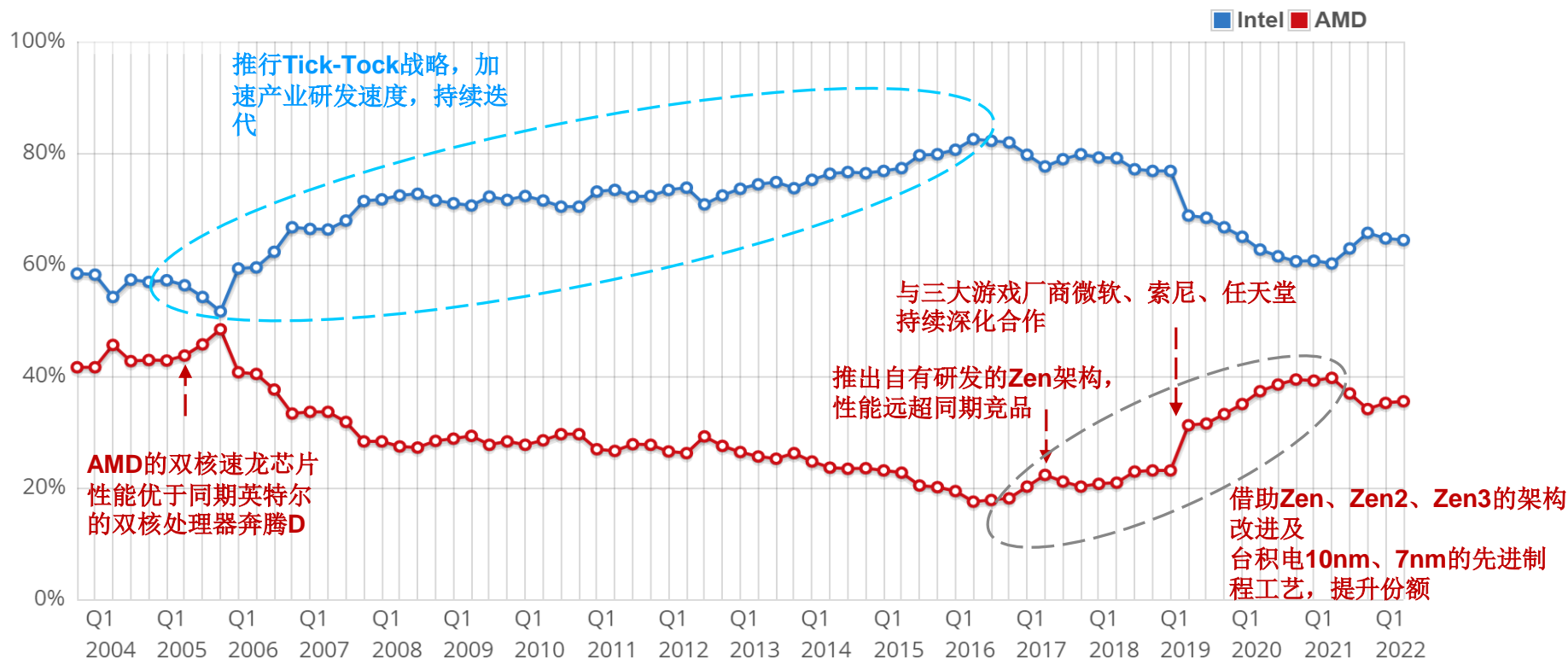
年份	英特尔		AMD	
	架构	工艺	架构	工艺
2008	Corei7(Nehalem)	45nm	Phenom FX(Agena)	65nm
2010	Corei7(Westmere)	32nm	Phenom II(Thuban)	45nm
2011	Sandy Bridge	32nm	FX(Bulldozer)APU(Liano)	32nm
2012	Ivy Bridge	22nm	FX(Piledriver)APU(Trinity)	32nm
2013	Haswell	14nm	FX(Piledriver)APU(Richard)	32nm
2014	Broadwell	14nm	FX(Piledriver)	28nm
2015	Skywell	14nm	APU(Godavri,Carrizo)	28nm
2016	Kabylake	14nm+	FX(Zen)	14nm
2017	Cannonlake	14nm++	APU(Zen)	14nm
2018	Cannonlake/Coffeelake	14nm++	Zen+	12nm
2019	Icelake	10nm	Zen 2	7nm
2020	Tigerlake	10nm	Zen 3	7nm
2021	Alderlake	7nm		

资料来源：前瞻产业研究院，英特尔官网，AMD官网，中信证券研究部

## 6.2. 竞争格局：CPU市场英特尔优势明显，AMD奋起追赶

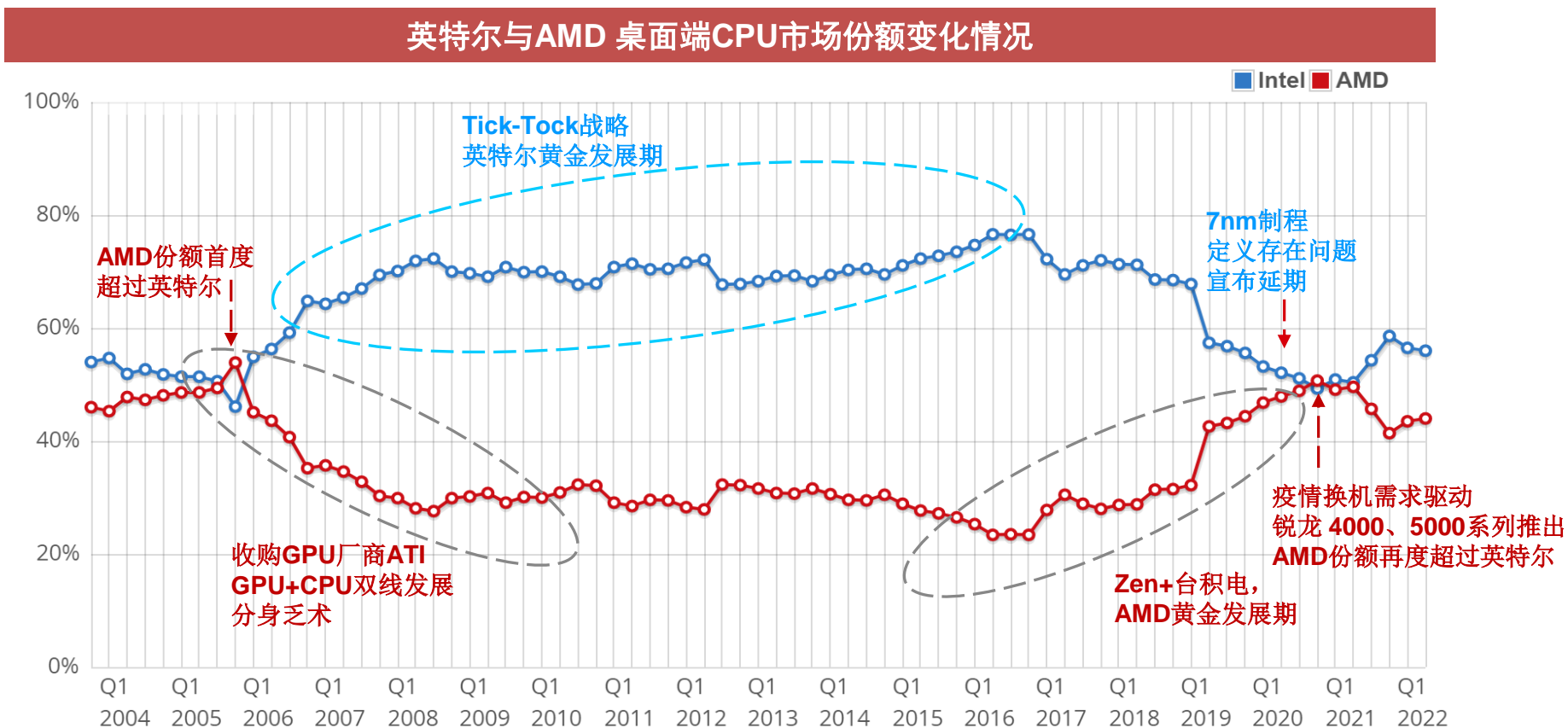
- 在CPU市场，两者分别在不同时期凭借自身正确的发展战略迅速提升份额
  - 06年以前，英特尔与AMD在CPU市场中的份额逐渐接近，而后英特尔发挥技术累积优势，利用“Tick-Tock”战略快速提升产品研发速度，市场份额再次拉开。
  - 15年以后，AMD逐渐注重非PC市场，加强与三大游戏厂商微软、索尼、任天堂的合作
  - 同时AMD开始注重高性能市场，与17年推出全新Zen架构，搭配台积电10nm、7nm先进制程，份额快速提升

英特尔与AMD CPU市场份额变化情况



## 6.2. 竞争格局：桌面端AMD发展迅速，差距明显缩小

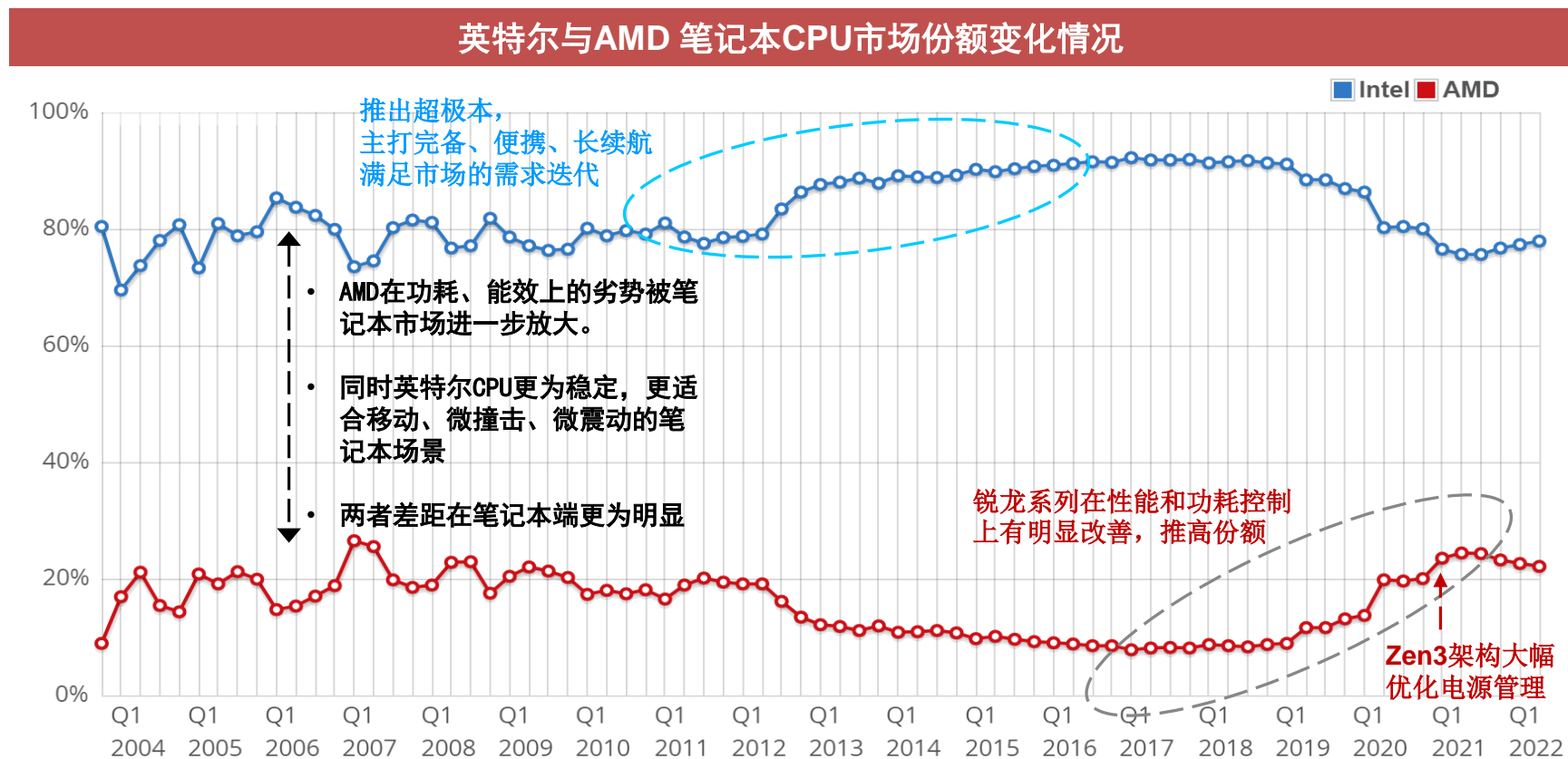
- 其中，桌面端电脑为CPU的主要战场，竞争相对激烈，AMD凭借Zen架构一度实现反超
  - 作为CPU的主要竞争市场，两家公司均在桌面端持续发力，份额也相对接近
  - 16Q1，AMD市场份额为53.9%，首度超过英特尔，虽只维持了一个季度，但也使得英特尔意识到自身主业的竞争危机
  - 21Q1，疫情换机需求+半导体历史级行情使得桌面端需求与ASP迅速提升，锐龙4000的持续需求与锐龙5000系列的推出帮助AMD迅速成长。





## 6.2. 竞争格局：笔记本端格局稳定，英特尔优势明显

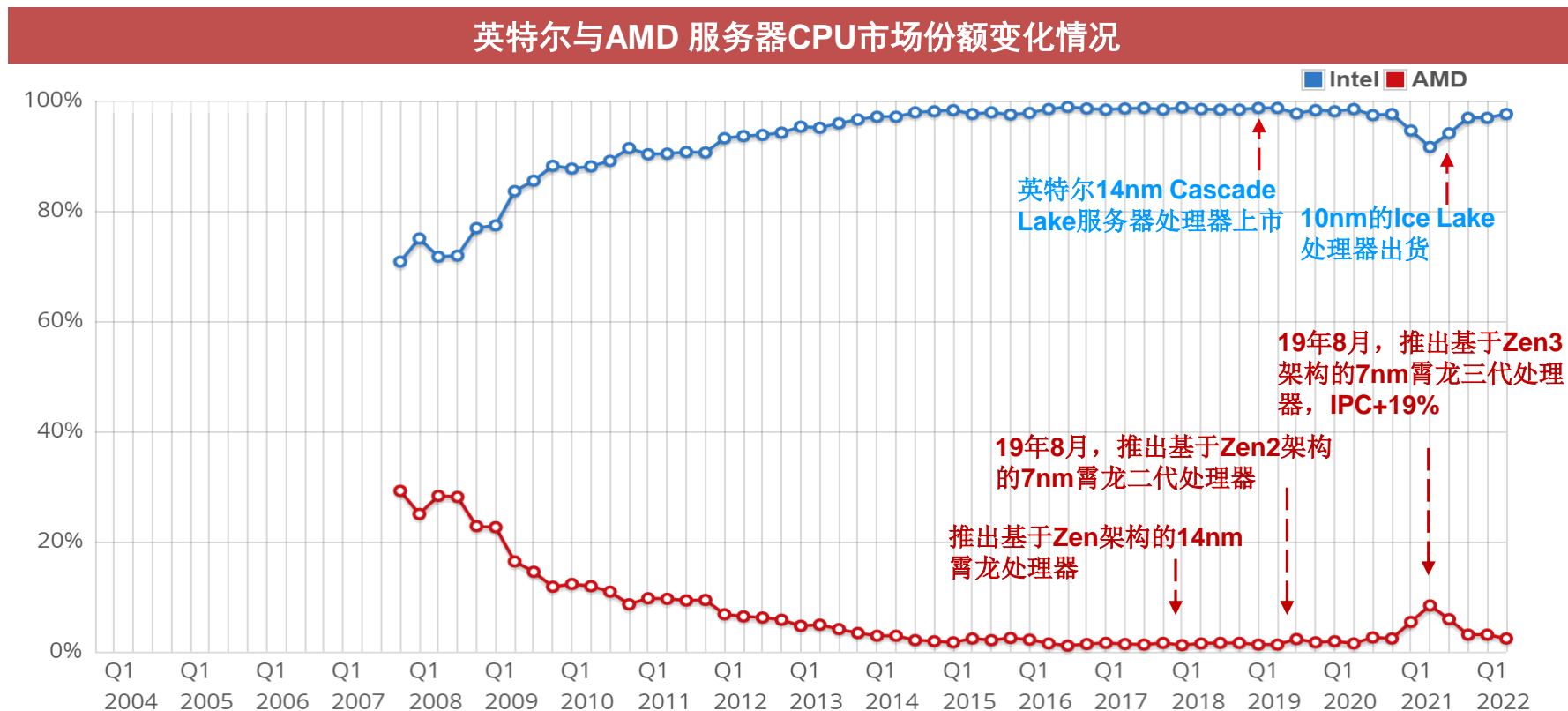
- 由于功耗、稳定性、单核性能等优势，英特尔在笔记本电脑市场一直表现强势。近年来公司份额有所下降，但优势不减
  - 笔记本电脑对功耗、发热均更敏感，要求更为苛刻，而这些维度又恰是AMD的相对弱项，因此AMD在笔记本市场一直无法撼动英特尔的市场地位
  - AMD在笔记本端一直发力不足，份额一直在20%左右徘徊；相反，英特尔在笔记本市场投入不断，相继推出“超极本”、“雅典娜计划”的方案，实现续航、性能、重量的同步提升



## 6.2. 竞争格局：服务器端差距扩大，性能导向致使强者恒强

### ■ 服务器市场更加强调性能，因此英特尔的龙头地位更加显著，呈现“强者恒强”格局

- 英特尔08年Q1在服务器市场的份额为70.8%，此后份额迅速提升，15Q1英特尔在服务器市场的份额已达98.1%。成为该市场的绝对龙头
- 2019年3月，基于Zen3架构的霄龙第三代服务器处理器推出，帮助AMD迅速抢占市场份额。根据PassMark数据，AMD市场份额由21Q1的2.4%增至21Q3的8.4%。
- 而后英特尔10nm的Ice Lake出货，又逐渐夺回部分市场份额



## 七：行业启示：下游需求引领行业变革，商业模式需适配产业趋势

---

- 7.1 架构先行：微架构是CPU竞争的核心法宝，相对成熟利于追赶
- 7.2 生态为王：生态是企业壮大的关键，强者愈强地位稳固
- 7.3 需求引领：需求迭代催生后浪巨头，把握下游打开新兴市场
- 7.4 商业模式：Fabless展现优势，分工合作利于规模扩张

# 7.1 架构先行：CPU竞争的核心法宝，技术相对成熟，国产厂商加速追赶

- 国际上来看，微架构是CPU竞争的核心法宝，目前主要的架构技术已经相对成熟。
  - 指令集架构方面，主要的发展集中于SIMD，到AVX512已经面临GPU等芯片挑战，且应用场景有限。
  - 微架构方面，流水、缓存、乱序等都已经出现数十年，现在边际效用已经出现明显递减。
- 微架构是国产CPU最主要的发力点，不断缩小与海外龙头差距。
  - 工艺制程、先进封装等影响性能的关键因素受限于国产半导体产业链的技术水平，CPU企业自身难以独立决定，对于CPU企业自身而言，微架构的持续创新迭代成为竞争的重点。

## 指令集架构/微架构的核心思想在数十年前就已经出现

主要技术	首次出现	在CPU上首次出现
流水线	1960, IBM 7030 Stretch	1982, Intel 80286
高速缓存	1969, IBM 360/85	1984, Intel 80386
乱序执行	1967, IBM 360/91	1995, Intel Pentium Pro
SIMD		1997, Intel Pentium MMX

资料来源：TechNews科技新报《回顾历史梦幻处理器：计算机结构、商业大型主机与超级计算机的诞生》(handymantw)，IBM Archives: IBM Mainframe，中信证券研究部

## 架构改进的效用已经明显缩小

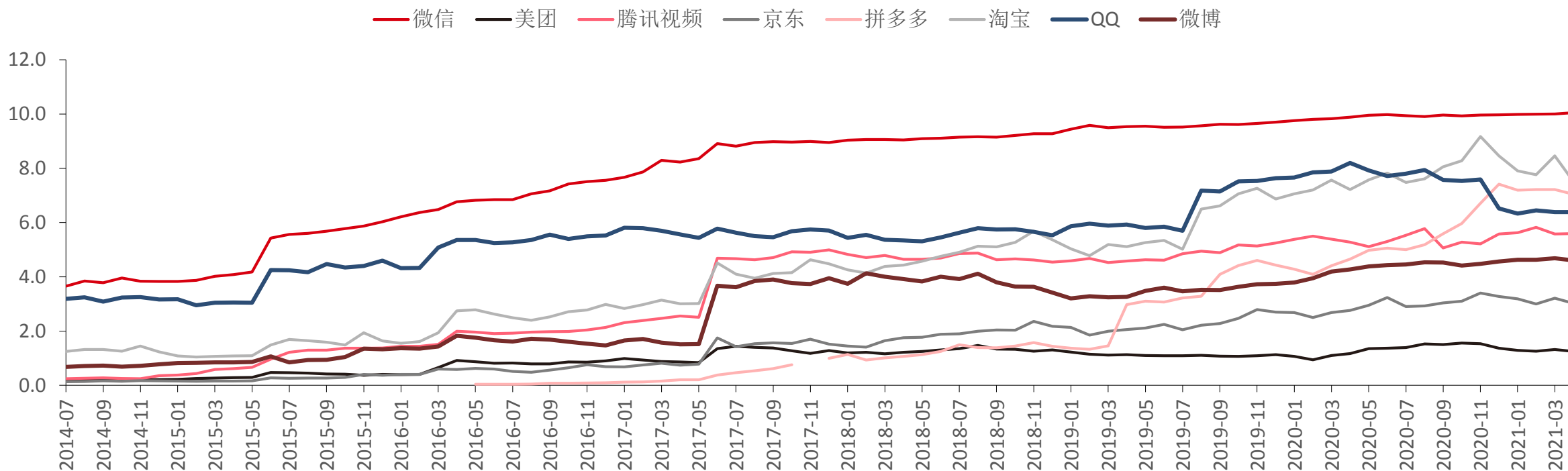
架构改进幅度	IPC提升幅度
微指令缓存+68.75%	约3%
L2缓存+100%	约1%
分支预测缓存+50%	约2%
乱序执行缓存+25%	约1%

资料来源：AMD Ryzen 7000系列发布会，Twitter@chiakokhua，中信证券研究部测算

## 7.2. 生态为王：生态是第一竞争力，强者愈强难以颠覆

- 指令集相当于语言，则软件相当于书籍，语言为书籍提供建立基础，书籍为语言带来大量用户
- 在大规模生态中，大批用户能够吸引大批开发者，进而产生大批量应用程序，进一步吸引用户，形成正反馈。生态文化圈用户粘性不断增强，可以在各APP的活跃用户数体现
- 开放环境中，生态对于市场的影响力远超技术水平、自主程度，其他因素难以颠覆生态

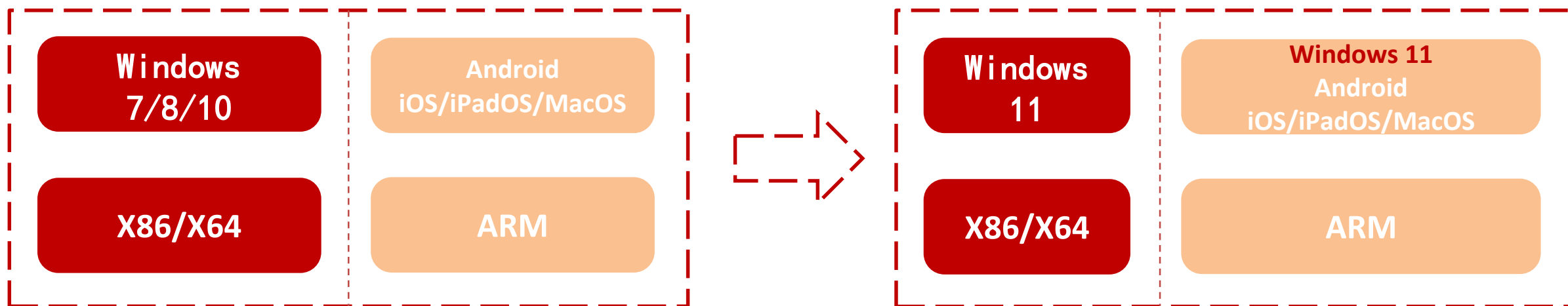
中国部分主流APP活跃用户数（亿）——软件生态圈通常总是越来越稳固，难以颠覆，其依赖的指令集也因而难以颠覆



## 7.2. 生态为王：生态是第一竞争力，强者愈强难以颠覆

- 目前CPU主要的两大生态分别是：1、以英特尔、AMD为代表的X86架构生态。2、以ARM授权公司（高通、苹果、华为）为代表的Arm架构生态
  - 同时，ARM生态发展正逐渐壮大，有逐渐蚕食X86架构生态的趋势
- 对于一些国产自研架构，除技术外，生态也是亟待处理解决的问题。如若架构上没有丰富的软件生态，架构则会“空有骨架，缺乏灵魂”
  - **解决方法——指令翻译**：利用类似于苹果Rosetta 2的指令翻译程序，将其他架构上的程序进行指令集转译，从而迁移到目标架构上，但这一做法不能保证软件的完整运行

Arm架构生态日益壮大，逐渐蚕食X86架构生态，Windows 11已增加ARM支持



资料来源：各公司官网中信证券研究部

## 7.3. 需求引领：PC成就wintel，快速抢占生态位至关重要

- 成熟生态壁垒过高，难以颠覆，要开辟新的市场机会则必须有新的市场需求。新的市场需求会创造原有生态不能满足的空白市场，使新生态得以产生
- 要充分利用尚未被满足的需求，其中，速度至关重要。尽早推出产品才能占据先发优势，尽早产生正反馈，培植自身生态圈，对后发者产生压制作用
  - IBM model 5150是开放式PC商业模式的鼻祖，采用Intel 8086/8088处理器，并且可以选择MS-DOS操作系统
  - 摩托罗拉MC68000处理器性能优于Intel 8086，但诞生时间晚了15个月，刚发布便面临劣势，最终没能成功获得IBM订单，摩托罗拉也进一步失去了PC市场
  - 微软购买了QDOS并在几个月内改为MS-DOS，卖给IBM，取代了此前主流的CP/M操作系统

IBM model 5150采用Intel 8086/8088处理器



资料来源：中关村在线-刘亮《PC发展史3：个人PC开山鼻祖的前世今生》

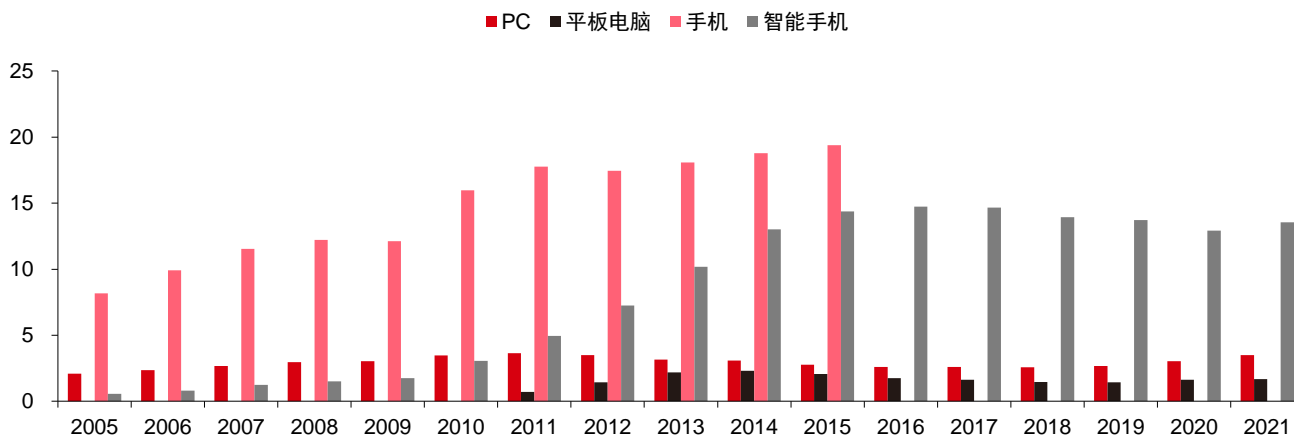
摩托罗拉MC68000处理器



资料来源：中关村在线-刘亮《PC发展史3：个人PC开山鼻祖的前世今生》

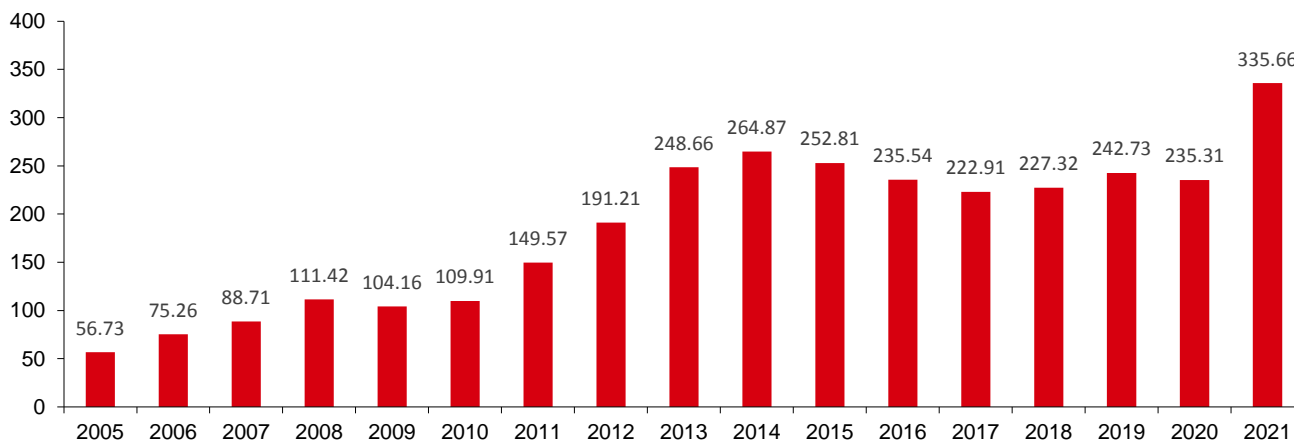
## 7.3. 需求引领：移动端铸就ARM护城河，Intel亦难撼动

### 全球智能终端出货量（亿台）



资料来源：wind, IDC, 中信证券研究部

### 高通历年营收（亿美元）



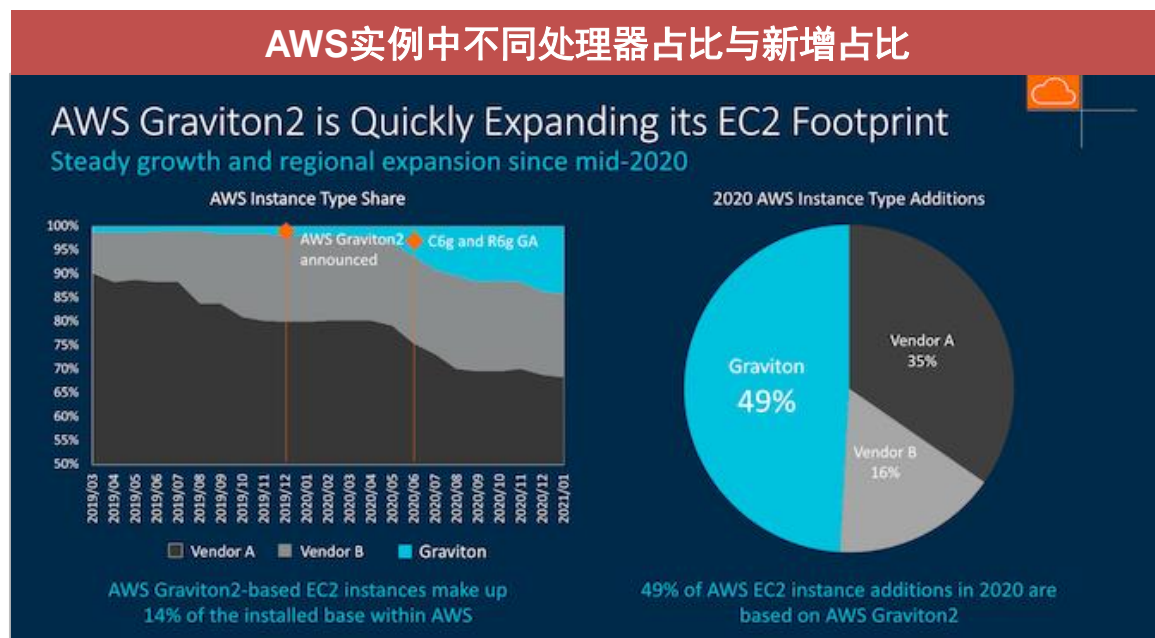
资料来源：wind, 中信证券研究部

- **ARM低功耗优势明显，随着移动通信而崛起。早期手机大量采用ARM处理器，但也未必采用ARM**
  - 早期处理器例如TI的OMAP、Intel的Xscale等都是ARM架构
  - 2000年摩托罗拉天拓A6188手机采用自研的龙珠(DragonBall)处理器，其最早的型号MC68328出现于1995年，基于MC68000内核开发
- **智能手机的兴起带动了ARM生态**
  - 手机智能化促进移动端软件发展，迫使硬件指令集统一
  - 高通与智能手机高增速时期重合
- **Intel也无法打破ARM一家独大**
  - 2008年Intel推出Atom，2010收购英飞凌基带部门，2012年Atom手机联想K800面世，2016年放弃Broxton和SoFIA开发，实质上放弃移动端。用户缺乏对x86/Windows平板的需求

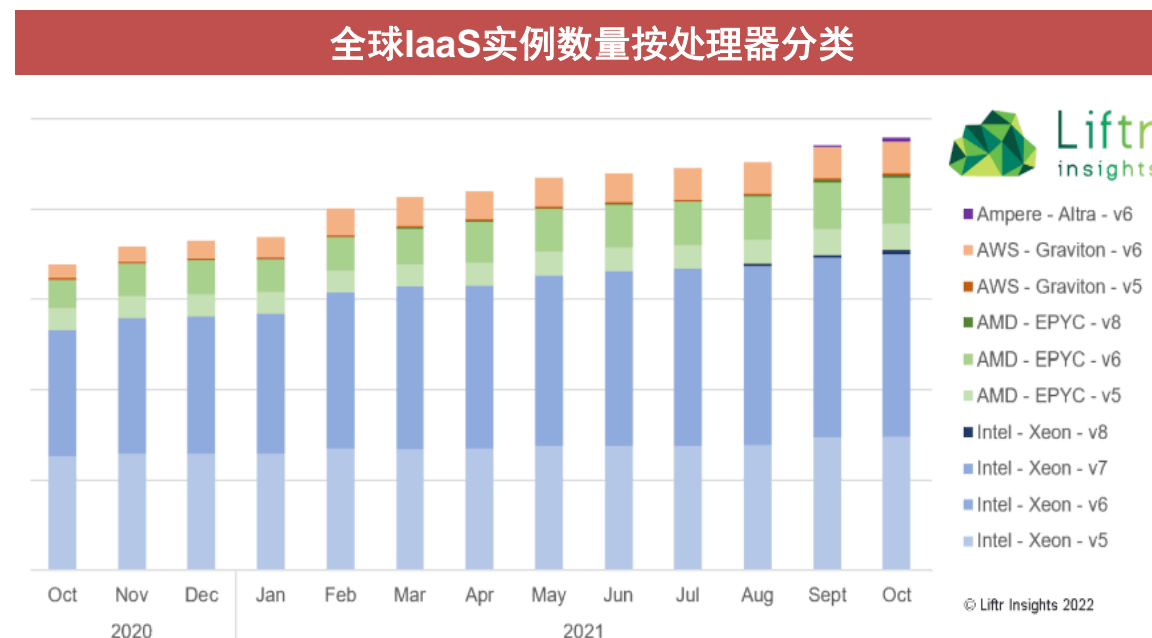


## 7.3. 需求引领：云原生助推自研ARM，物联网助力新架构

- 云原生趋势推动了软件架构的变革，对硬件提出了新需求
  - 云原生条件下的新软件往往采用微服务架构，对单核性能需求减弱，因此多核性能、网络性能、低能耗等因素更为重要。云原生需求带动了多核心数的ARM服务器CPU
  - 数据中心业务占据Intel约三分之一营收，云原生趋势对其业绩潜在影响较大
- 原有生态并未覆盖物联网生态，为新架构、新生态提供了机会
  - 物联网成为RISC-V的突破口，为应对开源的RISC-V，ARM免去M0-M3授权费。变革往往在不起眼的地方发生，正如液晶在电视屏幕上的早期应用失败，其真正的成功是从手表屏幕开始的



资料来源：AnandTech, Liftr Insights

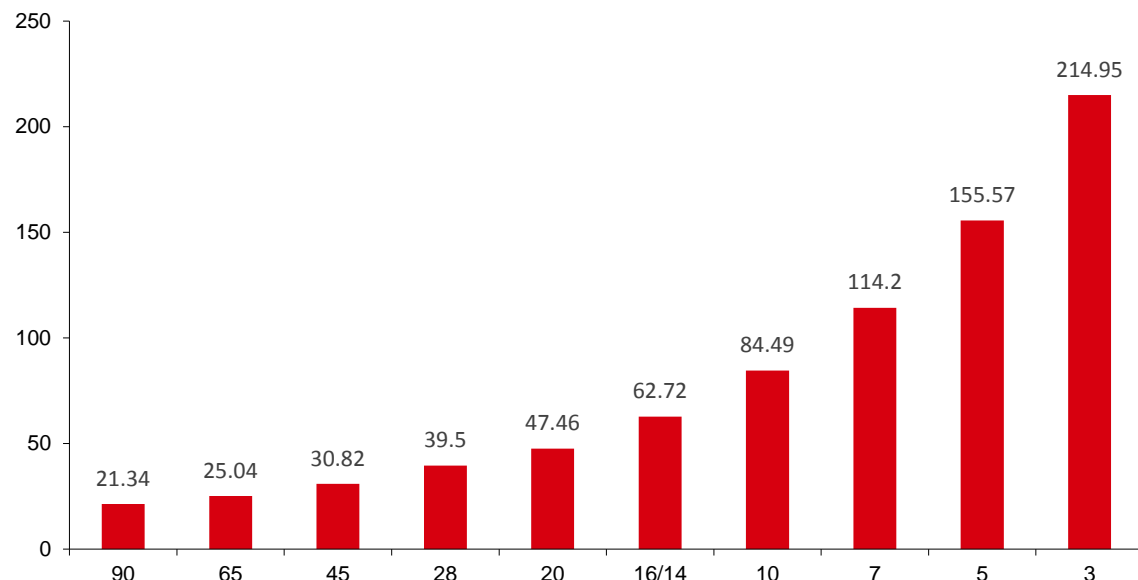


资料来源：Liftr Insights

## 7.4. 商业模式：Fabless展现优势，分工合作利于规模扩张

- 随着摩尔定律走向终结，先进制程成本过高，迫切需要大规模生产摊薄成本
  - 先进制程晶圆价格增长明显，据Twitter@chiakokhua (前TSMC工程师)测算，从2018Q3至2020Q1，5nm晶圆价格比7nm提升80%以上
- Fabless+Foundry模式能够整合各个生态圈需求，有效扩大生产规模，降成本促迭代
  - 仅苹果手机全球出货量就与全球PC总出货量较为接近，加上其余大量客户，能够大幅增加台积电生产规模，摊薄固定成本，增加报价吸引力，有利于获取更多利润并进行研发投入，保持领先优势。Fabless模式展现出比Intel IDM模式更强的生存、进化能力

每5万片晶圆产能设备投资（亿美元）



资料来源：IBS（转引自中芯国际科创板招股说明书），中信证券研究部

2020年TSMC不同制程节点成本拆分测算

Line	Node (nm)	90	65	40	28	20	16/12	10	7	5
1	Mass production year and quarter <sup>220</sup>	2004 Q4	2006 Q4	2009 Q1	2011 Q4	2014 Q3	2015 Q3	2017 Q2	2018 Q3	2020 Q1
2	Capital investment per wafer processed per year	\$4,649	\$5,456	\$6,404	\$8,144	\$10,356	\$11,220	\$13,169	\$14,267	\$16,746
3	Net capital depreciation at start of 2020 (25.29% / year)	65%	65%	65%	65%	65%	65%	55.1%	35.4%	0.0%
4	Undepreciated capital per wafer processed per year (remaining value at start of 2020)	\$1,627	\$1,910	\$2,241	\$2,850	\$3,625	\$3,927	\$5,907	\$9,213	\$16,746
5	Capital consumed per wafer processed in 2020	\$411	\$483	\$567	\$721	\$917	\$993	\$1,494	\$2,330	\$4,235
6	Other costs and markup per wafer	\$1,293	\$1,454	\$1,707	\$2,171	\$2,760	\$2,990	\$4,498	\$7,016	\$12,753
7	Foundry sale price per wafer	\$1,650	\$1,937	\$2,274	\$2,891	\$3,677	\$3,984	\$5,992	\$9,346	\$16,988
8	Foundry sale price per chip	\$2,433	\$1,428	\$713	\$453	\$399	\$331	\$274	\$233	\$238

资料来源：Twitter@chiakokhua (前TSMC工程师)

## 7.4. 商业模式：Fabless展现优势，分工合作利于规模扩张

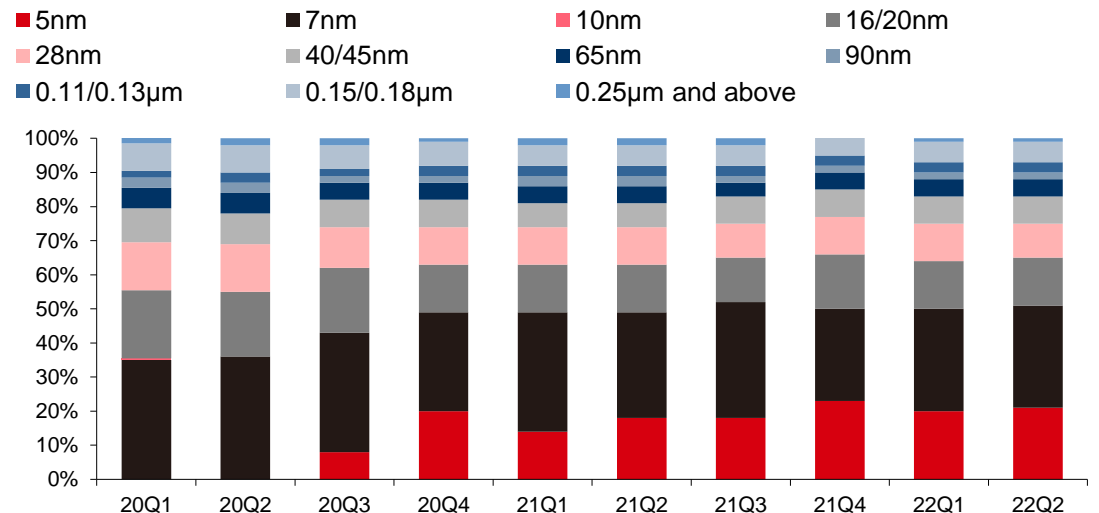
- CPU芯片依赖不断推进的先进制程，且每一节点停留时间短，使得IDM厂商对旧节点的利用率较低，而Fabless+Foundry模式则能有效利用
  - CPU等数字芯片性能依赖晶体管密度的提升，相较于模拟芯片，其产品更新迭代快，寿命普遍较短，因此每代产品在相应制程上的停留时间短，对相应制程节点的利用率不足
  - 如果采用Fabless+Foundry模式，则可利用较为老旧的制程进行其它芯片的代工服务。以台积电为例，其5nm、7nm占营收占比不断提高，但其16nm及以上制程依然保有较高且稳定的营收占比。22Q2，台积电16nm及以上制程的营收占比为49%

数字芯片（CPU）与模拟芯片维度比较

项目	模拟芯片	数字芯片
信号形式	连续函数形式的模拟信号	离散的数字信号
设计难点	非理想效应较多，需要扎实的多学科基础知识和丰富的经验	芯片规模大，工具运行时间长，工艺要求复杂，需要多团队共同协作
工艺制程	目前业界仍大量使用0.18um/0.13um，部分工艺使用28nm	按照摩尔定律的发展，使用最先进的工艺，目前已达到5-7nm
产品应用	放大器、数据转换、比较器、电源管理等	CPU、微处理器、微控制器、数字信号处理单元、存储器等
产品特点	种类多	种类少
生命周期	一般5年以上	1-2年
平均零售价	价格低，稳定	初期高，后期低

资料来源：思瑞浦招股说明书，中信证券研究部

台积电各制程节点营收占比



资料来源：台积电官网，中信证券研究部

## 7.4. 商业模式：Fabless展现优势，分工合作利于规模扩张

- **基于Fabless+Foundry模式在CPU行业的模式优势，英特尔推出IDM2.0战略，提升自身IDM模式的开放程度，向Fabless+Foundry模式靠拢**
  - **委外代工：**在坚持下先进制程研发的同时，扩大与台积电等代工厂的合作。这将使英特尔的产能变得更加灵活，能够借助外部晶圆厂进行产能协调，应对行业景气时期
  - **提供代工服务：**成立代工服务部门（IFS），将多余产能提供给类似苹果等厂商，以提高自身的产能利用率。目前，英特尔已收购Tower半导体代工厂，深入代工产业的布局，并收获联发科IoT、Wi-Fi等芯片订单（此前台积电负责联发科的代工）

### 英特尔IDM2.0主要战略内容

#### 主要内容

1. 扩张其在美国亚利桑那州的产线，投资200亿美元新建两座晶圆厂。
2. 在坚持先进制程投入的同时，扩大与台积电等代工厂的合作。
3. 成立代工服务部门并独立运作，该部门将整合旗下制程、封装，美国、欧洲等地产线资源。  
面向全球客户提供基于x86架构、Arm架构，以及RISC-V架构设计处理器产品代工服务。
4. 与IBM合作，聚焦下一代的逻辑芯片和半导体封装技术。

资料来源：集微网，中信证券研究部

### 英特尔代替台积电，成为联发科代工服务供应商

## Intel and MediaTek Form Foundry Partnership

MediaTek will use Intel Foundry Services to manufacture new chips for a range of smart edge devices.

资料来源：Intel官网

## 八、投资建议

---

## ■ 投资建议：

### ➤ 从Intel历史可见的第一核心要素：生态

➤ - 从Intel的发展历程中可以看到，生态扮演着核心的角色，生态的兼容性保障了x86阵营在与摩托罗拉等CISC对手以及诸多RISC流派对手的竞争中胜出。Intel凭借大生态优势，低成本拓展市场，进而增加研发资源，形成正循环。

### ➤ 从Intel历史可见的第二核心要素：性能

➤ - 在生态大局已定后，性能接棒成为核心，架构与工艺制程都是影响性能的关键。Intel凭借领先的集成电路工艺，积极引入大型机、小型机以及RISC流派的先进技术，在相当长的时间内一直是x86派别的性能领先者，而AMD也数次依靠新技术在产品端取得优势，在市场上对Intel构成严峻挑战。

➤ 建议关注生态、性能端具备竞争力的国产龙头企业。借鉴Intel发展经验，拥抱开放生态、缩小性能差距预计是国产厂商崛起的必经之路，自主可控为国产厂商提供发展良机。建议关注国产x86架构CPU龙头和自研架构领军者。

■ 风险提示：需求减弱风险、市场竞争加剧、技术研发失败风险、全球供应链波动风险、宏观经济增速下行风险。

## 九：风险因素

---

- 9.1 需求减弱风险
- 9.2 市场竞争加剧
- 9.3 技术研发失败风险
- 9.4 全球供应链波动风险
- 9.5 宏观经济增速下行风险

- **1) 需求减弱风险：**此前由于疫情导致居家办公与在线学习需求激增，PC与笔记本出货量激增，公司营收创下新高。目前，本轮“换机潮”基本结束，下游用户的换机需求已被提前满足，未来换机需求可能明显减弱，影响公司销售情况。
- **2) 市场竞争加剧：**公司虽在CPU市场占据绝对份额，但近年来AMD推出的Zen性能提升显著，产品力强劲，同时台积电、三星等厂商也在制程端持续推进。CPU行业竞争或将加剧，如若公司无法跟上技术迭代的步伐，未来经营情况可能出现恶化。
- **3) 技术研发失败风险：**在数字芯片设计与先进制程推进上，需要投入大量的人力、资本进行研发设计以及工艺改进。同时CPU相关技术的研发伴有较高的失败率，此前公司在14nm、10nm节点上的研发进度不及预期，严重影响产品的量产节奏。随着CPU性能与制程的推进，相关公司未来仍存在技术研发失败风险。
- **4) 全球供应链波动风险：**半导体行业（尤其是数字芯片行业）供应链全球化程度高，CPU生产研发所需的设备、材料、EDA工具均来自不同国家与地区。当前国际形势呈现“逆全球化趋势”，各类管控制裁政策变化反复，加之新冠疫情导致停工停产事件频发，全球供应链稳定性降低，可能影响公司正常经营。
- **5) 宏观经济增速下行风险：**目前国内外宏观经济运行尚不明朗，经济增速均有明显下降趋势。国外进入加息周期，并伴随滞涨，后续存在经济衰退风险，国内受疫情封控影响，居民收入与消费意愿均有所减弱。未来，全球对电脑等高档耐用品的消费需求可能有所减弱，“换机”周期可能延长，进而影响公司经营情况。





# 感谢您的信任与支持！

## THANK YOU

杨泽原（计算机行业首席分析师）

徐涛（科技产业联席首席分析师）

丁奇（云基础设施行业首席分析师）

马庆刘（云应用分析师）

王子源（半导体分析师）

执业证书编号：S1010517080002

执业证书编号：S1010517080003

执业证书编号：S1010519120003

执业证书编号：S1010522090001

执业证书编号：S1010521090002

## 分析师声明

主要负责撰写本研究报告全部或部分内容的分析师在此声明：(i) 本研究报告所表述的任何观点均精准地反映了上述每位分析师个人对标的证券和发行人的看法；(ii) 该分析师所得报酬的任何组成部分无论是在过去、现在及将来均不会直接或间接地与研究报告所表述的具体建议或观点相联系。

## 一般性声明

本研究报告由中信证券股份有限公司或其附属机构制作。中信证券股份有限公司及其全球的附属机构、分支机构及联营机构（仅就本研究报告免责条款而言，不含CLSA group of companies），统称为“中信证券”。

本研究报告对于收件人而言属高度机密，只有收件人才能使用。本研究报告并非意图发送、发布给在当地法律或监管规则下不允许向其发送、发布该研究报告的人员。本研究报告仅为参考之用，在任何地区均不应被视为买卖任何证券、金融工具的要约或要约邀请。中信证券并不因收件人收到本报告而视其为中信证券的客户。本报告所包含的观点及建议并未考虑个别客户的特殊状况、目标或需要，不应被视为对特定客户关于特定证券或金融工具的建议或策略。对于本报告中提及的任何证券或金融工具，本报告的收件人须保持自身的独立判断并自行承担投资风险。

本报告所载资料的来源被认为是可靠的，但中信证券不保证其准确性或完整性。中信证券并不对使用本报告或其所包含的内容产生的任何直接或间接损失或与此有关的其他损失承担任何责任。本报告提及的任何证券或金融工具均可能含有重大的风险，可能不易变卖以及不适合所有投资者。本报告所提及的证券或金融工具的价格、价值及收益可跌可升。过往的业绩并不能代表未来的表现。

本报告所载的资料、观点及预测均反映了中信证券在最初发布该报告日期当日分析师的判断，可以在不发出通知的情况下做出更改，亦可因使用不同假设和标准、采用不同观点和分析方法而与中信证券其它业务部门、单位或附属机构在制作类似的其他材料时所给出的意见不同或者相反。中信证券并不承担提示本报告的收件人注意该等材料的责任。中信证券通过信息隔离墙控制中信证券内部一个或多个领域的信息向中信证券其他领域、单位、集团及其他附属机构的流动。负责撰写本报告的分析师的薪酬由研究部门管理层和中信证券高级管理层全权决定。分析师的薪酬不是基于中信证券投资银行收入而定，但是，分析师的薪酬可能与投行整体收入有关，其中包括投资银行、销售与交易业务。

若中信证券以外的金融机构发送本报告，则由该金融机构为此发送行为承担全部责任。该机构的客户应联系该机构以交易本报告中提及的证券或要求获悉更详细信息。本报告不构成中信证券向发送本报告金融机构之客户提供的投资建议，中信证券以及中信证券的各个高级职员、董事和员工亦不为（前述金融机构之客户）因使用本报告或报告载明的内容产生的直接或间接损失承担任何责任。

## 评级说明

投资建议的评级标准		评级	说明
报告中投资建议所涉及的评级分为股票评级和行业评级（另有说明的除外）。评级标准为报告发布日后6到12个月内的相对市场表现，也即：以报告发布日后的6到12个月内的公司股价（或行业指数）相对同期相关证券市场代表性指数的涨跌幅作为基准。其中：A股市场以沪深300指数为基准，新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准；香港市场以摩根士丹利中国指数为基准；美国市场以纳斯达克综合指数或标普500指数为基准；韩国市场以科斯塔克指数或韩国综合股价指数为基准。	股票评级	买入	相对同期相关证券市场代表性指数涨幅20%以上
		增持	相对同期相关证券市场代表性指数涨幅介于5%~20%之间
		持有	相对同期相关证券市场代表性指数涨幅介于-10%~5%之间
		卖出	相对同期相关证券市场代表性指数跌幅10%以上
	行业评级	强于大市	相对同期相关证券市场代表性指数涨幅10%以上
		中性	相对同期相关证券市场代表性指数涨幅介于-10%~10%之间
		弱于大市	相对同期相关证券市场代表性指数跌幅10%以上

## 特别声明

在法律许可的情况下，中信证券可能（1）与本研究报告所提到的公司建立或保持顾问、投资银行或证券服务关系，（2）参与或投资本报告所提到的公司的金融交易，及/或持有其证券或其衍生品或进行证券或其衍生品交易。本研究报告涉及具体公司的披露信息，请访问<https://research.citicsinfo.com/disclosure>。

## 法律主体声明

本研究报告在中华人民共和国（香港、澳门、台湾除外）由中信证券股份有限公司（受中国证券监督管理委员会监管，经营证券业务许可证编号：Z20374000）分发。本研究报告由下列机构代表中信证券在相应地区分发：在中国香港由CLSA Limited（于中国香港注册成立的有限公司）分发；在中国台湾由CL Securities Taiwan Co., Ltd.分发；在澳大利亚由CLSA Australia Pty Ltd.（商业编号：53 139 992 331/金融服务牌照编号：350159）分发；在美国由CLSA（CLSA Americas, LLC除外）分发；在新加坡由CLSA Singapore Pte Ltd.（公司注册编号：198703750W）分发；在欧洲经济区由CLSA Europe BV分发；在英国由CLSA（UK）分发；在印度由CLSA India Private Limited分发（地址：8/F, Dalamal House, Nariman Point, Mumbai 400021；电话：+91-22-66505050；传真：+91-22-22840271；公司识别号：U67120MH1994PLC083118）；在印度尼西亚由PT CLSA Sekuritas Indonesia分发；在日本由CLSA Securities Japan Co., Ltd.分发；在韩国由CLSA Securities Korea Ltd.分发；在马来西亚由CLSA Securities Malaysia Sdn Bhd分发；在菲律宾由CLSA Philippines Inc.（菲律宾证券交易所及证券投资者保护基金会）分发；在泰国由CLSA Securities (Thailand) Limited分发。

## 针对不同司法管辖区的声明

**中国大陆：**根据中国证券监督管理委员会核发的经营证券业务许可，中信证券股份有限公司的经营经营范围包括证券投资咨询业务。

**中国香港：**本研究报告由CLSA Limited分发。本研究报告在香港仅分发给专业投资者（《证券及期货条例》（香港法例第571章）及其下颁布的任何规则界定的），不得分发给零售投资者。就分析或报告引起的或与分析或报告有关的任何事宜，CLSA客户应联系CLSA Limited的罗鼎，电话：+852 2600 7233。

**美国：**本研究报告由中信证券制作。本研究报告在美国由CLSA（CLSA Americas, LLC除外）仅向符合美国《1934年证券交易法》下15a-6规则界定且CLSA Americas, LLC提供服务的“主要美国机构投资者”分发。对身在美国的任何人士发送本研究报告将不被视为对本报告中所评论的证券进行交易的建议或对本报告中所持任何观点的背书。任何从中信证券与CLSA获得本研究报告的接收者如果希望在美国交易本报告中提及的任何证券应当联系CLSA Americas, LLC（在美国证券交易委员会注册的经纪交易商），以及CLSA的附属公司。

**新加坡：**本研究报告在新加坡由CLSA Singapore Pte Ltd.，仅向（新加坡《财务顾问规例》界定的）“机构投资者、认可投资者及专业投资者”分发。就分析或报告引起的或与分析或报告有关的任何事宜，新加坡的报告收件人应联系CLSA Singapore Pte Ltd，地址：80 Raffles Place, #18-01, UOB Plaza 1, Singapore 048624，电话：+65 6416 7888。因您作为机构投资者、认可投资者或专业投资者的身份，就CLSA Singapore Pte Ltd.可能向您提供的任何财务顾问服务，CLSA Singapore Pte Ltd.豁免遵守《财务顾问法》（第110章）、《财务顾问规例》以及其下的相关通知和指引（CLSA业务条款的新加坡附件中证券交易服务C部分所披露）的某些要求。MCI（P）085/11/2021。

**加拿大：**本研究报告由中信证券制作。对身在加拿大的任何人士发送本研究报告将不被视为对本报告中所评论的证券进行交易的建议或对本报告中所持任何观点的背书。

**英国：**本研究报告归属于营销文件，其不是按照旨在提升研究报告独立性的法律要件而撰写，亦不受任何禁止在投资研究报告发布前进行交易的限制。本研究报告在英国由CLSA（UK）分发，且针对由相应本地监管规定所界定的在投资方面具有专业经验的人士。涉及到的任何投资活动仅针对此类人士。若您不具备投资的专业经验，请勿依赖本研究报告。

**欧洲经济区：**本研究报告由荷兰金融市场管理局授权并管理的CLSA Europe BV分发。

**澳大利亚：**CLSA Australia Pty Ltd（“CAPL”）（商业编号：53 139 992 331/金融服务牌照编号：350159）受澳大利亚证券与投资委员会监管，且为澳大利亚证券交易所及CHI-X的市场参与主体。本研究报告在澳大利亚由CAPL仅向“批发客户”发布及分发。本研究报告未考虑收件人的具体投资目标、财务状况或特定需求。未经CAPL事先书面同意，本研究报告的收件人不得将其分发给任何第三方。本段所称的“批发客户”适用于《公司法（2001）》第761G条的规定。CAPL研究覆盖范围包括研究部门管理层不时认为与投资者相关的ASX All Ordinaries 指数成分股、离岸市场上市证券、未上市发行人及投资产品。CAPL寻求覆盖各个行业中与其国内及国际投资者相关的公司。

**印度：**CLSA India Private Limited，成立于1994年11月，为全球机构投资者、养老基金和企业提供股票经纪服务（印度证券交易委员会注册编号：INZ000001735）、研究服务（印度证券交易委员会注册编号：INH000001113）和商人银行服务（印度证券交易委员会注册编号：INM000010619）。CLSA及其关联方可能持有标的公司的债务。此外，CLSA及其关联方在过去12个月内可能已从标的公司收取了非投资银行服务和/或非证券相关服务的报酬。如需了解CLSA India“关联方”的更多详情，请联系 Compliance-India@cls.com。

未经中信证券事先书面授权，任何人不得以任何目的复制、发送或销售本报告。

中信证券2022版权所有。保留一切权利。